

MPC

MULTI PROJEKT CHIP GRUPPE
BADEN - WÜRTTEMBERG

Herausgeber: Hochschule Mannheim **Ausgabe:** 56/57 **ISSN** 1868-9221

Workshop: Ravensburg-Weingarten Juli 2016

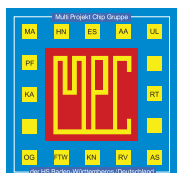
Workshop: Albstadt-Sigmaringen Februar 2017

Band 56 Workshop: Ravensburg-Weingarten Juli 2016

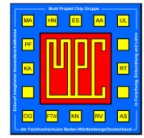
- 1 Entwicklung eines intelligenten autonomen Fahrzeugs**
Dustin Braun, Robin Braun, Christian Epe, Bernhard M. Rieß
Hochschule Düsseldorf
- 13 Delay-Line Analog-Digital-Wandler mit geringer Latenzzeit für digital geregelte Schaltwandler**
Samuel Quenzer-Hohmuth, Cedric Jiago, Steffen Ritzmann, Thoralf Rosahl, Bernhard Wicht
Hochschule Reutlingen
- 19 Entwicklung eines Feldbusmoduls „CAN“ für eine neue Industriesteuerungsgeneration „IndraControl XM“**
Mirko Auth
Hochschule Offenburg
- 25 Modulares Test- und Emulationssystem für digitale ASIC-Bausteine**
Jan-Morten Reiners, Andreas Stiller, Peter Schulz
Fachhochschule Dortmund

Band 57 Workshop: Albstadt-Sigmaringen Februar 2017

- 31 Graphbasierte Verifikation mikroelektronischer Schaltungen**
Lutz Bense, Marco Trunzer und Joachim Gerlach
Hochschule Albstadt-Sigmaringen
- 39 Entwurf und FPGA Implementierung eines DSSS-Übertragungssystems für den Einsatz in der Lehre**
Dominik Schwarz, Christian Geist, Anestis Terzis
Hochschule Ulm
- 47 Entwicklung eines Prozesses für komplett Inkjet-gedruckte organische Schaltungen**
Alexander Scholz, Thomas Rohland, Bernd Vettermann, Jürgen Giehl
Hochschule Mannheim



Cooperating Organisation
Solid-State Circuit Society Chapter
IEEE German Section



Inhaltsverzeichnis

Entwicklung eines intelligenten autonomen Fahrzeugs.....	1
D. Braun, R. Braun, C. Epe, Bernhard M. Rieß, Hochschule Düsseldorf	
Delay-Line Analog-Digital-Wandler mit geringer Latenzzeit für digital geregelte Schaltwandler	13
S. Quenzer-Hohmuth, C. Jiago, S. Ritzmann, T. Rosahl, B. Wicht, Hochschule Reutlingen	
Entwicklung eines Feldbusmoduls „CAN“ für eine neue.....	19
Industriesteuerungsgeneration „IndraControl XM“	
M. Auth, Hochschule Offenburg	
Modulares Test- und Emulationssystem für digitale ASIC-Bausteine.....	25
Jan-Morten Reimers, Andreas Stiller, Peter Schulz, Fachhochschule Dortmund	

MPC-WORKSHOP Februar 2017

Inhaltsverzeichnis

Graphbasierte Verifikation mikroelektronischer Schaltungen.....	31
Lutz Bense, Marco Trunzer und Joachim Gerlach, Hochschule Albstadt-Sigmaringen	
Entwurf und FPGA Implementierung eines DSSS-Übertragungssystems für den Einsatz in der Lehre.....	39
Dominik Schwarz, Christian Geist, Anestis Terzis, Hochschule Ulm	
Entwicklung eines Prozesses für komplett Inkjet-gedruckte organische Schaltungen.....	47
Alexander Scholz, Thomas Rohland, Bernd Vettermann, Jürgen Giehl, Hochschule Mannheim	

Tagungsband zum Workshop der Multiprojekt-Chip-Gruppe Baden-Württemberg

Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie.

Die Inhalte der einzelnen Beiträge dieses Tagungsbandes liegen in der Verantwortung der jeweiligen Autoren.

Herausgeber:

Jürgen Giehl, Hochschule Mannheim, Paul-Wittsack-Straße 10, D-68163 Mannheim

Mitherausgeber (Peer Reviewer):

Marc Ihle, Hochschule Karlsruhe, Moltkestraße 30, D-68163 Karlsruhe

Frank Kesel, Hochschule Pforzheim, Tiefenbronner Straße 65, D-75175 Pforzheim

Jasmin Aghassi-Hagmann, Hochschule Offenburg, Badstraße 24, D-77652 Offenburg

Elke Mackensen, Hochschule Offenburg, Badstraße 24, D-77652 Offenburg

Lothar Schmidt, Hochschule Ulm, Prittwitzstraße 10, D-89075 Ulm

Alle Rechte vorbehalten

Diesen Workshopband und alle bisherigen Bände finden Sie im Internet unter:

<http://www.mpc-gruppe.de/de/workshopbaende.html>

Entwicklung eines intelligenten autonomen Fahrzeugs

Dustin Braun, Robin Braun, Christian Epe, Bernhard M. Rieß

Zusammenfassung — Autonomes Fahren wird in Zukunft eine immer größere Rolle spielen. In dem vorgestellten Beitrag wird ein autonom fahrendes Modellauto gezeigt, bestehend aus Chassis, zwei elektrischen Antriebsmotoren, Lenkung mit elektrischem Servomotor, Akku, Kamera und Mikrocontroller sowie der zugehörigen, auf dem Mikrocontroller befindlichen Steuer- und Regelungssoftware.

Die zentralen Komponenten der Steuerungssoftware bestehen aus:

- Filterung und Korrektur der Kameradaten
- Kurvenfrüherkennung durch Einsatz einer zweiten Kamera
- Nichtlineare Lenkungsregelung
- Geschwindigkeitsregelung mittels Geschwindigkeitsmessung durch an den Hinterrädern angebrachter Hall-Sensoren und Regelkreis
- Zielerkennung mittels Kamera

Damit gelingt es dem Fahrzeug eine beliebige aber aus vordefinierten Grundelementen bestehende Strecke selbständig zu befahren. Das heißt durch Anwendung einer kleinen mikroelektronischen Schaltung – einer Mikrocontrollers – ist es mit einfachsten Mittel möglich ein autonomes Fahrzeug zu entwickeln und zu programmieren. Beliebige Streckenführungen können so mit möglichst hoher Geschwindigkeit durchfahren werden, ohne die vorgegeben Strecke zu verlassen.



Abbildung 1: Streckenführung beim NXP-CUP EMEA Final 2016.



Abbildung 2: Autonomes Fahrzeug der Hochschule Düsseldorf.

I. EINLEITUNG

Ziel dieser Projektarbeit war die Entwicklung eines autonomen Fahrzeugs im Maßstab 1:18, das in der Lage ist eine unbekannte Strecke eigenständig zu fahren. Grundlage bilden die Vorgaben und Regeln des internationalen NXP-Cup [1] bei denen jährlich Universitäten und Hochschulen mit eigens entwickelten Fahrzeugkonzepten gegeneinander im Wettbewerb antreten. Eine typische Strecke ist in Abb. 1 dargestellt.

II. HARDWARE

Aufbauend auf einem vorgegebenen Basismodell können am Fahrzeug Eigenentwicklungen angebaut werden. Dabei muss ein optischer Sensor (Kamera) zur Navigation genutzt werden. Darüber hinaus sind bis zu 15 weitere Sensoren erlaubt, wie z.B. die Verwendung eines Geschwindigkeits-, Beschleunigungs- oder Infrarotsensors. Die Verarbeitung der Kameradaten geschieht auf einem 32-Bit-Mikrocontroller, welcher nach der Aufbereitung und Auswertung der Kameradaten Entscheidungen über den nötigen Lenkungseinschlag und die Geschwindigkeit der beiden jeweils separat ansteuerbaren Hinterräder trifft. Das Projektkonzept verwendet die von der Firma NXP zur

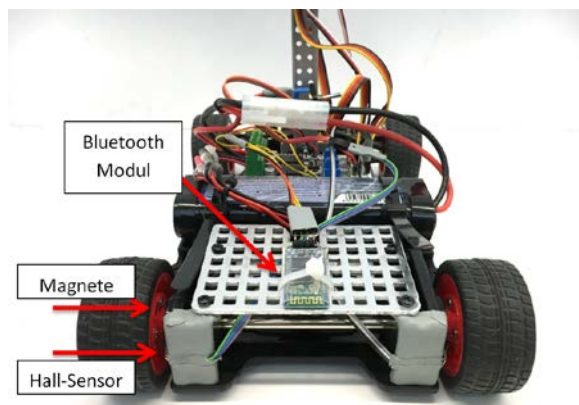


Abbildung 3: Fahrzeugkonzept Detail-Hinterachse.

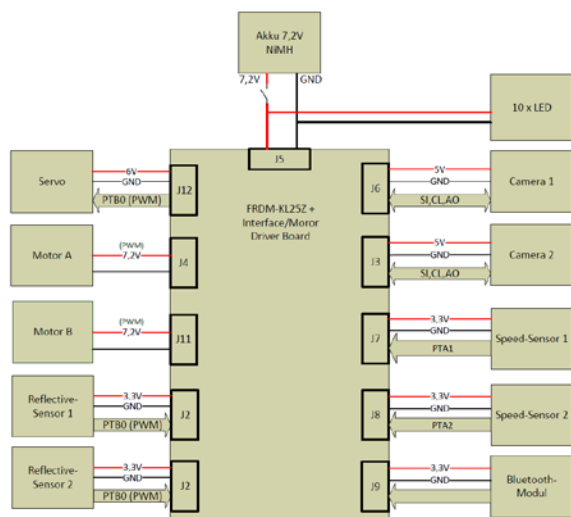


Abbildung 4: Schematische Übersicht der Kommunikationsstruktur.

Verfügung gestellten Grundkomponenten: Chassis des Fahrzeugs, Kamera, NXP FRDM-KL25Z Board, Interface/Motor Driver Board, Steuerungsservo, Motoren. Abbildung 4 zeigt das Blockschaltbild der Kommunikation zwischen dem FRDM-KL25Z Mikrocontroller und den verwendeten Sensoren und Aktoren.

Zur Geschwindigkeitsmessung dienen zwei Hallensensoren. So kann der implementierte Regelalgorithmus je nach Streckenführung die Geschwindigkeit der beiden Antriebsmotoren auswerten und gezielt anpassen. Die Aufhängung der Kamera sowie die Befestigung der Elektronik erfolgt mit leichten Alu-minium-Blechen. Die Spannungsversorgung wurde mit einem RC-Akku, 7,2 V, 1500 mAh, realisiert. Mit Hilfe eines Bluetooth-Moduls kann zu Entwicklungs-zwecken ein drahtloser Austausch vom Kamera-, Lenkungs- und Geschwindigkeitsdaten mit dem PC, auf dem die Software entwickelt wird, erfolgen. Auch die implementierten Betriebsmodi Config, Auto, Soft-Brake, Hard-Brake und Manual können damit gesetzt werden.

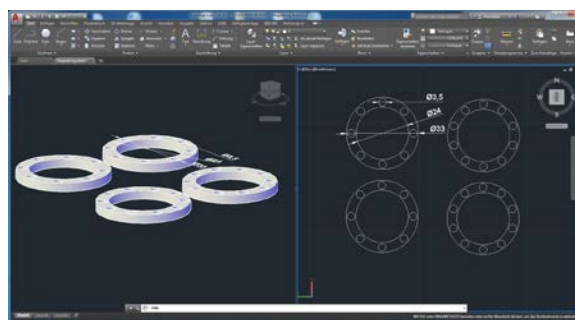


Abbildung 5: Design der Magnetringe in AutoCAD [2].



Abbildung 6: Design der Magnetringe in AutoCAD [2].

A. Geschwindigkeitsmessung

Die Messung der Fahrzeuggeschwindigkeit erfolgt über die Messung von Magnetfeldern mittels zweier Hallensensoren (Typ SS413A) an den an der Hinterachse angebrachten Antriebsrädern, wie in Abbildung 3 dargestellt. Dazu wurden mit Hilfe des CAD-Werkzeugs AutoCAD [2], wie in Abbildung 5 dargestellt, Kunststoffringe entwickelt, in denen die Magnete an den Hinterrädern des Fahrzeugs befestigt werden können. Diese wurden mit Hilfe eines 3D-Druckers gefertigt, die anschließend mit 10 Neodym-Magneten wechselnder Polarität bestückt wurden. Abbildung 6 zeigt von links nach rechts die gefertigten Kunststoffringe in Relation zum Fahrzeug, die mit den Magneten bestückten Ringe sowie die am Hinterrad angebrachten Ringe.

B. Kamera

Die Strecke beim NXP-Cup besteht aus vorgegebenen Fahrbahnelementen mit schwarzen Fahrbahnbegrenzungen am linken und rechten Fahrbahrand auf weißem Grund. Um die Streckenführung frühzeitig zu erkennen, wird die dazu verwendete Kamera, wie in Abbildung 2 zu sehen, an einem Mast angebracht. Die Streckenerkennung geschieht über eine Line-Scan-Kamera (1x128 Pixel) mit manuell einstellbarem Fokus und einer maximalen Clock-Rate von 8 MHz. Abbildung 7 zeigt links die Rück- und rechts die Vorderseite der verwendeten Kamera.

Nach Anlegen der Spannungsversorgung und eines entsprechenden Clock-Signals gibt die Kamera am analogen Output nacheinander Spannungen für jeden Pixel aus, deren Wert der erfassten Helligkeit entspricht. Die Ausgabe eines kompletten Bildes kann je nach Clock zwischen 267 μ s und 68 ms dauern. Die



Abbildung 7: Line-Scan-Kamera (Vor- und Rückseite, Quelle: [3], mit TAOS TSL1401R-LF, 128×1 LINEAR SENSOR ARRAY.

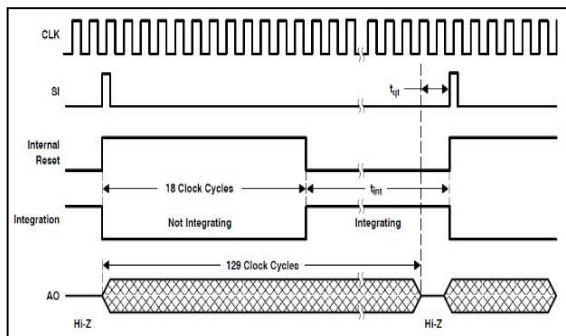


Abbildung 8: Timing-Verhalten des TSL1401R-LF, 128 × 1 LINEAR SENSOR ARRAY.

Einstellung des Kamerafokus erfolgt mittels Oszilloskop. Dabei zeigen sich Probleme bei schlechter Ausleuchtung der Strecke sowie einer ungleichmäßigen Belichtung des Bildsensors aufgrund der Linse, erkennbar links beim Zeilenbeginn in Abbildung 9. Das gelb dargestellte Signal zeigt die von der Kamera empfangene Helligkeit. Am rechten und linken Rand fällt sofort eine deutlich reduzierte Helligkeit auf, die durch die schwarze Fahrbahnbegrenzung im Kontrast zur weißen Fahrbahn hervorgerufen wird. Zusätzlich ist rot markiert am linken Rand das Problem mit der ungenügenden Streckenausleuchtung erkennbar. Der Effekt verschlimmert sich zu beiden Seiten bei schwächer werdender Ausleuchtung oder zu hoch gewählter Clock-Frequenz. Letzteres begründet sich mit der vom Bildsensor benötigten Integrationszeit.

Jeder der 128 Pixel besteht aus einer Verschaltung einer Photodiode, einem Operationsverstärker und einem Kondensator. Die Photodiode lädt den Kondensator mit einer Geschwindigkeit proportional zur Lichtintensität auf. Die Dauer des Ladevorgangs (Integrationszeit) ist die Zeit zwischen den positiven Flanken des in Abbildung 8 dargestellten SI Signals. Die Kondensatorspannung (AO) hängt daher sowohl von der Integrationszeit als auch von der Lichtintensität ab. Mit steigender Clock-Rate steht jedem Pixel weniger Zeit zur Verfügung seine Spannung aufzubauen. Insgesamt sinkt damit der Signalpegel der Kamera, wobei die äußeren Pixel am anfälligsten für diese „Störung“ sind. Wird hingegen die Clock-Rate zu niedrig gewählt, läuft man Gefahr die Strecke unterabzutasten, wodurch die Streckenerkennung je nach

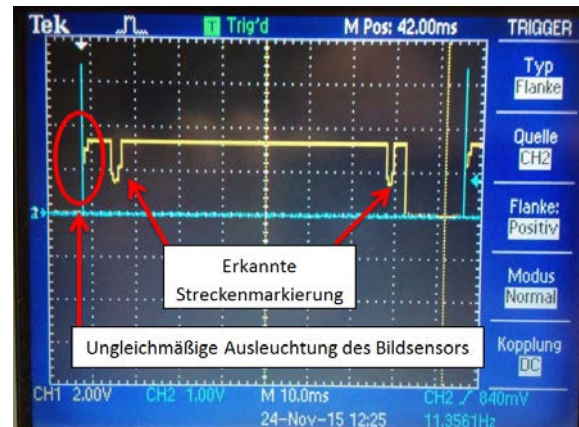


Abbildung 9: Spannung am Ausgang A0 eines Kamerabildes.

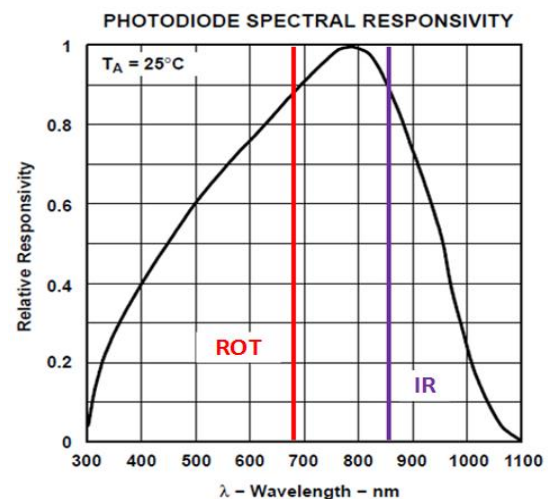


Abbildung 10: Spektrale Empfindlichkeit der Kamera.

Geschwindigkeit des Fahrzeugs „verschmieren“ kann. Zur Lösung dieses Problems ist eine gute Balance zwischen niedrig zu haltender Clock-Rate und ausreichender Streckenauflösung zu finden. Alternativ können die Kameradaten per Software aufgearbeitet werden, wie in Kapitel II.B erläutert.

C. Ausleuchtung der Strecke

Wie in Kapitel II.B beschrieben, können schwierige Lichtverhältnisse auf der Strecke zu verschlechterten Kameradaten führen. Zudem ist es denkbar, dass das Fahrzeug einen Tunnel passieren muss. Zu diesem Zweck wurde eine Beleuchtung am Fahrzeug passend zur Empfindlichkeit des Bildsensors angebracht. Abbildung 10 zeigt die spektrale Empfindlichkeit der verwendeten Photodioden. Die stärkste Empfindlichkeit der Photodioden liegt im Infrarotbereich (IR). Aus Kostengründen wurden rote LEDs verwendet, da ihre abgestrahlte Lichtwellenlänge von 680 nm in einem ähnlich empfindlichen Spektralbereich wie die maximale Empfindlichkeit der Photodioden des

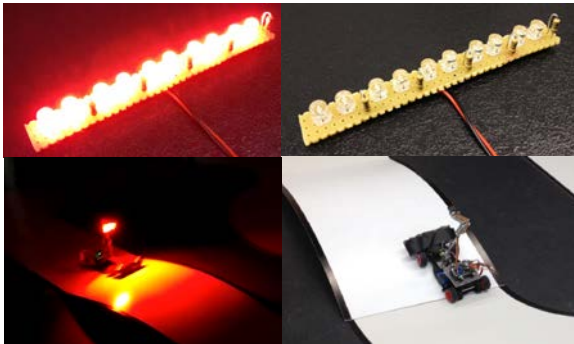


Abbildung 11: Beleuchtung mit Hilfe roter LEDs.

Bildsensoren liegt („ROT“ in Abb. 10). Abbildung 11 zeigt oben das entworfene Beleuchtungselement, bestehend aus 10 roten LEDs im ein- (links) und ausgeschalteten (rechts) Zustand sowie unten auf dem Fahrzeug im Einsatz.

D. Mehrkamera-Konzept

Die von NXP vorgegeben maximalen Ausmaße des Fahrzeugs betragen 305x400x250 mm (HxLxB). Hieraus ergibt sich eine maximale Kamerahöhe und ein damit entstehender Blickwinkel auf die Strecke. Der Bildsensor soll die gesamte Streckenbreite (60 cm) und zusätzlich einen Sicherheitsbereich von ca. 5 cm zu beiden Seiten erfassen. Hieraus ergibt sich mit der verwendeten Linse (Öffnungswinkel: ca. 60°) eine Mindestsichtweite von ca. 50 cm vor das Auto. Die eingestellte Sichtweite beeinflusst in hohem Maß das Kurvenfahrverhalten. Je weiter nach vorn die Kamera schaut, desto enger werden die Kurven gefahren. Dem entgegen steht die Bewältigung des Hügels, da eine weiter nach vorne schauende Kamera bei Steigungen schneller die Sicht auf die Strecke verliert. Zudem ist

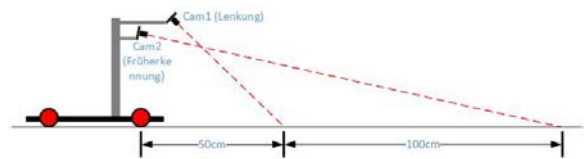


Abbildung 12: Zwei-Kamera-Konzept.

bei höheren Geschwindigkeiten vor Kurven ein Abbremsen nötig, damit das Fahrzeug nicht von der Strecke driftet. Das erfordert jedoch eine besonders weite Sicht nach vorne. Aus diesem Grund wurde wie in Abbildung 12 dargestellt auf ein Zwei-Kamera-System gesetzt. Kamera 1 (Cam 1) wurde auf optimale Kurven- und Hügel Fahrt ausgerichtet. Kamera 2 (Cam 2) dient der Kurvenfrüherkennung.

III. SOFTWARE

Im Folgenden werden grundlegende Konzepte der entwickelten Software vorgestellt.

A. Grundkonzept der entwickelten Software

Zur Ansteuerung der Hardware wurden effiziente Treiber, in Abbildung 13 gelb dargestellt, geschrieben, welche einfach zu verwendende Funktionen nach außen bereitstellen. Die Treiber konfigurieren die entsprechenden Register des Controllers. Die in Abbildung 13 in grün dargestellten Controller regeln anhand der erfassten Kamera- und Geschwindigkeitsdaten die Auslenkung der Vorderräder sowie die Geschwindigkeit der Motoren an der Hinterachse. Eine genaue Beschreibung der Regler erfolgt in Abschnitt III.C. Das Verhalten des Gesamtsystems wird durch

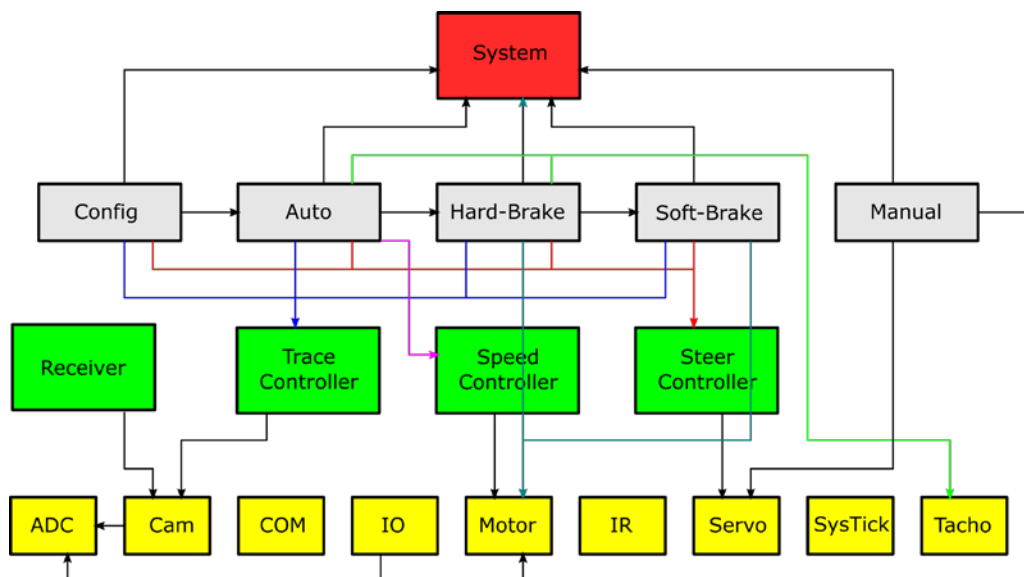


Abbildung 13: Übersicht Softwarekonzept.

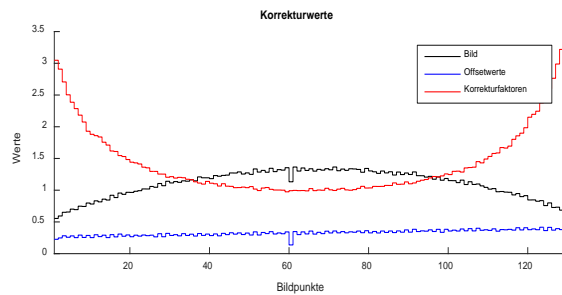


Abbildung 14: Aufbereitung der Kameradaten.

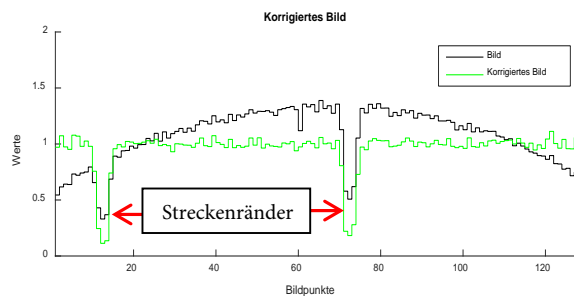


Abbildung 15: Erkennung der Fahrbahngrenzen.

die in Abbildung 13 in grau dargestellten und in Abschnitt III.D näher beschriebenen Betriebsmodi bestimmt. Das System (rot dargestellt) lässt sich mit Hilfe der Betriebsmodi beispielsweise von einem Entwicklungs-Modus (Manual-Modus) in einen Config-Modus und einen Race-Modus (Auto-/Hard-Brake-/Soft-Brake-Modus) umschalten.

B. Verarbeitung der Kameradaten

Die Streckenerkennung (schwarze Fahrbahngrenzen auf weißem Grund) geschieht, wie in Kapitel II.B dargestellt, über eine Line-Scan-Kamera (1x 128 Pixel), deren Daten einer Aufbereitung bedürfen. Wie in Abbildung 14 zu erkennen ist, erfahren die äußeren Pixel des Bildsensors (schwarze Kurve) aufgrund der Kameralinse eine geringere Belichtung. Zudem tritt bei absoluter Dunkelheit ein Offset-Fehler auf, der in Abbildung 14 in blau zu sehen ist. Um sowohl die geringere Belichtung an den Fahrbahnrandern sowie auch die Offsetwerte zu kompensieren, wurden für jedes Kamerapixel Korrekturfaktoren – in Abbildung 14 rot dargestellt – berechnet. Zur Aufbereitung der Kameradaten, d.h. zur Kompensation des Offsets und der geringeren Randbelichtung, wird der Offset von den tatsächlichen Pixelwerten der Kamera subtrahiert und das Ergebnis mit dem jeweiligen Korrekturfaktor multipliziert:

$$\text{pixelvalue}[\text{index}] = (\text{pixelvalue}[\text{index}] - \text{offset}[\text{index}]) * \text{factor}[\text{index}]$$

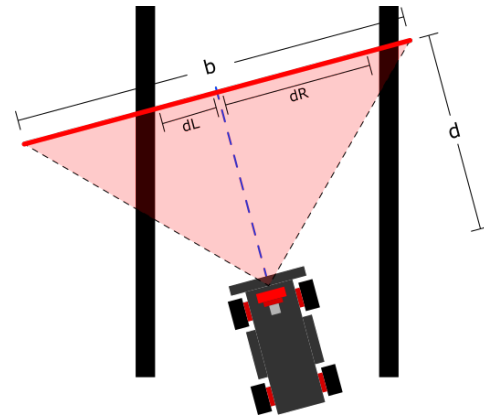


Abbildung 16: – Konzept: Lenkung.

Das Ergebnis der Bildkorrektur ist in Abbildung 15 dargestellt. Die schwarze Kurve zeigt die original Kameradaten, die grüne Kurve das Ergebnis nach der Bildverarbeitung. Die schwarzen Streckenbegrenzungen am linken und rechten Fahrbahnrand sind nun als ausgeprägte Minima sehr gut zu erkennen und zu detektieren und zur Weiterverarbeitung für die Fahrzeugsteuerung hervorragend verwendbar.

C. Regler

In diesem Kapitel wird die Lenkungsregelung vorgestellt. Diese besteht aus der Berechnung der Ansteuerungswerte für den Servomotor, der die gelenkten Räder an der Vorderachse einschlagen kann, dem Steer Controller Kapitel III.C.1 und einem Modul zur frühzeitigen Erkennung von Kurven und dem Ziel, dem Trace Controller Kapitel III.C.2.

1) Steer Controller

Die zurückzulegende Strecke ist dem Auto nicht bekannt. Es können jederzeit Hindernisse, wie Kurven, Schikanen, Kreuzungen, Hügel sowie ein Rüttelabschnitt auftreten. Darauf muss der Steueralgorithmus reagieren können. Aus den empfangenen und korrigierten Kameradaten wird, wie in Abbildung 16 dargestellt, permanent der Abstand der Fahrzeuglängsachse zum linken Fahrbahnrand d_L und zum rechten Fahrbahnrand d_R berechnet. Das Software-Modul Steer Controller berechnet daraus den Lenkungseinschlag und sorgt dafür, dass d_L und d_R ständig angeglichen werden.

Bei der Wahl des Lenkalgorithmus muss darauf geachtet werden, dass die Lenkung nicht schwingt. Schwingungen entstehen typischerweise durch I-Anteile des Reglers, Verzögerungen und zu extremen Lenkbewegungen. Die Lenkung muss jedoch stark genug sein, um einen Hügel auch direkt nach einer Kurve gerade hochfahren zu können. Kreuzungen dürfen nicht dazu führen, dass das Auto abbiegt.

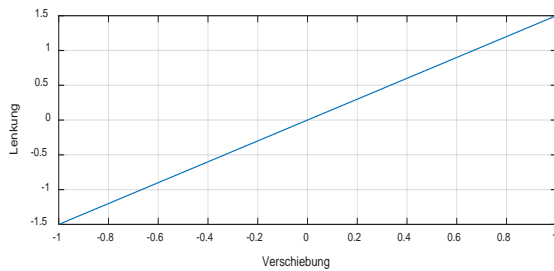


Abbildung 17: – Lineare Lenkung: Es wird entsprechend dem Mittelwert des Abstandes von Mitte bis linken bzw. rechten Kante eingelenkt.

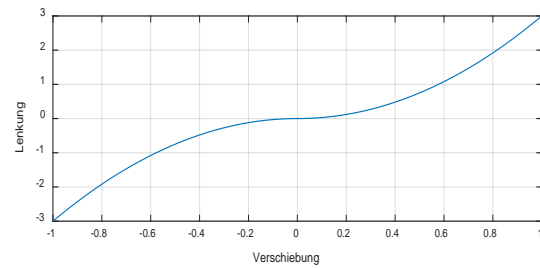


Abbildung 19: Quadratische Lenkung: Bei der quadratischen Lenkung werden kleine Verschiebungen nur wenig ausgeglichen und größere Verschiebungen sehr stark. Dies hat den Vorteil, dass Kurven mit einer geringen Verzögerung stark genommen werden, die Schlangenlinien jedoch praktisch gerade durchfahren werden.

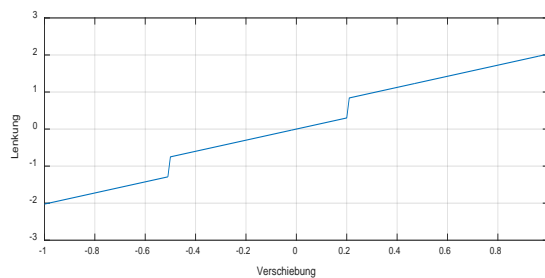


Abbildung 18: Lineare Lenkung mit Sprung: Entspricht der linearen Lenkung, jedoch macht diese, wenn eine Fahrbahnbegrenzung nicht erkannt wurde, einen Sprung in die jeweilige Richtung der nicht erkannten Fahrbahnkante. Dies führt dazu, dass auf Kurven schneller reagiert wird, aber leider auch auf Kreuzungen. Diese Lenkung wird im jetzigen Fahrzeug verwendet, da sie das beste Ergebnis liefert.

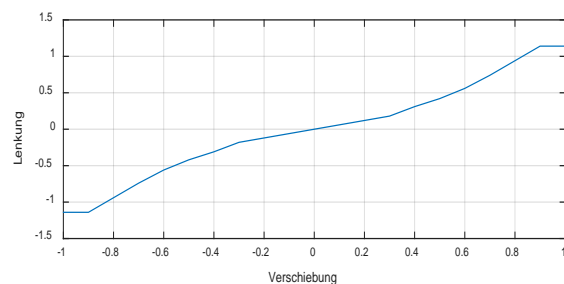


Abbildung 20: Interpolation: Hierbei wird eine Funktion durch mehrere Verschiebungen aufgestellt. Abhängig von den Verschiebungen wird dann zwischen zwei Punkten interpoliert, d.h. es wird eine vorgegebene Funktion angenähert.

Schlangenlinien sollten am besten gerade durchfahren werden. Während der Testphase wurden verschiedene Lenkalgorithmen getestet, welche in den Abbildungen 17 bis 20 beschrieben werden. Für den Einsatz im vorgestellten Fahrzeug hat sich die in Abbildung 18 dargestellte lineare Lenkung mit Sprüngen in den Experimenten als am geeignetsten herausgestellt.

2) Trace Controller

Das Modul Trace Controller übernimmt die Randerkennung sowie die Randverfolgung der abzufahrenden Strecke. Außerdem können mit diesem Modul Kurven und das Ziel frühzeitig erkannt werden.

a) Randverfolgung

Es wurde eine Streckenrandverfolgung wie in Abbildung 22 dargestellt implementiert, die es gestattet, bei verllorener Sicht auf die Fahrbahn oder beim Verlassen der Fahrbahn (z.B. durch Drift in Kurven) wieder auf die Strecke zurück zu finden. Mit Hilfe der Randverfolgung ist es möglich Kurven wesentlich schneller zu fahren.

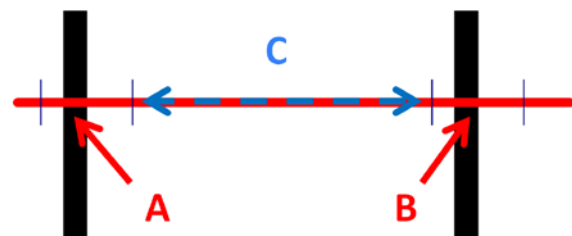


Abbildung 21: Konzept: Kurvenfrüherkennung.

b) Kurvenfrüherkennung

Damit das Auto auf geraden Strecken möglichst schnell fahren kann, muss eine Kurve bereits möglichst früh vor dem Einlenken erkannt werden, so dass genügend Zeit zum Abbremsen und Einlenken bleibt. Dafür wurde, wie in Kapitel II.D erwähnt, eine zweite Fernkamera (Cam 2, Abb. 12) angebracht, welche etwas weiter als die erste Kamera (Cam 1, Abb. 12) schaut. Zur frühzeitigen Erkennung von Kurven werden, wie in Abbildung 22 gezeigt, zwei Intervalle A und B innerhalb eines Kamerabildes sowie ein Abstand C dieser Intervalle definiert. Kamera 2 prüft, ob innerhalb der Intervalle A und B jeweils ein Rand und im Bereich C „nichts“ erkannt wird. In diesem Fall handelt es sich mit hoher Wahrscheinlichkeit um einen geraden Streckenabschnitt, so dass die vor dem Fahrzeug liegende Strecke mit hoher Geschwindigkeit

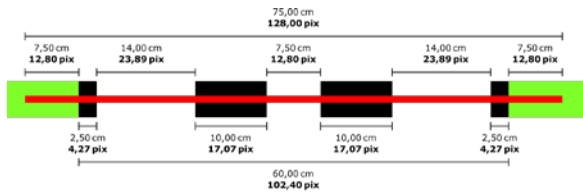


Abbildung 23: Zielmarkierung beim NXP-Cup; Schwarz dargestellt ist die Zielmarkierung, der rote Strich entspricht der Kamerabildbreite, grün markiert ist der Bereich neben der Strecke.

gefahren werden kann. Die Regelung der Geschwindigkeit wird in Abschnitt III.C.3 beschrieben. Die Kurvenfrüherkennung erlaubt somit eine Geschwindigkeitssteigerung auf gerader Strecke und vermeidet das Hinausdriften aus Kurven dank der Möglichkeit des frühzeitigen Bremsens.

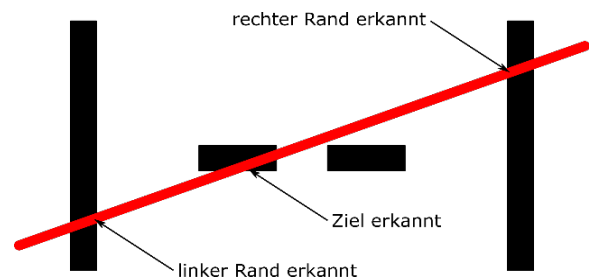


Abbildung 24: Sichere Zielkennung auch bei schräger Durchfahrt.

c) Zielerkennung

Laut NXP-Cup-Regeln muss das Fahrzeug nach Durchfahren einer Zielmarkierung innerhalb einer

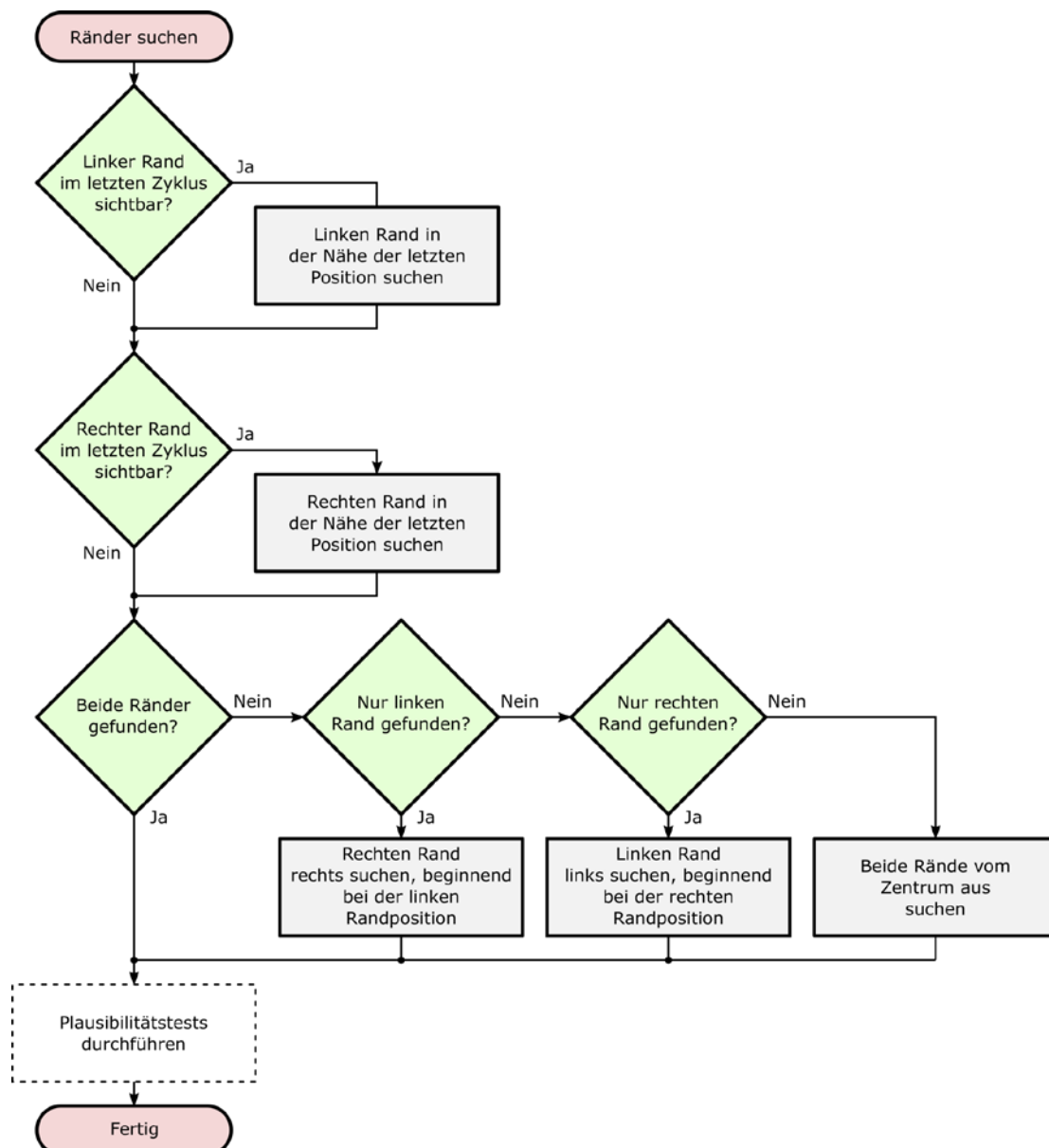


Abbildung 22: – Konzept: Streckenrandverfolgung.

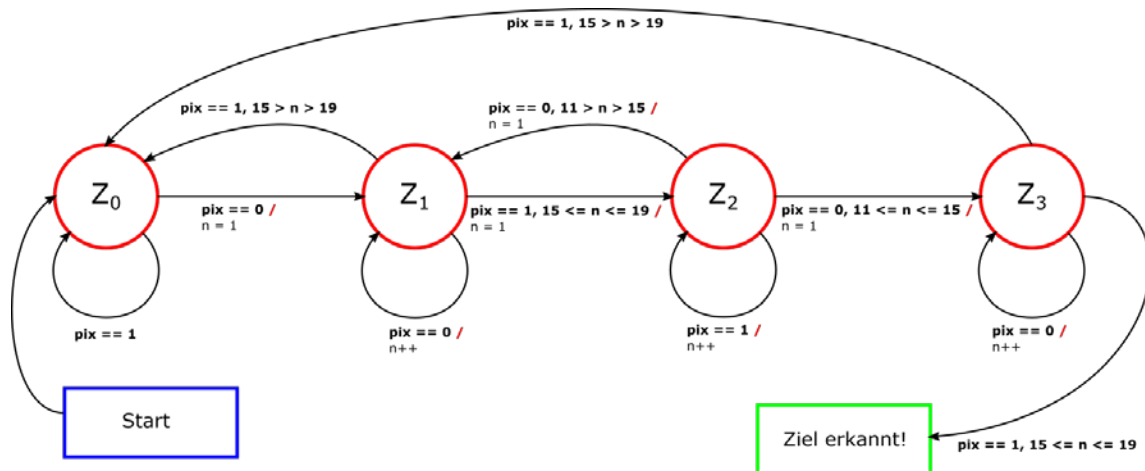


Abbildung 25: Zustandsautomat der einfachen Zielerkennung.

Bremszone von zwei Metern Länge zum Stillstand kommen. Die Zielmarkierung besteht, wie in Abbildung 23 dargestellt, aus einem zweigeteilten und quer zur Fahrbahn liegenden schwarzen Streifen mit bekannten Abmessungen. Die Erkennung läuft in diesem Fall durch einfaches Überprüfen des Kamerabildes mit Hilfe eines einfachen Zustandsautomaten dessen Zustandsübergangsdiagramm in Abbildung 25 gezeigt ist.

Ein als weiß erkannt Pixel wird im Zustandsübergangsdiagramm mit einer logischen 0 ($\text{pix}==0$) dargestellt, ein schwarzes Pixel mit 1 ($\text{pix}==1$). Der Zustandsautomat überprüft nun jedes Pixel eines Kamerabildes hinsichtlich des zu erwartenden Zielmusters.

Der Startzustand des Automaten ist Z_0 . Dies entspricht dem linken schwarzen Fahrbahnrand. Solange weitere schwarze Pixel des linken Rands erkannt werden, bleibt der Automat im Zustand Z_0 . Nun überprüft der Automat die Pixelfolge, die die Kamera liefert, von links nach rechts. Sobald eines oder mehrere weiße Pixel erkannt werden, befinden wir uns links von der Zielmarkierung und der Automat geht in den Zustand Z_1 über.

Anschließend überprüft der Automat, ob die linke der beiden 10 cm langen schwarzen Zielmarkierungen kommt. Gegenüber dem tatsächlichen Pixelmuster aus Abbildung 23 prüft der Zustandsautomat mit einer gewissen Toleranz, da Kanten nicht immer direkt zwischen zwei Pixeln liegen werden. So hat der erste Teil der Zielmarkierung beispielsweise eine reale Bildbreite von 17,07 Pixeln. Dieses Teilstück wird im Zustandsübergangsdiagramm aus Abbildung 25 mit einer Toleranz von $15 \leq n \leq 19$ als richtig erkannt gewertet, so dass der Übergang von Zustand Z_1 zu Z_2 erfolgen kann. Liegen die Werte außerhalb der Toleranz erfolgt der jeweils dargestellte Rücksprung zu einem früheren Zustand und die Überprüfung erfolgt erneut.

Wird aus Z_2 heraus der weiße Spalt zwischen den beiden schwarzen Zielmarkierungen mit einer Breite von 11 – 15 Pixeln erkannt, erfolgt ein Zustandsübergang nach Z_1 .

Wenn nun der zweite, rechte Teil der Zielmarkierung erkannt wird (Breite wiederum zwischen 15 und 19 Pixel), erfolgt ein erneuter Zustandsübergang von Z_1 nach Z_2 .

Wird nun der weiße Bereich zwischen dem rechten Zielmarkierung und dem rechten Fahrbahnrand mit einer Breite von 11 – 15 Pixeln erkannt, geht der Automat in den Zustand Z_3 über und das Ziel ist damit vollständig erkannt. Danach kann z.B. ein Bremsvorgang eingeleitet werden.

Diese Methode mittels einfachem Zustandsautomaten funktioniert jedoch nur, wenn das Auto auf geradem Weg das Ziel passiert.

Wenn das Fahrzeug schief durch das Ziel fährt, wie in Abbildung 24 dargestellt, wird das Ziel mit dem oben beschriebenen einfachen Zustandsautomaten nicht erkannt. Um das Ziel auch bei schiefer Durchfahrt sicher zu erkennen, ist die Toleranz des Zustandsautomaten noch weiter zu erhöhen. Im finalen Konzept wird nun lediglich überprüft, ob zwischen dem linken und rechten Fahrbahnrand ein dunkler Strich zu sehen ist. Dabei muss der dunkle Strich einen Mindestabstand zu den Rändern aufweisen. Außerdem muss er eine minimale maximale Breite aufweisen. Die minimale Breite ist etwas größer als eine Randstreifenbreite, da nur ein Randstreifen fälschlicherweise als Ziel erkannt werden könnte. Die maximale Breite ergibt sich aus der realen Zielmarkierung bei gerader Durchfahrt. Mit dieser Methode lässt sich die Zuverlässigkeit der Zielerkennung wesentlich verbessern.

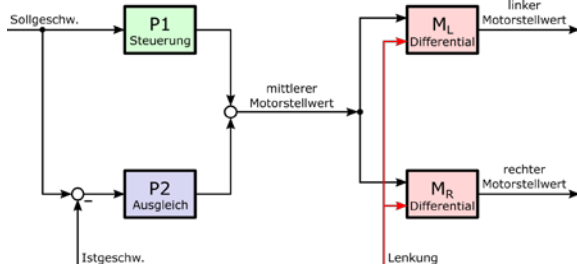


Abbildung 26: Drehzahlregelung (links) der beiden Antriebsmotoren M_L und M_R (rechts).

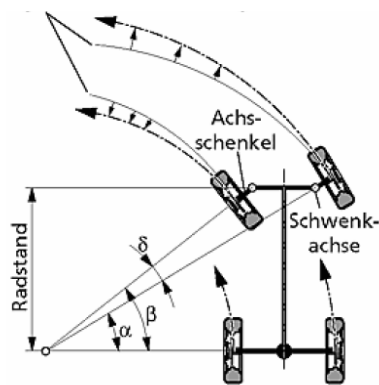


Abbildung 27: Verhalten aller Räder bei Kurvenfahrten (Quelle rechtes Bild: [4]).

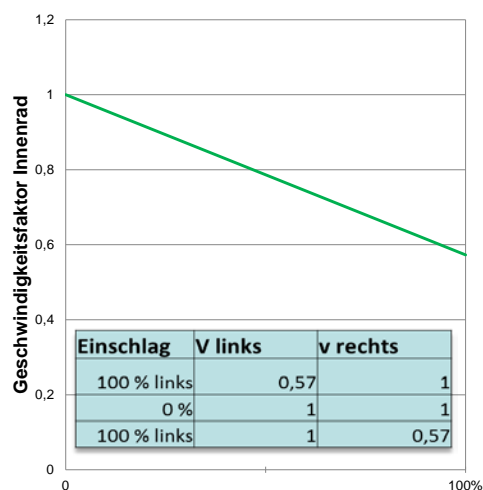


Abbildung 28: Geschwindigkeitsfaktor des inneren Rades im Verhältnis zum äußeren Rad.

3) Speed Controller

Der Speed Controller regelt die Drehzahl der beiden Antriebsmotoren M_L und M_R , die jeweils das rechte und linke Hinterrad antreiben. Der Regler ist, wie Abbildung 26 zeigt, in zwei Teile aufgeteilt. Der links dargestellte erste Teil regelt die Vorgabegeschwindigkeit des Autos mit Hilfe zweier P-Regler P1 und P2. P2 regelt nach der Differenz zwischen Soll- und Ist-

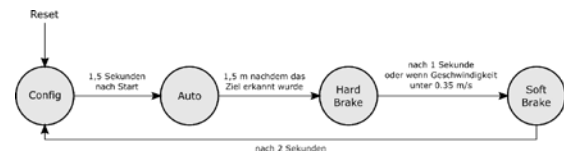


Abbildung 29: Zustandsdiagramm Betriebsmodi bei autonomer Fahrt.

wert. Der Proportionalitätswert von P2 kann aufgrund von Störungen bei der Erfassung der Geschwindigkeitsmessdaten nicht beliebig hoch gewählt werden. Daher bleibt ein relativ großer Restwert zum Sollwert übrig. Dieser Restwert wird üblicherweise durch einen I-Regler ausgeglichen. Das vorgestellte Konzept verwendet jedoch stattdessen einen weiteren P-Regler, den Regler P1, der nicht regelt, sondern nur nach dem Sollwert steuert. D.h. P2 regelt dann nur noch die letzte verbleibende Differenz aus. Hierdurch wird der Restwert zum Sollwert um ein vielfaches kleiner und es kann auf einen verzögerungsbehafteten I-Regler verzichtet werden. Der wesentliche Vorteil dieses Regelungskonzepts ist, dass es nicht zu Überschwingungen führt.

Der zweite Teil des Speed Controllers, der in Abbildung 26 rechts zu sehen ist, regelt die Drehzahl der beiden Motoren an der Hinterachse abhängig von der Vorgabegeschwindigkeit und dem Lenkungseinschlag. Wenn das Auto eine Kurve fährt, dreht sich das innere Rad, wie in Abbildung 27 dargestellt, aufgrund des kleineren inneren Kurvenradius langsamer als das kurvenäußere Rad. Damit die Räder in einer Kurve nicht über- bzw. unterbelastet werden, wird die Spannung auf dem äußeren Rad entsprechend des Lenkeinschlags erhöht und die Spannung auf dem inneren Rad entsprechend verringert. Der entsprechende Korrekturfaktor für die Geschwindigkeit am Innenrad ist in Abbildung 28 dargestellt. Hieraus resultiert eine stabilere Kurvenfahrt, da bei nicht angepasster Drehzahl das Heck des Fahrzeugs schneller aus der Kurve ausbrechen würde.

D. Betriebsmodi

Während der Fahrt befindet sich das Fahrzeug in verschiedenen Betriebsmodi, die in Abbildung 29 dargestellt sind. Es wurden die Betriebsmodi Config, Auto, Soft-Brake, Hard-Brake und Manual implementiert, welche, mit Ausnahme des Manual-Modus, bei autonomer Fahrt entsprechend dem dargestellten Zustandsdiagramm durchlaufen werden.

1) Config-Modus

Im Config-Modus kann die maximale und minimale Geschwindigkeit des Autos eingestellt werden. Zum Überprüfen der Funktionalität ist die Lenkung bereits in diesem Modus aktiv, jedoch sind die Antriebsmoto-

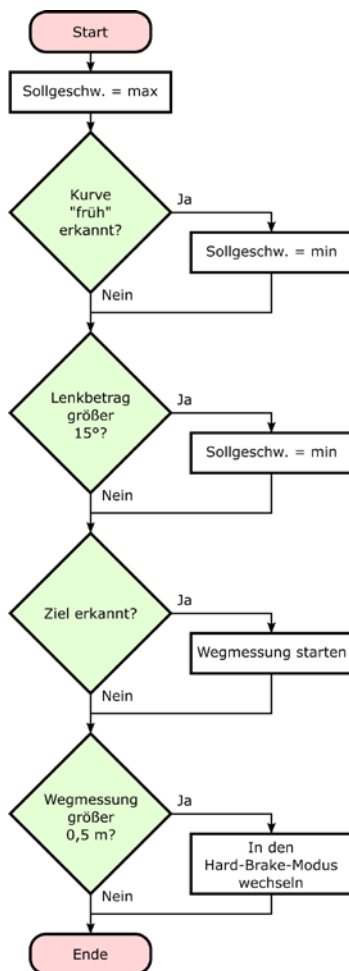


Abbildung 30: Ablaufdiagramm Auto-Modus.

ren inaktiv. 1,5 Sekunden nachdem der Startknopf betätigt wurde, wird in den Auto-Modus gewechselt.

2) Auto-Modus

Im, in Abbildung 30 dargestellten, Auto-Modus sind alle Steuerungsmechanismen aktiv. Die Geschwindigkeit wird, wie in Kapitel III.C.3 beschrieben über den Speed Controller geregelt und die Lenkung wie in Kapitel III.C.1 diskutiert über den Steer Controller. Die Kurvenfrüherkennung und die Zielerkennung kann über Schalter ein- bzw. abgeschaltet werden. Die Zielerkennung wird jedoch erst nach 8 Sekunden aktiviert, da erfahrungsgemäß alle Strecken im Wettbewerb mindestens 8 Sekunden lang sind. Damit soll vermieden werden, dass zu früh irrtümlicherweise ein Ziel erkannt wird. Wenn das Ziel erkannt wurde, wird über die Geschwindigkeitsmessung der zurückgelegte Weg gemessen. Sind 0,5 m zurückgelegt, wird in den Hard-Brake-Modus gewechselt.

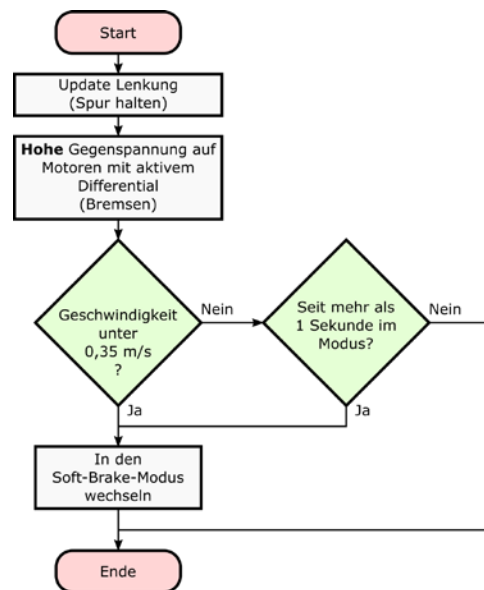


Abbildung 31: Ablaufdiagramm Hard-Brake-Modus.

3) Hard-Brake-Modus

Abbildung 31 zeigt den Hard-Brake-Modus, in welchem auf beide Motoren eine Gegenspannung angelegt wird, um aktiv zu bremsen. Hierdurch wird die Drehrichtung der angetriebenen Hinterräder auf „rückwärts“ gestellt. Damit das Auto auch in diesem Modus stabil bleibt, bleibt die Lenkung sowie das Differential auf den Antriebsmotoren aktiv. Da mit dem Geschwindigkeitssensor die Fahrtrichtung nicht erkannt werden kann, muss sichergestellt werden, dass das Auto nicht rückwärts weiter fahren kann. Daher wird in den Soft-Brake-Modus gewechselt, sobald die aktuelle Geschwindigkeit unter 0.35 m/s gefallen oder 1 Sekunde vergangen ist.

4) Soft-Brake-Modus

Das Ablaufdiagramm des Soft-Brake-Modus ist in Abbildung 32 dargestellt. Im Soft-Brake-Modus wird eine geringe Gegenspannung auf die Antriebsmotoren gelegt. Diese Gegenspannung ist so gering, dass das Auto damit nicht in der Lage ist rückwärts zu fahren. Normalerweise sollte damit das Fahrzeug in der 2 m langen Bremszone nach dem Ziel sicher zum Stehen kommen. Nach 2 Sekunden wird für eine erneute Fahrt wieder in den Config-Modus gewechselt.

5) Manual-Modus

Im Manual-Modus sind alle Steuerungsmechanismen inaktiv. Das Auto steuert sich nicht, wie in Abbildung 29 gezeigt, selbst, sondern kann über den PC ferngesteuert werden. Dies vereinfacht die Entwicklung und Programmierung des Autos enorm,

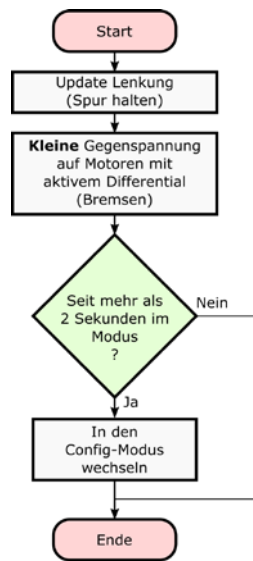


Abbildung 32: Ablaufdiagramm Soft-Brake-Modus.

da dem Auto z.B. bei Fehlfunktionen nicht mehr hinterher gelaufen werden muss. Zusätzlich kann damit das Auto bei Fehlfunktionen gestoppt werden, um mögliche Beschädigungen des Fahrzeugs oder der Umgebung zu vermeiden. Besonders beim Erreichen von hohen Geschwindigkeiten hat sich die im Manual-Modus verfügbare Stopp-Möglichkeit als sehr nützlich erwiesen.

IV. ZUSAMMENFASSUNG

Das vorgestellte autonome intelligente Fahrzeug ist in der Lage eine unbekannte Strecke zu bewältigen die den Regeln des NXP-Cups [1] entspricht. Bei mehreren Testfahrten stellte sich heraus, dass die maximale erreichbare Geschwindigkeit für eine korrekte Durchfahrt aller Streckenabschnitte, und aller möglichen Streckenkonfigurationen stark vom intelligenten Zusammenspiel von Hardware und Software-Algorithmus abhängt. Als Beispiel sei hier die Kamera genannt, welche bei ungünstigem Neigungswinkel zu einem schlechteren Kurvenverhalten führt. Aus diesem Grund wurde auf ein Zwei-Kamera-System (Nah- und Fernsichtkamera) zur Kurvenfrüherkennung gesetzt. Die maximale Geschwindigkeit des im Projekt entworfenen Fahrzeugs war bei den finalen Testläufen lediglich durch den endlichen Grip der Teststrecke begrenzt.

Das vorgestellte Fahrzeugkonzept gewann souverän die diesjährige nationale Vorentscheidung beim NXP-Cup am 22.03.2016 in Deggendorf mit einer Rundenzeit von 14,30 Sekunden und einem Abstand von 3,5 Sekunden zum Zweitplatzierten. Es nahmen 19 Teams von anderen Hochschulen aus Deutschland und Polen teil.

Beim NXP-Cup EMEA-Finale (Europe, Middle East, Africa) am 09.-10.05.2016 in München belegte

das Team der Hochschule Düsseldorf mit dem vorgestellten Fahrzeug einen hervorragenden 3. Platz. Diesmal auf einem größeren Parcours mit einer Rundenzeit von 16,6 Sekunden und nur knapp hinter dem zweitplatzierten Team aus Rumänien mit 16,4 Sekunden. Sieger wurde ein Team der Haute Ecole ARC Ingenierie aus der Schweiz mit 15,7 s. Um nach München zu kommen, gab es sechs nationale Qualifikationsrunden in Marokko, Frankreich, UK, Rumänien, Deutschland und der Slowakei. Von den anfänglich 120 registrierten Teams mit insgesamt 350 Studenten von 50 Universitäten aus 15 Ländern in Europa sind schließlich 16 Teams mit insgesamt 51 Studenten nach München zur EMEA-Endausscheidung gefahren.

Dieses Projekt zeigt auch, dass, mit einem relativ geringen Budget von unter 400 € und überschaubaren Arbeitsaufwand von in Summe unter 400 h, ein Team von drei Studierenden in der Lage ist, innerhalb eines Semesters selbständig ein autonomes Fahrzeug zu entwickeln.

V. LITERATURVERZEICHNIS

- [1] The NXP Cup:
<https://community.freescale.com/docs/DOC-1284>
- [2] AutoCAD:
<http://www.autodesk.de/products/autocad/overview>
- [3] Line-Scan-Camera:
<http://shahrulnizam.com/pic-lesson-linescan-camera/>
- [4] Begriffe der Fahrwerksvermessung
www.kfzvermessung.de;

VI. AUTORENINFORMATION

Dustin Braun, dustin.braun@study.hs-duesseldorf.de
 Robin Braun, robin.braun@study.hs-duesseldorf.de
 Christian Epe, christian.epe@hs-duesseldorf.de
 Bernhard M. Rieß, bernhard.riess@hs-duesseldorf.de

Hochschule Düsseldorf
 Münsterstraße 156
 40476 Düsseldorf

Delay-Line Analog-Digital-Wandler mit geringer Latenzzeit für digital geregelte Schaltwandler

Samuel Quenzer-Hohmuth, Cedric Jiago, Steffen Ritzmann, Thoralf Rosahl, Bernhard Wicht

Zusammenfassung—Digital geregelte Schaltwandler zeigen weniger Parameterschwankungen, sind flexibler und profitieren mehr von kleiner werdenden Strukturgrößen moderner Halbleitertechnologien als analog geregelte Schaltwandler. Die im digitalen Regelkreis notwendige AD-Wandlung muss zwingend mit geringer Latenzzeit und passender Auflösung erfolgen, um die Regelkreisstabilität nicht zu gefährden. Dieser Beitrag erläutert, weshalb konventionelle AD-Wandler-Konzepte für digital geregelte Schaltwandler ungeeignet sind und zeigt verschiedene Konzepte speziell für den Einsatz in digital geregelten Schaltwandlern. Der Fokus dieses Beitrags liegt auf einem Delay-Line AD-Wandler, dessen mehrstufige Struktur und Funktionsweise beschrieben wird. Es wird außerdem gezeigt, wie das charakteristische nichtlineare Übertragungsverhalten des Delay-Line AD-Wandlers korrigiert werden kann. Die schaltungstechnische Implementierung und Simulationsergebnisse eines 6-Bit, 66 ns-Latenzzeit Delay-Line AD-Wandlers werden vorgestellt sowie dessen Einsatz in einem 500 kHz-getakteten, 14 V-auf-6 V, 1 A Abwärtswandler mit einer Transitfrequenz von 70 kHz.

Schlüsselwörter—Schaltwandler, digitale Regelung, Analog-Digital-Wandler, Delay-Line Analog-Digital-Wandler, geringe Latenzzeit, Fenster-Konzept.

I. EINLEITUNG

Zur Regelung der Ausgangsspannung von Schaltwandlern können analoge oder digitale Regelungen eingesetzt werden. Digitale Regelungen weisen im Gegensatz zu analogen Regelungen zahlreiche Vorteile auf. Die bei analogen Reglern aufgrund ihrer Parameterschwankungen störenden Kompensationsbauelemente sind in digitalen Regelungen nicht vorhanden. Bei integrierten Lösungen kommen digitale Re-

Samuel Quenzer-Hohmuth (samuel.quenzer-hohmuth@reutlingen-university.de) und Bernhard Wicht: Hochschule Reutlingen (Robert Bosch Zentrum für Leistungselektronik), Alteburgstraße 150, 72762 Reutlingen.

Cedric Jiago, Steffen Ritzmann und Thoralf Rosahl: Robert Bosch GmbH, Tübinger Straße 123, 72762 Reutlingen.

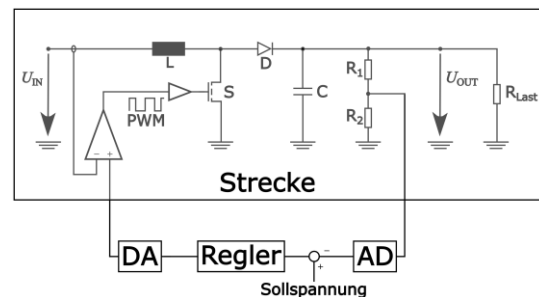


Abbildung 1: Digital geregelter Aufwärtswandler.

gelkreise mit kleinerer Chipfläche aus als vergleichbare analoge Regelkreise. Darüber hinaus lassen sich in digitalen Regelkreisen intelligente, adaptive Regelkonzepte besser umsetzen [1]–[6].

Abbildung 1 zeigt den Regelkreis eines digital geregelten Aufwärtswandlers. Zur digitalen Regelung sind ein AD- und ein DA-Wandler notwendig. Sowohl die AD-, als auch die DA-Wandlung müssen mit geringer Latenzzeit erfolgen. Latenzzeiten in Regelkreisen gefährden die Stabilität, weil sie zu einer unerwünschten Phasendrehung führen. Je höher die Auflösung, desto genauer kann die Abweichung der Ausgangsspannung des Schaltwandlers von der Zielspannung detektiert und korrigiert werden. Gleichzeitig müssen die Auflösungen von AD- und DA-Wandler zwingend zueinander passend gewählt werden, um unerwünschte Schwingungen der Ausgangsspannung zu vermeiden [12], [13].

Dieser Beitrag zeigt in Kapitel II, weshalb Standard-AD-Wandler-Konzepte in digital geregelten Schaltwandlern ungeeignet sind. Spezielle Konzepte für die AD-Wandlung, die ebenso in Kapitel II aufgeführt werden, sind dagegen geeignet.

In Kapitel III wird die mehrstufige Struktur, die Funktionsweise und die schaltungstechnische Implementierung des Delay-Line AD-Wandlers vorgestellt. Weiterhin wird das Fenster-Konzept, mit dem der Delay-Line AD-Wandler arbeitet, eingeführt.

Kapitel IV zeigt durch Simulationsergebnisse eines 500 kHz-getakteten Abwärtswandlers die grundsätzliche Eignung des Delay-Line-AD-Wandlers, auch bei einer hohen Transitfrequenz von 70 kHz. Es wird erläutert, wie das charakteristische, nichtlineare Übertragungsverhalten des Delay-Line AD-Wandlers korrigiert werden kann.

II. ANALOG-DIGITAL-WANDLUNG IN DIGITAL GEREGLTEN SCHALTWANDLERN

A. Anforderungen

Die Analog-Digital-Wandlung in einem digital geregelten Schaltwandler muss mit einer geringen Latenzzeit durchgeführt werden, um die Stabilität des Regelkreises nicht zu gefährden. Eine Latenzzeit T_D führt zu einer Phasendrehung $\Delta\varphi$ im Regelkreis, die mit folgender Gleichung berechnet werden kann:

$$\Delta\varphi = -\omega \cdot T_D$$

Folglich sind die Phasenreserve, und damit auch die Stabilität des Regelkreises, von der Phasendrehung durch die Latenzzeit betroffen. Je höher die Transitfrequenz des Regelkreises, desto größer ist die Auswirkung einer Latenzzeit T_D auf die Phasenreserve. Ein AD-Wandler mit $5\mu\text{s}$ -Latenzzeit führt zum Beispiel in einem Abwärtswandler mit einer Transitfrequenz von 70kHz schon zu einer Reduzierung der Phasenreserve um 126° und macht den Regelkreis dadurch instabil [2].

Die Auflösung des Analog-Digital-Wandlers muss bezogen auf die Ausgangsspannung kleiner sein als die Auflösung des Digital-Analog-Wandlers. Wenn diese Anforderung nicht eingehalten wird, kann die Ausgangsspannung infolge der Quantisierung durch Digital-Analog- und Analog-Digital-Wandler von stationären Schwingungen überlagert sein. Diese unerwünschten Schwingungen sind unter Limit Cycle Oscillations bekannt [12], [13]. Gleichzeitig können weder die Auflösung des AD-Wandlers noch des DA-Wandlers beliebig grob gewählt werden, sonst kann die Ausgangsspannung nicht mehr ausreichend genau auf den Zielwert geregelt werden.

Außerdem ist es erforderlich, dass der AD-Wandler monotonen Verhalten zeigt. Monotonie-Fehler können zu Schwingungen im Regelkreis führen, weil der Regler auf fehlerhafte Werte reagiert.

B. Konventionelle AD-Wandler-Konzepte

In integrierten Lösungen spielt der Flächenbedarf des AD-Wandlers eine übergeordnete Rolle. Flash-Wandler und auch Pipeline-Wandler, die hohe Latenzzeit-Anforderungen sehr gut erfüllen, kommen daher bei gleichzeitig hoher Auflösung nicht in Frage. Zur Erfüllung der Flächenanforderung eignet sich ein Delta-Sigma-Wandler. Aufgrund seiner einfachen Grundstruktur und auch der Möglichkeit das notwendige Dezimierfilter flächenarm auszuführen, kann eine hohe Auflösung bei kleiner Fläche erzielt werden. Doch trotz der Möglichkeit Auflösung und Latenzzeit des AD-Wandlers durch Variation des Dezimierfilters zu optimieren, wird in [2] gezeigt, dass ein 400kSps , 10-Bit Delta-Sigma-Wandler zur digitalen Regelung von einem Abwärtswandler mit 70kHz -Transitfrequenz nicht leistungsfähig genug ist.

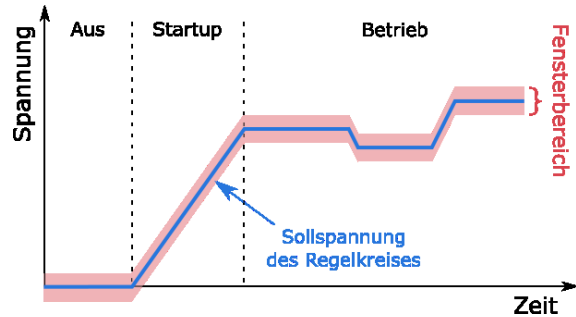


Abbildung 2: Darstellung des Fenster-Konzepts im Spannungs-Zeit-Diagramm.

C. Spezielle AD-Wandler-Konzepte

[7] schlägt einen speziell für den Einsatz in digital geregelten Schaltwandlern vorgesehenen Voltage-Controlled-Oscillator basierenden Ansatz zur AD-Wandlung vor. Bei diesem Ansatz wird die Ausgangsspannung des Schaltwandlers genutzt, um die Frequenz eines Ringoszillators zu variieren. Nachteil dieses Konzepts ist, dass ein großer Eingangsspannungsbereich abgedeckt werden muss. Zusätzlich verändert sich die Auflösung in Abhängigkeit der Ausgangsspannung des Schaltwandlers.

Auch in [8] wird ein Ringoszillator verwendet, um eine Spannung zunächst in eine Frequenz zu wandeln, die dann wiederum in einen digitalen Wert umgewandelt wird. Im Gegensatz zu [7] wird die Spannungsdifferenz zwischen Ausgangsspannung des Schaltwandlers und Sollspannung des Regelkreises ausgewertet (siehe dazu auch Fenster-Konzept, Abschnitt III.A), daher muss kein großer Eingangsspannungsbereich abgedeckt werden. Die Umwandlung der Frequenz in einen digitalen Wert ist im vorgeschlagenen Konzept sehr aufwändig und flächenintensiv, weil eine große Anzahl von Zählern benötigt wird.

Delay-Line basierende AD-Wandler-Konzepte benötigen keine Zähler. Außerdem muss kein großer Eingangsspannungsbereich abgedeckt werden, weil die Spannungsdifferenz zwischen Sollspannung und Ausgangsspannung des Regelkreises ausgewertet wird. Die Delay-Line AD-Wandler-Konzepte können aufgrund ihrer einfachen Architektur und sich wiederholender Grundelemente mit geringem schaltungstechnischem Aufwand implementiert werden. Beim Delay-Line AD-Wandler wird die Laufzeitdifferenz zweier Signale ausgewertet, die durch kurze Verzögerungsketten propagieren. Dies ermöglicht hohe Wandlungsraten bei sehr kleinen Latenzzeiten [9], [10], [11].

III. DELAY-LINE AD-WANDLER

A. Fenster-Konzept

Das Fenster-Konzept eignet sich besonders für digital geregelte Schaltwandler. Charakteristisch für das Fenster-Konzept ist, dass die Ausgangsspannung nur

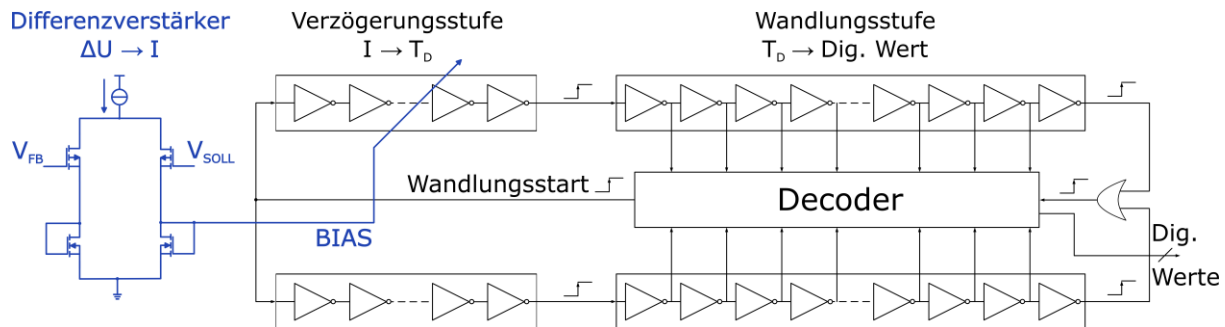


Abbildung 3: Blockschaftbild des Delay-Line AD-Wandlers.

in einem kleinen Bereich (Fensterbereich) um die Sollspannung des Regelkreises herum gewandelt wird. Dies ist zulässig, weil sich im stabilen Regelkreis die Ausgangsspannung des Schaltwandlers immer in einem kleinen Bereich um die Sollspannung befindet. Abbildung 2 zeigt den sich verändernden Fensterbereich in Abhängigkeit der Sollspannung des Regelkreises. Bei konventionellen AD-Wandlern wird dauerhaft der komplette Spannungsbereich gewandelt. Im Gegensatz zu konventionellen AD-Wandlern wird also nur der relevante Spannungsbereich gewandelt. Dadurch kann ein AD-Wandler mit Fenster-Konzept mit einer weitaus geringeren Auflösung (in Bit) auskommen, und dabei dennoch dieselbe Ausgangsspannungsauflösung wie ein konventioneller, hochauflösender AD-Wandler erreichen. Das Fenster-Konzept stellt auch im Startup-Fall (beim Startup wird die Sollspannung rampenförmig von 0 V auf die Zielspannung erhöht) und bei variablen Spannungsveränderungen während des Betriebs keine Einschränkung dar. Der in diesem Beitrag präsentierte Delay-Line AD-Wandler arbeitet nach diesem Fenster-Konzept.

B. Struktur

Der Delay-Line AD-Wandler kann in drei Stufen unterteilt werden, die Differenzverstärker-, die Verzögerungs- und die Wandlungsstufe.

In der ersten Stufe, in Abbildung 3 ganz links, wird mit Hilfe eines Differenzverstärkers ein zur Spannungsdifferenz zwischen der Sollspannung des Regelkreises V_{SOLL} und der rückgeführten Ausgangsspannung des Regelkreises V_{FB} proportionaler Strom I_{bias} gebildet.

Eine zweite Stufe besteht aus einer variablen Verzögerungsstufe. Die Verzögerung T_D der stromgesteuerten Inverterkette wird durch den von der ersten Stufe bereitgestellten Strom I_{bias} bestimmt. Eine dazu parallel arbeitende Verzögerungskette wird mit einem konstanten Referenzstrom versorgt und erzeugt damit eine konstante Verzögerung.

Die Wandlungsstufe besteht aus zwei gleichartigen Inverterketten, die mit konstanter Verzögerung arbeiten. Weiterhin beinhaltet die Wandlungsstufe einen Decoder, der die Zustände zwischen den einzelnen

Invertergliedern der Verzögerungsketten zum passenden Zeitpunkt abfragen kann. Das Ausgangssignal des Decoders ist der digitale Ausgangswert des AD-Wandlers.

Die Inverterketten aus Stufe zwei und drei sind aus stromgesteuerten Invertergliedern aufgebaut. Abbildung 4 zeigt den Aufbau zweier solcher Inverterglieder.

Der Delay-Line AD-Wandler zeichnet sich mit seinem einfachen Aufbau aus Differenzverstärker, mehreren gleichartigen Inverterzellen und einem Decoder durch geringe Komplexität und geringen schaltungs-technischen Aufwand aus.

C. Funktionsweise

Eine Wandlung wird durch ein rechteckförmiges Wandlungsstart-Signal gestartet. Dieses Signal breitet sich sowohl in der Referenzverzögerungskette, die eine konstante Verzögerung aufweist, als auch in der variablen Verzögerungskette, die abhängig von der Spannungsdifferenz der Ausgangsspannung des Regelkreises und der Sollspannung des Regelkreises eine variable Verzögerung aufweist, zunächst in der Verzögerungsstufe aus. Das Wandlungsstart-Signal wird dadurch in den beiden Pfaden unterschiedlich verzögert (es sei denn Ausgangs- und Sollspannung des Regelkreises stimmen exakt überein). Die unterschiedlich verzögerten Signale gelangen anschließend in die Wandlungsstufe. Diese wird zur Auswertung der Laufzeitdifferenz benötigt. Das Signal, welches insgesamt schneller durch seinen Verzögerungspfad propagiert, löst das Aufnahme-Signal aus. Sobald dieses Aufnahme-Signal gesetzt wird, liest der Decoder die Zustände in der Wandlungsstufe aus. Der Decoder bildet zunächst die Differenz der beiden gegenüberliegenden Zustände und wandelt anschließend den inhärent entstehenden Thermometer-Code in einen Binär-code um.

Der Delay-Line AD-Wandler zeichnet sich durch eine sehr kurze Latenzzeit aus. Die Latenzzeit wird definiert durch die Zeitdauer von Wandlungsstart bis zur Generierung des Aufnahme-Signals. Dazu kommt noch die Auswertungszeit des Decoders, die aber vernachlässigbar klein ist. Die Latenzzeit wird also in

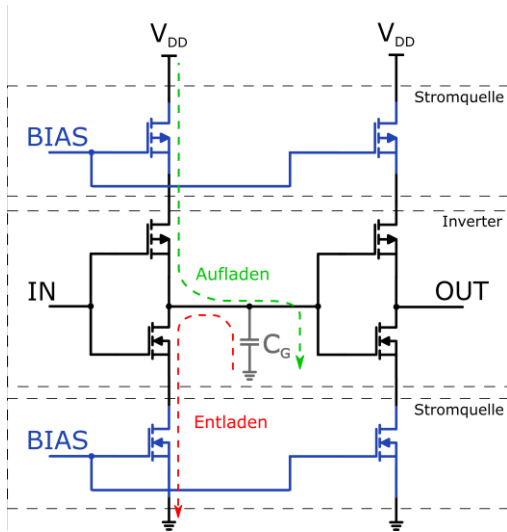


Abbildung 4: Zwei stromgesteuerte Inverterglieder in Reihenschaltung.

keinem Fall größer werden als die Laufzeit des Signals durch die Inverterkette, die mit konstanter Verzögerung arbeitet. Kleiner wird die Latenzzeit, wenn das Signal durch die Inverterkette mit variabler Verzögerung schneller propagiert als durch die Inverterkette mit konstanter Verzögerung.

Die Auflösung hängt von der Anzahl der Inverterglieder in der Wandlungsstufe ab. Die Auflösung kann daher erhöht werden, indem die Anzahl der Inverterglieder erhöht wird.

Ein Vorteil des Delay-Line Konzepts ist, dass bedingt durch die sequentielle Ausbreitung des Wandlungsstart-Signals keine Monotonie-Fehler auftreten können.

D. Schaltungstechnische Implementierung

Der eingesetzte Differenzverstärker enthält zusätzlich zum in Abbildung 3 gezeigten Aufbau noch einen Source-Degeneration-Widerstand am Differenzpaar, um die Linearität der Verstärkerstufe zu verbessern.

Die einzelnen stromgesteuerten Inverterglieder (siehe Abbildung 4) sind so dimensioniert, dass bei konstantem Referenzstrom eine nominale Verzögerung von 500 ps pro Inverterglied entsteht.

Die Verzögerungsstufe besteht pro Zweig aus 99 einzelnen Invertergliedern. Dadurch entsteht eine Gesamtverzögerung von 49,5 ns. Eine Reduktion der Anzahl der Inverterglieder in der Verzögerungsstufe wäre denkbar, allerdings muss der Umladestrom dann einen sehr großen Strombereich abdecken, um die notwendigen Verzögerungen einzustellen.

Die Wandlungsstufe setzt sich pro Zweig aus 33 einzelnen Invertergliedern zusammen. Dadurch entsteht hier eine weitere Verzögerung von 16,5 ns.

Der Decoder liest die Zustände zwischen den einzelnen Invertergliedern aus und erzeugt daraus den zugehörigen Binärkode. Dabei wird berücksichtigt, dass die Signale jedes zweite Inverterglied invertiert vor-

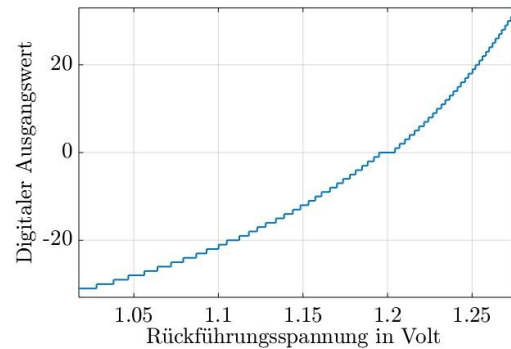


Abbildung 5: Übertragungskennlinie des Delay-Line AD-Wandlers.

liegen. Dieser Digitalteil kann mit Hilfe der Hardwarebeschreibungssprache VHDL erzeugt werden.

Es ergibt sich mit diesem Aufbau eine Latenzzeit von 66 ns (plus Rechenzeit des Decoders). Die Auflösung liegt bei 6 Bit. Die Wandlungsrate des Delay-Line AD-Wandlers kann bis zu 30 MSps betragen.

IV. SIMULATIONSERGEBNISSE

A. Übertragungskennlinie

Abbildung 5 zeigt die Übertragungskennlinie des Delay-Line AD-Wandlers als Funktion der Rückführungsspannung. Der Sollwert des Regelkreises liegt bei 1,2 V. Die Rückführungsspannung ist die mit einem hochohmigen Spannungsteiler heruntergeteilte Ausgangsspannung (vgl. Abbildung 1). Die Kennlinie weist streng monotonen und nichtlineares Übertragungsverhalten auf.

Das nichtlineare Übertragungsverhalten ist durch das Umschaltverhalten der Inverterkette bedingt. Die Last eines Inverters bestimmt das zeitliche Verhalten der Umschaltung maßgeblich. Bei der verwendeten Inverterkette sind gleichartige Inverter in Reihe geschaltet. Die Last des jeweiligen Inverters ist daher die Gatekapazität C_G des Folge-Inverters (siehe dazu auch Abbildung 4). Daher ergibt sich nach

$$T_D = \frac{C_G \cdot U}{I_{bias}}$$

ein invers-proportionales Verhalten zwischen der Umschaltzeit T_D und dem Umladestrom I_{bias} .

Die Übertragungskennlinie zeigt weiterhin, dass die Auflösung mit steigender Rückführungsspannung feiner wird. Auffallend ist außerdem, dass der digitale Ausgangswert „0“ über einen breiteren Spannungsbereich erzielt werden kann als die digitalen Ausgangswerte „-1“ oder „1“. Dies ist hilfreich, es kann dadurch eine hohe Auflösung des AD-Wandlers erzielt werden ohne gleichzeitig Limit Cycle Oscillations im Regelkreis befürchten zu müssen [12], [13].

Die digitalen Werte können direkt (ohne Korrektur) weiterverwendet werden. Alternativ können die Werte so korrigiert werden, dass die digitalen Werte den korrekten analogen Spannungswerten zugeordnet

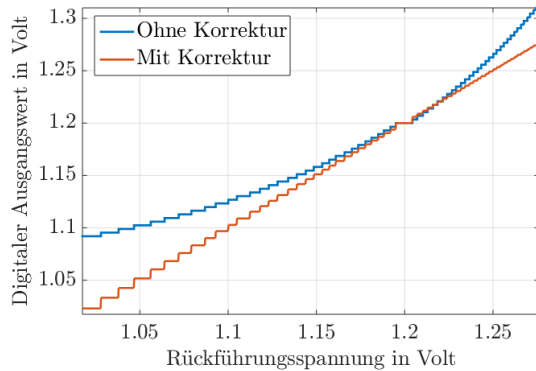


Abbildung 6: Korrigierte und nicht-korrigierte Übertragungskennlinie des Delay-Line AD-Wandlers.

werden. Dazu ist eine Lookup-Tabelle notwendig, die die Zuordnung eines digitalen Ausgangswertes und dem jeweiligen analogen Rückführungsspannungswert enthält. Abbildung 8 zeigt das Übertragungsverhalten für eine Weiterverwendung der digitalen Werte ohne Korrektur und mit Korrektur. Die Auflösungsabhängigkeit der Übertragungskennlinie bleibt auch nach Korrektur der Nichtlinearität bestehen.

B. Lastsprungverhalten

Abbildung 7 zeigt das Ausregelverhalten eines digital geregelten 500kHz-getakteten Abwärtswandlers mit einer Transitfrequenz von 70 kHz. Die Ausgangsspannung liegt bei 6 V und die Eingangsspannung ist 14 V. Der Lastsprung erfolgt von 0,6 A auf 0,3 A Laststrom (links) und von 0,3 A auf 0,6 A (rechts). Die Simulationsergebnisse zeigen, dass der Delay-Line AD-Wandler eine passende Auflösung und gleichzeitig eine so geringe Latenzzeit bietet, dass bei 70 kHz keine Stabilitätsprobleme auftreten.

Abbildung 8 zeigt das Lastsprungverhalten von 500kHz-getakteten Aufwärtswandlern mit 2kHz-Transitfrequenz. Bei dieser niedrigen Transitfrequenz wird die Auswirkung der Nichtlinearität der Übertragungskennlinie deutlich. Die Ausgangsspannung liegt bei 6,3 V und die Eingangsspannung ist 3,5 V. Der Lastsprung erfolgt von 0,6 A auf 0,3 A Laststrom (und zurück). Dargestellt ist das Lastsprungverhalten eines Aufwärtswandlers mit Delay-Line AD-Wandler ohne Korrektur der Nichtlinearität, mit Korrektur der Nichtlinearität und eines idealen AD-Wandlers mit linearem Verhalten.

Der Aufwärtswandler mit Delay-Line AD-Wandler mit Korrektur der Nichtlinearität und Aufwärtswandler mit idealem AD-Wandler mit linearem Verhalten zeigen nahezu identisches Verhalten. Der Aufwärtswandler mit Delay-Line AD-Wandler ohne Korrektur der Nichtlinearität zeigt dagegen bei Lastabwurf ein verbessertes Ausregelverhalten, während er bei Lastzunahme ein schlechteres Ausregelverhalten zeigt.

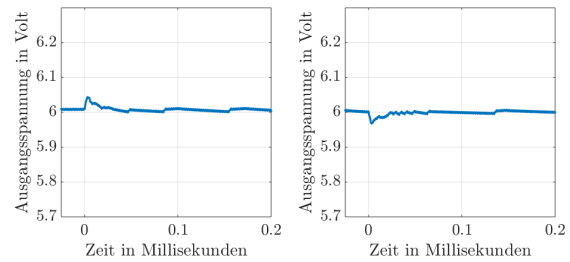


Abbildung 7: Lastsprungverhalten eines digital geregelten Abwärtswandlers mit 70 kHz Transitfrequenz.

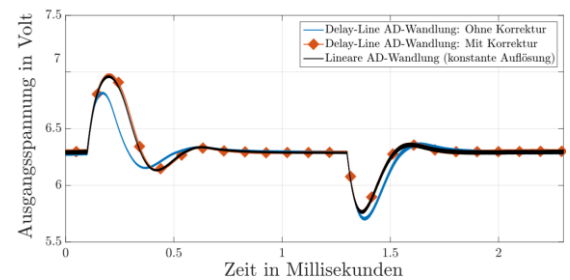


Abbildung 8: Lastsprungverhalten von digital geregelten Aufwärtswandlern

Dieses unterschiedliche Verhalten kann mit Hilfe von Abbildung 8 erklärt werden. Bei hoher Spannung liefert der AD-Wandler aufgrund der Nichtlinearität der Übertragungsfunktion dem Regler eine überhöhte Regelabweichung (siehe rechte Hälfte der Kennlinie). Dementsprechend reagiert der Regler mit einer entsprechend stärkeren Gegenreaktion. Ein solches Verhalten gleicht verschiedenen Ansätzen zur nichtlinearen Regelung [4], [5]. Bei kleiner Spannung (linke Hälfte der Kennlinie) bekommt der Regler die Information, dass die Spannungsabweichung weniger groß ist, als dies tatsächlich ist. Die Reaktion des Reglers fällt dadurch entsprechend zu schwach aus. Der Ausregelvorgang verschlechtert sich.

V. FAZIT

Digital geregelte Schaltwandler zeigen weniger Parameterschwankungen, sind flexibler und profitieren mehr von kleiner werdenden Strukturgrößen integrierter Chips als analog geregelte Schaltwandler. Die AD-Wandlung in digital geregelten Schaltwandlern muss mit geringer Latenzzeit und hoher Auflösung erfolgen. Konventionelle AD-Wandler-Konzepte sind daher für digital geregelte Schaltwandler meist ungeeignet. Das vorgestellte Delay-Line AD-Wandler-Konzept kommt mit verhältnismäßig geringem Schaltungsaufwand durch Verwendung des Fenster-Konzepts auf eine gute ausgangsspannungsbezogene Auflösung und auf eine äußerst niedrige Latenzzeit. Simulationsergebnisse eines 500 kHz-getakteten Abwärtswandlers zeigen, dass Regelkreise mit hohen Transitfrequenzen mit einem 6-Bit, 66 ns-Latenzzeit Delay-Line AD-Wandler stabil geregelt werden können.

LITERATURVERZEICHNIS

- [1] B.J. Patella, A. Prodic, A. Zirger and D. Maksimovic, "High-frequency digital PWM controller IC for DC-DC converters," in *IEEE Transactions on Power Electronics*, vol. 18, no. 1, pp. 438-446, Jan 2003.
- [2] S. Quenzer-Hohmuth, S. Ritzmann, T. Rosahl, and B. Wicht, "Challenges and implementation aspects of switched-mode power supplies with digital control for automotive applications", in *Advances in Radio Sciences*, in press, 2016.
- [3] J. Morroni, R. Zane, and D. Maksimovic, "Design and Implementation of an Adaptive Tuning System Based on Desired Phase Margin for Digitally Controlled DCDC Converters," in *IEEE Transactions on Power Electronics*, vol. 24, no. 2, pp. 559-564, Feb. 2009.
- [4] Mingzhi He, and Jianping Xu, "Nonlinear PID in Digital Controlled Buck Converters," in *APEC 2007 - Twenty Second Annual IEEE Applied Power Electronics Conference*, vol., no., pp. 1461-1465, Feb. 25 2007- March 1 2007.
- [5] V. Yousefzadeh and S. Choudhury, "Nonlinear digital PID controller for DC-DC converters," in *APEC 2008 - Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition*, Austin, TX, 2008, pp. 1704-1709.
- [6] S. Quenzer-Hohmuth, S. Ritzmann, T. Rosahl and B. Wicht, "Boost converter with load dependent adaptive controller for improved transient response," *2016 12th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, Lisbon, Portugal, 2016, pp. 1-4.
- [7] M. Z. Straayer and M. H. Perrott, "A 12-Bit, 10-MHz Bandwidth, Continuous-Time $\Sigma\Delta$ ADC With a 5-Bit, 950-MS/s VCO-Based Quantizer," in *IEEE Journal of Solid-State Circuits*, vol. 43, no. 4, pp. 805-814, April 2008.
- [8] Jinwen Xiao, A. V. Peterchev, Jianhui Zhang and S. R. Sanders, "A 4- μ A quiescent-current dual-mode digitally controlled buck converter IC for cellular phone applications," in *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, pp. 2342-2348, Dec. 2004.
- [9] Huei-Shan Chen, Chun-Hung Yang, Chien-Hung Tsai and Guan-Lin Li, "Design and implementation of window delay-line ADC for low-power DC-DC SMPS," *2012 IEEE 13th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Kyoto, 2012, pp. 1-4.
- [10] A. Parayandeh and A. Prodic, "Programmable Analog-to-Digital Converter for Low-Power DC-DC SMPS," in *IEEE Transactions on Power Electronics*, vol. 23, no. 1, pp. 500-505, Jan. 2008.
- [11] Y. Sun, V. Adrian and J. S. Chang, "Design of a variable-delay window ADC for switched-mode DC-DC converters," *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, Lisbon, 2015, pp. 1642-1645.
- [12] H. Peng, A. Prodic, E. Alarcon and D. Maksimovic, "Modeling of Quantization Effects in Digitally Controlled DC-DC Converters," in *IEEE Transactions on Power Electronics*, vol. 22, no. 1, pp. 208-215, Jan. 2007.
- [13] A. V. Peterchev and S. R. Sanders, "Quantization resolution and limit cycling in digitally controlled PWM converters," *2001 IEEE 32nd Annual Power Electronics Specialists Conference, 2001. PESC, Vancouver, BC, 2001*, pp. 465-471 vol.2.



Samuel Quenzer-Hohmuth erhielt den akademischen Grad des Bachelor of Engineering in Elektrotechnik im Jahr 2012 von der Dualen Hochschule Stuttgart und den Grad des Master of Science in Leistungs- und Mikroelektronik im Jahr 2015 von der Hochschule Reutlingen. Er ist derzeit Akademischer Mitarbeiter am Robert Bosch Zentrum für Leistungselektronik an der Hochschule Reutlingen.



Cedric Leonel Jiago Teffo erhielt den akademischen Grad des Bachelor of Engineering in Mechatronik mit dem Schwerpunkt Mikroelektronik im Jahr 2014 von der Hochschule Reutlingen und den Master of Science in Leistungs- und Mikroelektronik im Jahr 2016 am Robert Bosch Zentrum für Leistungselektronik der Hochschule Reutlingen. Er ist derzeit Entwicklungsingenieur bei der Robert Bosch GmbH in Reutlingen.



Steffen Ritzmann erhielt den akademischen Grad des Diplomingenieurs in Technischer Informatik im Jahr 2007 von der Technischen Universität Berlin. Er ist derzeit Entwicklungsingenieur für integrierte Schaltungstechnik bei der Robert Bosch GmbH in Reutlingen.



Thoralf Rosahl erhielt den akademischen Grad des Diplomingenieurs im Jahr 1990 von der Technischen Universität Dresden. Seit 1991 arbeitet er bei der Robert Bosch GmbH als Entwicklungsingenieur für integrierte Schaltungstechnik in Reutlingen.



Bernhard Wicht erhielt den akademischen Grad des Diplomingenieurs im Jahr 1996 von der Technischen Universität Dresden und den Grad Dr.-Ing. im Jahr 2002 von der Technischen Universität München. 2003-2010 war er im Geschäftsbereich Mixed Signal Automotive bei Texas Instruments, Freising, verantwortlich für die Entwicklung von Smart Power ICs. Seit September 2010 ist er Professor für integrierte Schaltungen am Robert Bosch Zentrum für Leistungselektronik an der Hochschule Reutlingen.

Entwicklung eines Feldbusmoduls „CAN“ für eine neue Industriesteuerungsgeneration „IndraControl XM“

Mirko Auth

Zusammenfassung—Ein neues Feldbusmodul „CAN“ ist für die neue Industriesteuerung „IndraControl XM“ von Bosch Rexroth zu entwickeln. Die ersten Schritte sind die Auswahl des Gehäuses, die Evaluierung der verschiedenen CAN Controller Lösungen und die Hardwareentwicklung mit FPGA Core. Danach findet die Inbetriebnahme der Hardware statt. Der abschließende Test des entwickelten Feldbusmoduls „CAN“ mit der neuen „IndraControl XM“-Steuerung stellt die Funktion sicher.

Schlüsselwörter—CAN, Industriesteuerung, Hardware, IP-Core, FPGA, Inbetriebnahme

I. EINLEITUNG

Die Automatisierung, Digitalisierung und Verknüpfung nimmt in der Automobil-, Schifffahrt-, Luftfahrt-industrie und in weiteren Industriezweigen eine immer größere und bedeutendere Rolle ein. Zum Erreichen einer möglichst großen Marktabdeckung ist es für heutige Konzerne wichtig, dass neben schnellen und leistungsfähigen speicherprogrammierbaren Steuerungen (SPS) und Industrie-PC's auch alle bedeutenden Feldbusse, ob zentral oder dezentral, unterstützt werden. Feldbusse dienen der Kommunikation zwischen Steuerungen oder Industrie-PCs mit Aktoren und Sensoren. Einer der bedeutendsten Feldbusse in der Automobilindustrie ist der CAN-Feldbus. Es handelt sich dabei um ein seriellcs Bussystem mit dem ursprünglichen Ziel, die Kabellängen im Auto zu reduzieren und somit Gewicht zu sparen. Mit der Zeit ist der CAN-Bus im industriellen Umfeld immer bedeutender geworden. In der Automobilindustrie hat sich vor allem das Kommunikationsprotokoll CANopen, basierend auf CAN, durchgesetzt. Dieses Protokoll ist mittlerweile auch in der Schifffahrt zu finden.

II. ANFORDERUNGEN AN DAS FELDBUSMODUL „CAN“

Ziel ist die Entwicklung eines funktionsfähigen Prototyps des Feldbusmoduls „CAN“, das an die neuen

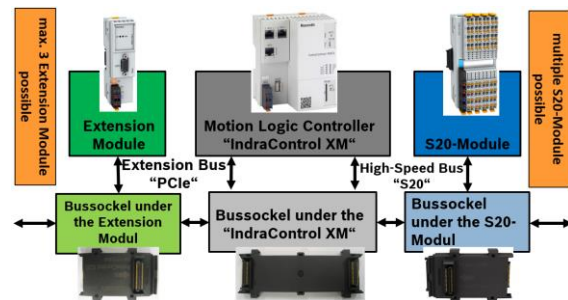


Abbildung 1: Konzept der neuen Industriesteuerungsgeneration „IndraControl XM“.

Industriesteuerungen der Generation „IndraControl XM“ anschließbar ist. Dieses Feldbusmodul soll die geforderten EMV-Eigenschaften erfüllen und 4 CAN Schnittstellen besitzen.

Zunächst werden alle Realisierungsmöglichkeiten aufgezeigt, bewertet und die Beste realisiert. Danach werden alle nötigen Bauteile ausgewählt, ein Gehäusekonzept ausgearbeitet und das Schaltbild eingegeben. Es folgen das Layout, die Fertigung und die Bestückung der Leiterplatte. Anschließend findet die Hardwareinbetriebnahme statt. Parallel kann die benötigte Software auf einem Evaluation Board implementiert und später auf die neue entwickelte Hardware übertragen werden. Ein abschließender Test mit einem SPS-Programm und weiteren CAN-Modulen bestätigt die Funktionalität des CAN Feldbusses.

Das Ergebnis der Entwicklung ist ein Prototyp des Feldbusmoduls „CAN“ für die Industriesteuerungen der Generation „XMxx“ in einem passenden Gehäuse. Dieser Prototyp soll die Anforderungen des Marktes erfüllen.

III. KONZEPT DER NEUEN INDUSTRIESTEuerung „INDRACONTROL XM“

Im Zentrum der neuen Industriesteuerungsgeneration der Bosch Rexroth AG stehen die unterschiedlichen Steuerungen „IndraControl XM“ mit ihren festgelegten Schnittstellen zu den Erweiterungsmodulen.

Links können unterschiedliche Extension Module, die verschiedene Feldbusse realisieren, angeschlossen werden. Die Anzahl an Extension Modulen ist abhängig von der Industriesteuerung „IndraControl XM“. Auf der rechten Seite besteht die Möglichkeit S20-

Module (z.B. IO-Module) zu ergänzen. Die Anzahl ist nicht begrenzt.

Unterschiedliche „Bussockel“, die sich in der Hutschiene befinden, transportieren die Signale von der Industriesteuerung „IndraControl XM“ zu den Modulen. Der proprietäre Bus S20 verbindet die S20-Module mit der Industriesteuerung und der Extension Bus, basierend auf PCIexpress, verbindet die Extension Module.

IV. GRUNDLAGE ZUM FELDBUS „CAN“

Der Controller Area Network (CAN)-Feldbus wurde 1983 von der Robert Bosch GmbH entwickelt. Gemeinsam mit der Fa. Intel ist 1989 der erste CAN-Controller vorgestellt worden.

Beim Feldbus CAN handelt es sich um ein echtzeitfähiges, zweiadriges Bussystem mit Linienstruktur. Die Signalübertragung erfolgt meist über ungeschirmte, verdrehte Drahtleitungen als Differenzspannungsübertragung.

V. ENTSCHEIDUNGSFINDUNG FÜR DIE REALISIERUNG DES FELDBUSMODULS „CAN“

A. Anbindung an die neue Industriesteuerung als S20- oder Extension Modul

Das Feldbusmodul „CAN“ wird als Extension Modul realisiert aufgrund der höheren Performance von PCIexpress im Vergleich zum S20-Bus. PCIexpress besitzt eine Netto-Bandbreite von 0,5GBit/s und der S20-Bus von 100MBit/s.

Zusätzlich besteht bei PCIe die Möglichkeit die Bandbreite weiter zu erhöhen, indem man auf eine neue PCIe-Version umsteigt. Diese ist beim „S20“-Bus aktuell nicht vorgesehen.

Des Weiteren kann bei PCIe DMA (Direct Memory Access) eingesetzt werden. Mittels DMA ist der Datentransfer vom Modul direkt in den Arbeitsspeicher der CPU, ohne Belastung des Prozessors der Industriesteuerung, möglich.

B. Softwarerealisierung des CAN-Feldbusses

Im nächsten Schritt werden die verschiedenen Realisierungsmöglichkeiten für den CAN-Feldbus beleuchtet, wobei ausschließlich auf die entscheidenden Unterschiede (FPGA, CAN Controller...) eingegangen wird.

Die Ziele bei der Realisierung der CAN Schnittstellen sind:

- hohe Performance / hohe Datenübertragungsrate
- kostenbewusste Lösung (Bauteilkosten, Platzbedarf auf der Leiterkarte)
- Modularität, Erweiterbarkeit und Flexibilität der Lösung (Möglichkeit des Exportierens auf andere Projekte)

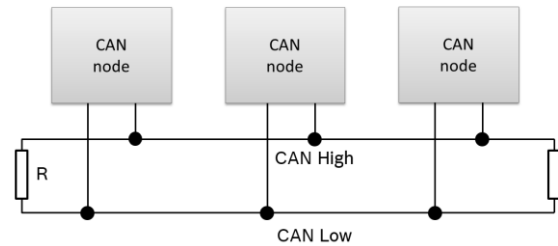


Abbildung 2: Struktur des CAN-Feldbusses

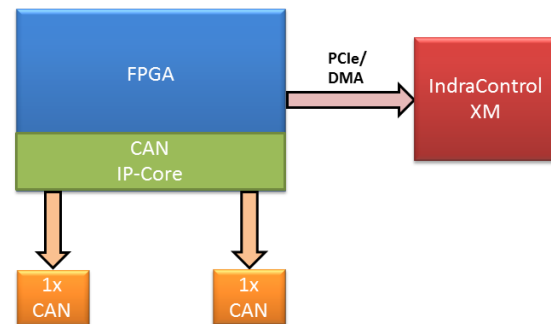


Abbildung 3: Softwarerealisierung – FPGA mit CAN IP-Core

Die folgenden Möglichkeiten werden betrachtet:

- **Mikrocontroller mit internen CAN Controllern**
Bei dieser Lösung können die erforderlichen Datenübertragungsraten erreicht werden, auch wenn ein weiterer IC nötig ist. Dies ist der Fall, da der Mikrocontroller kein PCIexpress Interface besitzt und somit z.B. ein FPGA für die Anbindung an die Industriesteuerung gebraucht wird. Dadurch steigen die Bauteilkosten und der benötigte Platz auf der Leiterplatte. Des Weiteren sind zwei Mikrocontroller nötig um die 4 CAN Schnittstellen zu realisieren.
- **Stand-alone CAN controller**
Die Performance dieser Lösung ist gut wobei auch die stand-alone CAN Controllern kein PCIexpress Interface haben. Außerdem sind 2 ICs nötig um die 4 CAN Schnittstellen zu realisieren. Folglich fallen erneut hohe Bauteilkosten an und es wird ein großer Leiterplattenplatz benötigt.
- **Hochintegrierter Netzwerk-Controller**
Der hochintegrierte Netzwerk-Controller besitzt bis zu 3 CAN Schnittstellen. Deshalb sind 2 ICs nötig. Eine PCI zu PCIexpress Bridge muss auf der Leiterplatte vorgesehen werden, da der Controller kein PCIexpress Interface besitzt. Dies bedeutet erneut einen hohen Platzbedarf auf der Leiterplatte und hohe Bauteilkosten.
- **FPGA mit CAN IP-Core**
Der Einsatz eines FPGAs mit CAN Controller IP-Core bietet hohe Modularität, Flexibilität und die

maximale Performance durch den Einsatz von DMA. Die Bauteilkosten und der benötigte Leiterplatten Platz sind minimal, da nur ein FPGA nötig ist.

Nach Bewertung aller Vor- und Nachteile ist die beste Lösung der Einsatz eines FPGAs mit CAN IP-Core; maximale Performance und geringste Kosten.

Als CAN IP-Core kommt der „M_CAN“ von Bosch zum Einsatz.

C. Gehäuselösung

Die Gehäuse werden durch eine kooperierende Firma hergestellt. Die einzige Möglichkeit ist der Einsatz des schmalen Extension Modul Gehäuses, da dieses einen mechanischen Versteckschutz besitzt. Der Sinn dieses Schutzes ist, dass keine Anwender das Modul auf den S20-Bus als S20-Modul montiert und dadurch die Hardware zerstört. Allerdings sind nur 2 CAN Schnittstellen pro Modul mit diesen Gehäuse realisierbar. Ansonsten ist mehr Leiterplattenplatz nötig und somit ein breiteres Gehäuse. Allerdings besitzen diese keinen mechanischen Versteckschutz und eine Umsetzung dieses Versteckschutzes würde sehr hohe Entwicklungskosten und lange Entwicklungszeit bedeuten.

Folglich ist die einzige mögliche Lösung die CAN Schnittstellen auf 2 pro Modul zu reduzieren. Somit benötigt der spätere Anwender 2 Module für 4 CAN Schnittstellen.



Abbildung 4: Gehäuse des Extension Moduls CAN.

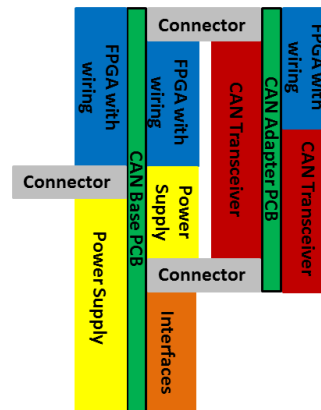


Abbildung 5: Blockdiagramm Extension Modul CAN.

VI. HARDWAREENTWICKLUNG UND INBETRIEBNAHME

Nachdem nun alle Anforderung an das Feldbusmodul „CAN“ feststehen, kann die Hardwareentwicklung beginnen.

Es sind zwei Leiterplatten nötig. Auf der einen ist die Spannungsversorgung, das FPGA mit PROMs, ein Steckverbinder für den Anschluss an die Industriesteuerung „IndraControl XM“ und Steckverbinder zur 2. Leiterplatte. Auf der anderen befinden sich die CAN Transceiver, die die isolierte CAN Spannung und die CAN-Signale CAN_High und CAN_Low erzeugen. Zusätzlich sind die Steckverbinder zur anderen Leiterplatte vorhanden.

Zunächst werden alle Komponenten ausgewählt eine Leistungsbetrachtung aller ICs und Verbraucher durchgeführt. Dies ist für die Dimensionierung der Spannungsversorgung wichtig. Danach wird das Schaltbild in das CAE-Tool eingegeben und das Layout der Leiterplatte erstellt. Anschließend werden die Leiterplatten gefertigt und bestückt.

Zuletzt findet die Inbetriebnahme mit Messen der Spannungen und Ströme sowie der Überprüfung der einzelnen Funktionen statt. Zum Beispiel wird die

Oszillatorfrequenz nachgemessen und der Lese- und Schreibvorgang in die PROMs verifiziert.

VII. FPGA SYNTHESE UND VERIFIKATION DES VHDL CODES

Die FPGA Synthese basiert auf dem CAN IP-Core „M_CAN“ von Bosch („rot“ markierter Bereich, siehe Abbildung 6) und den firmeneigenen IP-Cores („grün“ markierter Bereich, siehe Abbildung 6).

Über das PCIexpress/DMA-Interface wird die Anbindung des Feldbusmoduls „CAN“ zu den Industriesteuerungen der Generation „IndraControlXM“ hergestellt. Der Datentransfer im Feldbusmodul „CAN“ findet über den Local-Bus statt. An diesem sind die IP-Cores des elektronischen Typschilds, der SPI-PROMs und des CANs angeschlossen. Der CAN IP-Core besitzt ein Avalon Interface mit einer Datenwortbreite von 32bit. Da der Local-Bus eine Datenwortbreite von 64Bit hat, ist ein Adapter nötig. (Local-Bus to Avalon Interface).

Der IP-Core „M_CAN“ besteht aus einem Address Decoder, der die Adresszuordnung für die beiden CAN Instanzen (M_CAN_0 und M_CAN_1) und das RAM übernimmt. Jeder CAN Controller hat ein Generic Slave Interface für die Verbindung zur Host CPU und ein Generic Master Interface für den Zugang zum RAM. Die Zugriffsüberwachung auf das RAM übernimmt der Arbiter, der Konflikte und Kollisionen bei gleichzeitigem Zugriff löst.

A. Adapter vom Local-Bus zum Avalon-Bus

Das Feldbusmodul „CAN“ basiert auf dem Local – Bus wobei der CAN IP-Core ein Avalon-Bus Interface besitzt. Bis auf die Wortbreite sind alle Eigenschaften vergleichbar.

Der Local-Bus basiert auf 64 Bit und der Avalon-Bus auf 32 Bit Daten-Worten. Ein 64-Bit Zugriff wird in zwei 32-Bit Zugriffe umgewandelt. Beide arbeiten mit Wortadressen, nicht mit Byteadressen. Durch Ergänzen einer 0 bzw. einer 1 an die 64-Bit Adresse von rechts entsteht die 32-Bit Adresse.

Beim Schreiben werden die 64 Bit Local-Bus Daten auf zwei 32 Bit breite Avalon-Bus Daten aufgesplittet (Write). Beim Lesen (Read) erfolgt das Zusammenfügen der zwei 32 Bit breiten Avalon-Bus Daten zu einem 64 Bit breiten Local-Bus Datum.

Zum Detektieren, ob die oberen oder unteren Bytes auszuwählen sind, dienen die Byte-Enable Bits des Local-Busses.

B. Integration des externen SDRAMs mit neuem Arbiter

Da das dual-port message RAM des CAN IP-Cores zu klein ist, wird ein externes SDRAM an das FPGA angeschlossen. Die Timingsignale „waitrequest“ und „readdatavalid“ vom SDRAM werden vom mitgelieferten Arbiter des CAN IP-Cores nicht analysiert, da dieser nur SRAMs unterstützt. Aus diesem Grund ist ein neuer Arbiter mit Round-Robin Zugriff nötig. Entweder die CPU der Industriesteuerung „IndraControl XM“ oder eine Instanz der „M_CAN“ haben Zugriff auf das SDRAM.

Der SDRAM Controller ist ein IP-Core, der vom FPGA Hersteller mitgeliefert wird.

C. Verifikation des VHDL-Codes

Ausgangsbasis für die Inbetriebnahme des VHDL-Codes ist der Anschluss des Feldbusmoduls „CAN“ an eine SPS der neuen Industriesteuerungsgeneration „IndraControl XM“. Mittels „C“-Programm, das auf der „IndraControl XM“ läuft, ist ein Zugriff auf die PROMs, den „M_CAN“ mit Decoder, Arbiter, SDRAM und CAN-Controllern möglich.

Um Fehler im implementierten FPGA-Code aufzudecken wird das Tool „SignalTap II“ von Altera eingesetzt. Dadurch können die Signalpegel von Steuer-, Adress- und Datenleitungen im FPGA betrachtet und

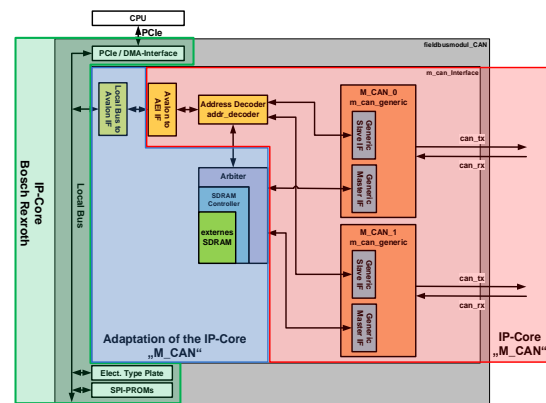


Abbildung 6: Blockdiagramm – FPGA des Feldbusmoduls „CAN“.

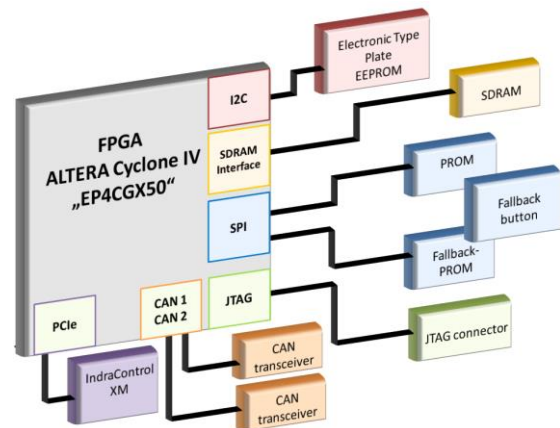


Abbildung 7: Blockdiagramm der FPGA Beschaltung.

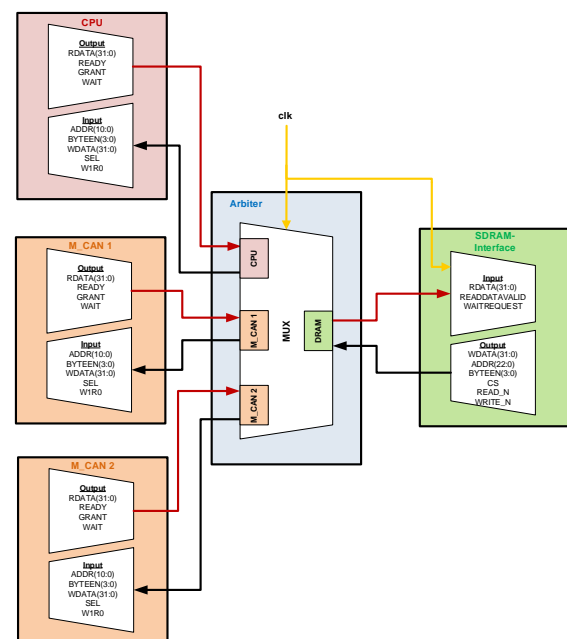


Abbildung 8: Daten-, Adress- und Kontrollsignale im Arbiter.

mögliche Fehler auffindig gemacht werden. Dabei ist es wichtig alle Interfaces zu prüfen, da nur so alle Funktionen gewährleistet werden können.

VIII. FUNKTIONSTEST DES CAN FELDBUS MIT C-PROGRAMM

Ein abschließender Funktionstest der entwickelten Hardware stellt die CAN-Funktionalität sicher. Ein C-Programm, das beim CAN IP-Core „M_CAN“ mitgeliefert wurde, macht dies möglich. Der Algorithmus sendet Datenpakete von einem zum anderen Teilnehmer. Der zweite Teilnehmer empfängt diese und analysiert sie. Über diesen Test kann die komplette Hardware-Funktionalität getestet und verifiziert werden; von der Spannungsversorgung des Moduls über das FPGA und die CAN-Transceiver.

Zusätzlich können die versendeten und empfangenen CAN Protokolle mit einem Oszilloskop gemessen und überprüft werden. Dazu werden die Spannungspegel und die CAN Frames auf Einhaltung der Spezifikation kontrolliert.

IX. FAZIT

Der Beitrag beschreibt die Realisierung einer Hardwareentwicklung von den Anforderungen bis zum getesteten Prototyp. Ziel war ein Feldbusmodul „CAN“, das an die neue Generation von Industriesteuerungen „Indra Control XM“ von Bosch Rexroth anschließbar ist.

Zunächst wurden alle Anforderungen betrachtet und die Realisierungsmöglichkeiten aufgezeigt. Danach folgten die Bauteilauswahl, die Schaltbildeingabe ins CAE-Tool, das Layout der Leiterplatten sowie die Fertigung und Bestückung der Leiterplatten. Parallel hat die FPGA-Synthese auf einem Evaluationsboard stattgefunden. Die Inbetriebnahme der entwickelten Hardware und ein abschließender Test der CAN-Funktionalität mit einem C-Programm stellten die Funktionalität des Prototyps sicher.

LITERATURVERZEICHNIS

- [1] Di Natale, Marco, et al. Understanding and Using the Controller Area Network Communication Protokoll. New York, Dordrecht, Heidelberg, London : Springer, 2012. ISBN 978-1-4614-0313-5.
- [2] Vector Informatik GmbH. Vector Informatik GmbH. [Online] Vector Informatik GmbH, 12. 04 2015. [Zitat vom: 12. 04 2015.] http://elearning.vector.com/index.php?wbt_ls_kapitel_id=1329921&root=376493&seite=vl_can_introduction_de.
- [3] Ravi Budruk, Don Anderson, Tom Shanley. PCI Express System Architecture. Boston, MA : MindShare, Inc., 2004. ISBN: 0321156307.
- [4] Watterson, Dr. Conal. Controller Area Network (CAN) Implementation Guide. Norwood : Analog Devices, 2012.
- [5] Avalon Interface Specifications. [Online] Altera Corporation. [Zitat vom: 09. 05 2015.] <https://www.altera.com/content/dam/altera->

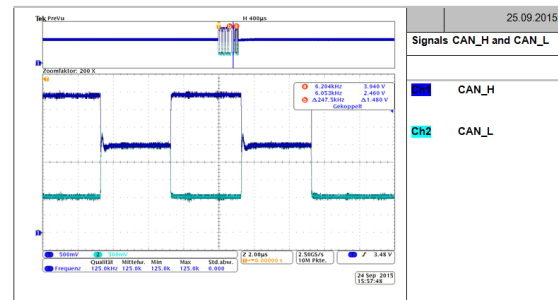


Abbildung 9: Oszillogramm: Spannungspegel des CAN Protokolls.

[www/global/en_US/pdfs/literature/manual/mnl_avalon_spec.pdf](http://www.global/en_US/pdfs/literature/manual/mnl_avalon_spec.pdf).

- [6] Bosch. Altera_FPGA_Integration_Guide. [Dokument] s.l. : Bosch, 2015. Rev. 3.2.1.
- [7] Altera. Embedded Peripherals IP User Guide. [Dokument] San Jose : Altera, 2015.
- [8] CAN in Automation. CAN in Automation. [Online] 2001 - 2015. [Zitat vom: 31. 01 2015.] <http://www.can-cia.org/>.



Mirko Auth erhielt den akademischen Grad des Masters of Science in Elektrotechnik im Jahr 2015 von der Hochschule Darmstadt. Er ist Hardwareentwickler bei Bosch Rexroth AG in Erbach.

Modulares Test- und Emulationssystem für digitale ASIC-Bausteine

Jan-Morten Reiners, Andreas Stiller, Peter Schulz

Fachhochschule Dortmund

Zusammenfassung—Derzeit befindet sich an der Fachhochschule Dortmund ein ASIC als Test- und Referenzchip für NoC-Komponenten (NoC: Network-on-Chip) in Entwicklung. Für die Prüfung der gefertigten Bausteine wurde ein kombiniertes Test- und Emulationssystem konzipiert.

Den Kern dieses Testsystems stellt ein kommerzielles FPGA-Modul mit Dual-Core-ARM (*Xilinx Zynq7*) dar. Über eine Backplane wird dieses Testmodul an eine DUT-Adaptierung (DUT: Device under Test) angeschlossen. Die DUT-Adaptierung erlaubt alternativ die Bestückung mit einem ASIC-Testsockel-Modul oder einem ASIC-Emulator-Modul. Die Konfiguration mit nur einem Tester-Modul genügt für kleinere ASICs, wie z.B. den via *Europpractice* fertigmachten *mini@sics*.

Als Ausbaureserve für größere ASIC-Bausteine ist ein Modulplatz für ein zweites Tester-Modul vorgesehen. Bei dem zweiten Tester-Modul kann es sich zukünftig auch um eine Eigenentwicklung zum Testen von Mixed-Signal-ASICs handeln.

Die Modulare DUT-Adaptierung ermöglicht grundsätzlich auch die Konfiguration des Testsystems für den Baugruppentest.

Schlüsselwörter—ASIC-Test, SoPC, FPGA, ASIC-Emulation

I. EINLEITUNG

Im Rahmen einer Kooperation mit der Universität Bielefeld auf dem Gebiet *Multi-Core-Systems-on-Chip* entwickelt die Fachhochschule Dortmund derzeit einen ASIC-Baustein, mit dem eine NoC-Anbindung von Peripherieschnittstellen demonstriert werden soll (NoC-to-IO-Bridging). Gefertigt wird dieser Chip im Rahmen eines sog. *mini@sic* mit einem 65nm-Prozess von UMC. Die Fertigung wird durch das *Europpractice Stimulation Program: First IC design Advanced Technology (90nm ... 55nm) – Fabrication* unterstützt.

Ein professionelles Testsystem steht aus Personal- und Kostengründen nicht zur Verfügung. Die dann nahe liegende Lösung zum Testen besteht in der Adaptierung des ASIC-Bausteins an ein FPGA-Board, wobei dann FPGA-basierte Stimuli-Generatoren und Auswerteschaltungen ASIC-spezifisch realisiert werden können. Diese Verfahrensweise wird grundsätzlich übernommen. Im Ausbildungsumfeld sind jedoch üblicherweise FPGA-Boards vorhanden, die häufig nur über eine relativ geringe Anzahl an I/Os verfügen. Auf die eigene Entwicklung eines FPGA-Boards sollte wegen der zu erwartenden Komplexität jedoch auch verzichtet werden. Somit wurde im industriellen Bereich nach einer FPGA-Lösung gesucht. Die Wahl fiel letztendlich auf ein Zynq-Modul aus dem sog. SoM-System der Firma *Trenz Electronic* (SoM: System-on-Module). Mit diesem stehen ausreichend Schnittstellen für den Anschluss kleiner bis mittelgroßer ASICs zur Verfügung.

Wenn für einen neuen Chip das zugehörige Testsystem auch neu und somit unerprobt ist, stellt sich die Frage, wie man in Ermangelung eines *Known Good Die* den Tester testen soll. Zur Lösung dieses Problems wird für das neue Testsystem die Möglichkeit geschaffen, den ASIC mitsamt seiner Testumgebung zu emulieren. Dazu wurde das Testsystem elektromechanisch so ausgelegt, dass es sowohl die Adaptierung an einen Test-Sockel als auch alternativ an ein Emulations-Board ermöglicht. Auch das Emulations-Board basiert auf einem SoM-Modul.

Das Testsystem kann mit einem weiteren SoM-Modul bestückt werden, wenn die Anzahl von 134 I/Os für den zu testenden ASIC nicht ausreicht. Dieses Ergänzungsmodul ist dann dem Zynq-Modul untergeordnet (Master-Slave-Prinzip) und wird über eine schnelle, synchrone Datenschnittstelle mit letzterem verbunden.

Da es sich bei dem oben genannten ASIC um einen Digitalbaustein handelt, wird das Testsystem zunächst nur als Digitaltester und -emulator realisiert. Für den zukünftigen Einsatz als Mixed-Signal-Testumgebung ist vorgesehen, für das Ergänzungsmodul eine entsprechende eigene Hardware zu entwickeln.

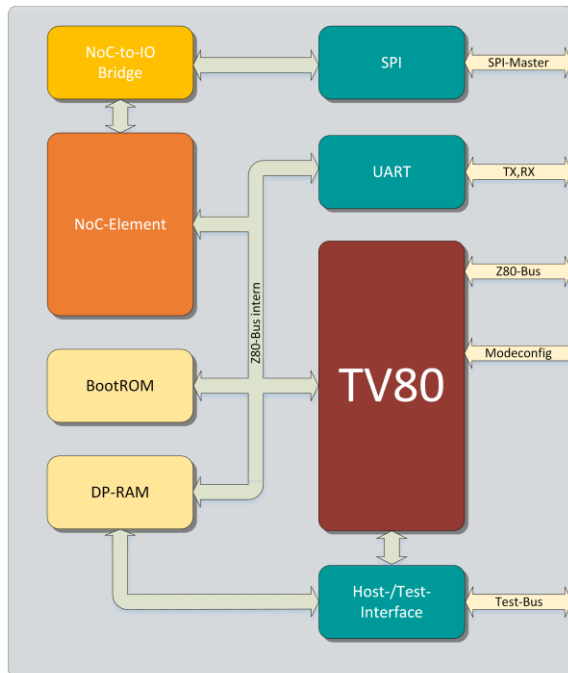


Abbildung 1: Blockschaltbild des Test-Chips. Auf der rechten Seite befinden sich alle zum Testen benötigten Schnittstellen.

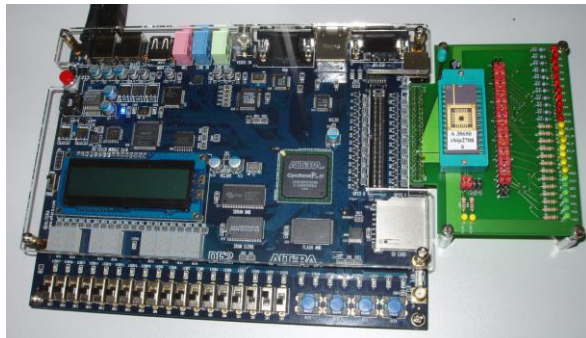


Abbildung 2: Testaufbau der Fachhochschule Dortmund aus dem Jahre 2008 [1].

II. NOC-TO-IO-BRIDGING TEST-CHIP

Die Hauptaufgabe des ICs ist es, eine neue NoC-to-IO-bridging-Logik zu evaluieren und deren Funktion zu demonstrieren. Dabei soll eine integrierte 8-bit CPU (TV80: Z80-kompatibel) Testprozeduren im Zusammenspiel mit externen Bausteinen via SPI ausführen. Bei letzteren kann es sich um ADCs, DACs, SD-Karten oder auch Sensoren handeln. Auf dem BootROM befindet sich dafür ein Bootloader welcher im Normalbetrieb auf das Übertragen eines Testprogrammes über die serielle Schnittstelle wartet. Über ein zusätzliches Test-Interface lässt sich der TV80 während des Betriebes anhalten und sein Speicher kann ausgelesen oder manipuliert werden. Bei Nichtfunktion einzelner Komponenten des Chips lassen sich über *Modeconfig*-Eingänge einzelne Bereiche ausblenden und anschließend extern über den Z80-Bus anschließen.

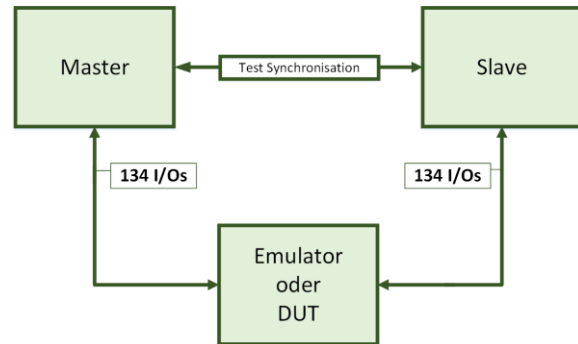


Abbildung 3: Schematischer Aufbau des Test- und Emulationssystem [7].

III. KONZEPTBESCHREIBUNG TEST- UND EMULATIONSSYSTEM

Professionelle Testsysteme sind personal- und kostenintensiv. Ein derartiges System (*SZTestsysteme*) war bei der Fachhochschule Dortmund zwar vorhanden (Industriespende), konnte aber niemals in Betrieb genommen werden.

Der zuletzt für die Fachhochschule Dortmund im Jahre 2008 gefertigte ASIC-Baustein [1] wurde mit einem seinerzeit aktuellen Altera DE2-FPGA-Board [2] und einem speziellen Testadapter (Abbildung 2) getestet. Der Test dieses ASICs belegte nur einen kleinen Teil der maximal 70 zur Verfügung stehenden FPGA-Board-I/Os.

Andere Veröffentlichungen ([3], [4], [5]) zeigen, dass über einen längeren Zeitraum betrachtet, immer wieder vergleichbare Konzepte umgesetzt wurden, um preiswert ASICs zu prüfen. Dabei werden ASIC-Testsockel an FPGA-Boards adaptiert. Test-Algorithmen und Stimuli-Prozesse werden dabei im FPGA realisiert. Auch bei dem hier beschriebenen Testkonzept wird dieses Prinzip verfolgt und zusätzlich um ein Emulationssystem erweitert. Die Möglichkeit, gefertigte ASIC-Bausteine oder alternativ die ASIC-Emulation in derselben Testumgebung zu prüfen, bietet eine Reihe von Vorteilen. So kann man beispielsweise die Testfunktionalitäten erproben bevor die gefertigten Bausteine zur Verfügung stehen. Ferner ermöglicht die Einbeziehung dieser Emulation in den ASIC-Entwurfsprozess die testfreundliche Ausgestaltung des Chips.

Die unter Verwendung der Emulation entwickelten Testfälle werden bei der späteren Verifikation des produzierten Chips wiederverwendet. So können beim Test der Chips bereits erprobte Testfälle in gleichbleibender Testumgebung erneut angewendet werden und mit den Ergebnissen aus dem Emulationsbetrieb verglichen werden.

Da herkömmliche Entwicklungs- oder Education-FPGA-Boards zwar üblicherweise eine sehr gute Ausstattung mit Features (VGA, RAM, Ethernet etc.) besitzen, aber oft nur wenige IOs zur freien Verfügung stehen, wurde eine passendere Lösung gesucht. Ausgewählt wurde das industrielle SoM-System auf Basis eines TE0703 Trägerboards der Firma *Trenz-Electronic* [6]. Dieses Trägerboard besitzt einen Steckplatz für ein SoM. Dadurch ist es möglich, beliebige FPGA/SoPC-Systeme (SoPC: System on Programmable Chip) durch Tausch von Modulen neu zu gestalten. Die Ausstattung der verfügbaren SoMs ist vielfältig und beinhaltet diverse Xilinx Zynq7-, Artix7- und Kintex7-Module mit unterschiedlichen Logik- und Speicherressourcen. Dadurch kann die Größe und Ausstattung der eingesetzten SoMs für die Emulation des ASICs anhand seiner Anforderung ausgewählt werden. Der Großteil der SoM-IOs wird über zwei 96-polige Steckverbinder der Außenwelt zur Verfügung gestellt.

Für die Zusammenstellung des Test- und Emulationssystems werden bis zu drei dieser Trägerboards über eine passive Backplane miteinander verknüpft. Das Konzept sieht vor, dass ein TE0703-Board die Master-Rolle übernimmt und mit einem Steckplatz für einen Testsocket oder einem Emulations-FPGA, welches ebenfalls via TE0703 angeschlossen ist, verbunden werden kann. Der Testsocket für den DUT kann entweder über zwei 160-polige oder über die 96-poligen Backplane Konnektoren des Emulators verbunden werden. Dieses muss je nach Anwendungsfall entschieden werden.

Abbildung 3 zeigt den Zusammenhang zwischen den Tester-Modulen (Master und Slave) einerseits und der Einbettung von DUT oder Emulator andererseits. Derselbe Modulplatz kann entweder für eine DUT-Aufnahme (Testsocket) oder für einen ASIC-Emulator verwendet werden.

Ein Zynq-SoM stellt den Master des Testsystems dar. Aufgrund der Zynq-Architektur und seiner Kombination aus Dual-Core ARM Prozessor und FPGA wird eine stand-alone Lösung geschaffen, bei der beispielsweise kein spezieller PC zur Steuerung des Prüfablaufes benötigt wird. Die Synchronisation der Testabläufe wird über den ARM-Prozessor gesteuert. Beide Kerne können dabei unterschiedliche Aufgaben übernehmen. Es ist vorgesehen, dass auf einem Kern die elementaren Prüfschritte auf Basis einer Bare-Metal-Programmierung oder unter einem Echtzeitbetriebssystem (RTOS) laufen. Der andere Kern führt übergeordnete Teststeuerungen unter einem Embedded Linux aus. Das ermöglicht dann auch den Zugriff auf das Testsystem von einem beliebigen Rechner im Netzwerk aus, beispielsweise mittels Embedded Web Server. Die oben genannten elementaren Prüfschritte werden entweder durch reine Softwarefunktionen oder kombinierte Hardware-Software-Elemente realisiert. Dabei werden die Hardware-Elemente im FPGA-Teil des SoPC realisiert.

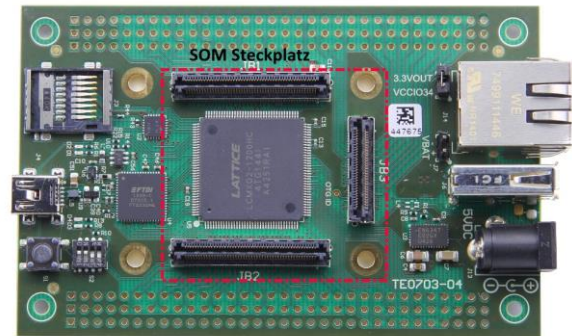


Abbildung 4: Trägerboard TE0703 von Trenz-Elektronik [8].

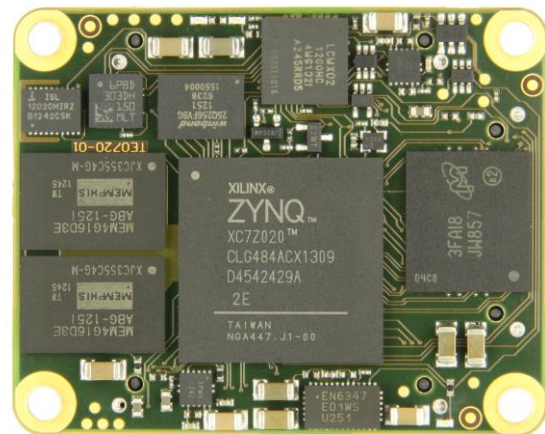


Abbildung 5: Bestückungsseite des TE0720 von Trenz-Elektronik – es handelt sich um ein Zynq-basiertes SOM [9].

Für ASICs mit einer höheren Anzahl an I/Os kann die Testumgebung mit einem weiteren Trägerboard, das dem Zynq-Modul gemäß Master-Slave-Prinzip untergeordnet ist, erweitert werden. Der Anschluss des DUT ist in diesem Fall über zwei 160-polige Steckverbinder ausgeführt, die jeweils 134 I/Os zur Verfügung stellen können. Insgesamt stehen in der somit voll bestückten Testumgebung ca. 268 I/Os zur Verfügung.

Die passive Backplane enthält zusätzlich die Spannungsversorgung der Trägerboards und des DUT-Moduls. Die entsprechenden Spannungsversorgungsmodule wurden an der FH Dortmund selbst entwickelt. Es können unterschiedliche I/O- und Core-Spannungen passend zum ASIC ausgewählt werden.

IV. EINZELNE KOMPONENTEN DES TEST- UND EMULATIONSSYSTEMS

A. Trägerboard

Die Trägerboards von *Trenz-Electronic* dienen primär dazu, für die hochkompakten SoMs leicht handhabbare Entwicklungsumgebungen zu schaffen. Andererseits stellen diese Trägerboards sehr anwenderfreundliche VG96-Steckverbindungen zur Verfügung, mittels denen eine sehr einfache Integration in eigene Projekte möglich ist. Somit konnte die Komplexität der Systembackplane gering gehalten werden. Die Trägerboards werden über die Backplane-Steckverbinder mit den benötigten Spannungen versorgt.

Das verwendete TE0703-Trägerboard enthält Adaptierungen an ein USB JTAG-/UART-Interface, einen Gigabit-Ethernet-Anschluss, einen Micro SD-Karten Slot sowie einem weiteren USB-Host-Anschluss (Abbildung 4). Zum späteren Betrieb als ASIC-Testsystem ist von dieser Schnittstellenausstattung nur noch eine Teilmenge notwendig.

B. System-on-Modules

Der große Vorteil hinter diesem Konzept ist, dass ein bestehendes Hardwaresystem mit dem Tausch des SoMs leicht verändert werden kann, wobei spezielle Zuordnungen, beispielsweise die der High-speed Serial-IOs, immer kompatibel sind.

In Abbildung 5 ist die Bestückungsseite des SoMs *TE0720* der Firma *Trenz-Elektronik* gezeigt. Auf diesem Modul befindet sich ein Zynq-basiertes Prozessorsystem mit 32Mbyte Flash-Speicher und bis zu 1 GByte DDR3 SDRAM. Jedes Modul generiert seine benötigten Core-Spannungen selbst und kann somit ohne Einschränkung auf dem Trägerboard gewechselt werden. Durch die modulare Umgebung kann immer wieder auf das Erscheinen neuer Module reagiert werden.

C. Entwicklungstools

Bei der Entwicklung von FPGA-Schaltungen und Zynq-Software kommt die *Xilinx – Vivado Design Suite* zum Einsatz. Die Toolchain beinhaltet zusätzlich ein auf Eclipse basierendes Softwaretool zur C/C++ Programmierung der unterschiedlichen ARM Cores auf dem Zynq. Der Leiterplattenentwurf erfolgte mit *Altium Designer*.

V. STAND DER ARBEITEN

In Abbildung 6 ist die entwickelte Backplane mit bestücktem Master-Slave-Verbund und einem eingesetzten Emulator zu sehen. In der Abbildung 7 ist der gleiche Master-Slave-Verbund gezeigt, mit dem Unterschied, dass der Emulator durch ein Testsockel-Modul ersetzt worden ist. Ferner sind in beiden Abbil-

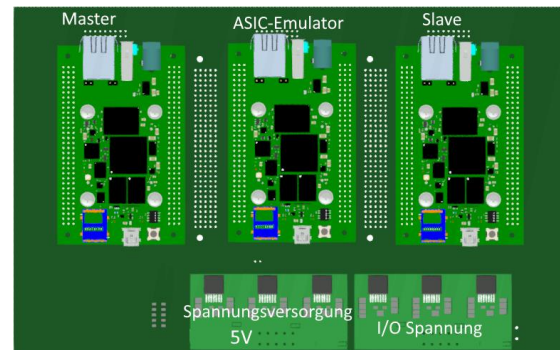


Abbildung 6: 3D-Modell des Emulationssystems und eingesetzten Spannungsmodulen.

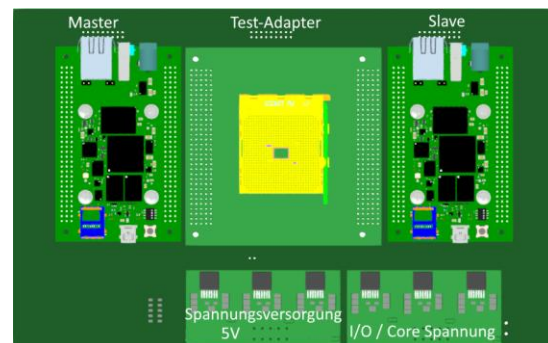


Abbildung 7: 3D-Modell des Testsystems mit eingesetzten Spannungsmodulen für die Trägerboards und der I/O- bzw. Core-Spannung.

dungen auch die speziell entwickelten Stromversorgungsmodule abgebildet. Die Backplane ist zusammen mit einem 12V-Netzteil und einem Ethernet-Switch für den Einbau in ein Gehäuse vorgesehen.

Für alle Betriebsarten ist auf dem Master-Trägerboard ein Zynq-basiertes TE0720-Modul vorgesehen. Für den Emulationsbetrieb wird das Emulator-Trägerboard mit einem Kintex7 TE0741-Modul bestückt.

VI. FAZIT UND AUSBLICK

Das Konzept eines modularen Test- und Emulationssystems wurde vorgestellt. Die Flexibilität, mit einem emulierten DUT in der finalen Testumgebung zu arbeiten, eröffnet interessante Möglichkeiten. So kann mit der Entwicklung von Prüffunktionen begonnen werden lange bevor die gefertigten Chips zur Verfügung stehen. Bis dann die Prüfung der Charge ansteht, ersetzt die DUT-Emulation das *Known Good Die*. Diese Vorgehensweise ist für die erstmalige Inbetriebnahme des neuen Test-Systems besonders vorteilhaft. Ein weiterer Aspekt kommt zum Tragen, wenn die DUT-Emulation schon während einer ASIC-Entwicklung verwendet wird, um die *Design-for-Test-Methodik* (DFT) zu unterstützen.

Die wichtigsten Leiterplatten sind bereits entwickelt und teilweise schon gefertigt. Wenn dann mit dem

Tape-Out, welches für den NoC-to-IO-Bridging Test-Chip unmittelbar bevorsteht, die endgültige Pin-Zuordnung festliegt, kann auch mit dem Entwurf des Testsockel-Moduls begonnen werden.

Während für rein digitale ASICs das Ergänzungsmodul (Slave) aus dem SoM-Katalog ausgewählt werden kann, wird es für zukünftige Mixed-Signal-ASICs notwendig sein, ein entsprechendes Testmodul zur Generierung und Analyse analoger Signale selbst zu entwickeln.

Das Test- und Emulationssystem kann auch als Fallstudienplattform für DFT-Methoden in Lehrveranstaltungen eingesetzt werden.

Die Methodik der Entwicklung von Prüffunktionen und -abläufen kann auf andere SoPC-basierte Testsysteme, die für den Baugruppen- oder Gerätetest ausgelegt sind, übertragen werden. Entsprechende Konzepte befinden sich an der Fachhochschule Dortmund bereits in Arbeit.



Jan-Morten Reiners ist ausgebildeter Mikrotechnologe mit dem Schwerpunkt Mikrosystemtechnik. Er erhielt den Bachelor of Engineering in Informations- und Kommunikationstechnik im Jahr 2015 von der Fachhochschule Dortmund. Derzeit studiert er an der Fachhochschule Dortmund im Masterstudiengang Informations- und Elektrotechnik mit dem Studienschwerpunkt Mikrosystemtechnik. Seit 2014 arbeitet er zusätzlich als wissenschaftliche Hilfskraft an der Fachhochschule Dortmund.



Andreas Stiller erhielt den Bachelor of Engineering in Informations- und Kommunikationstechnik im Jahr 2013 von der Fachhochschule Dortmund. Derzeit schreibt er an seiner Masterarbeit, welche sich mit dem Themenkomplex ASIC-Design beschäftigt. Seit 2014 arbeitet er zusätzlich als wissenschaftlicher Mitarbeiter an der Fachhochschule Dortmund.

LITERATURVERZEICHNIS

- [1] W. Schardein, „CMOS-Integration einer ALU unter Einsatz neuer Methoden zur Entwurfsautomatisierung“, Forschungsbericht 2008 der Fachhochschule Dortmund, S. 199-202.
- [2] <http://www.altera.com> (Webseite Altera: University Programm).
- [3] M. Jacomet, R. Walti, L. Winzenried, J. Perez and M. Gysel, „ProTest: a low cost rapid prototyping and test system for ASICs and FPGAs“, *Test Symposium, 1997. (ATS '97) Proceedings., Sixth Asian, Akita, 1997*.
- [4] D. Harris and D. Diaz, „TestosterlCs: a low-cost functional chip tester“, *Microelectronic Systems Education, 2003. Proceedings. 2003 IEEE International Conference on, 2003*.
- [5] L. Mostardini *et al.*, „FPGA-based Low-cost System for Automatic Tests on Digital Circuits“, *Electronics, Circuits and Systems, 2007. ICECS 2007. 14th IEEE International Conference on, Marrakech, 2007*.
- [6] <http://www.trenz-electronic.de> (Webseite Trenz-Electronic).
- [7] J.-M. Reiners, „Konzeption und Entwicklung einer Hardware Umgebung zum Testen und Emulieren von digitalen Baugruppen und ASIC-Bausteinen“, *Bachelor Thesis, 2015*.
- [8] http://shop.trenz-electronic.de/media/image/5c/51/87/TE0703-04_154b66baa69520_720x600.jpg (Webseite Trenz-Electronic).
- [9] <https://wiki.trenz-electronic.de/download/thumbnails/3834241/TE0720-top.JPG?version=1&modificationDate=1369727515000&api=v2> (Webseite Trenz-Electronic).



Peter Schulz studierte Elektrotechnik an der Universität Dortmund. Anschließend promovierte er, ebenfalls in Elektrotechnik, an der Universität der Bundeswehr in Hamburg. Stationen seiner Industrielaufbahn sind: Hyperstone Electronics in Konstanz, Thales Naval in Kiel und Rheinmetall Defence Electronics in Bremen. 2004 folgte er dem Ruf an die Fachhochschule Dortmund. Er lehrt auf den Gebieten Messtechnik, Mikroprozessoren und Digitale Systeme. Peter Schulz ist Mitglied des Forschungsschwerpunktes PIMES, Leiter des Chip-Lab-Labors und Europractice Representative der Fachhochschule Dortmund.

Graphbasierte Verifikation mikroelektronischer Schaltungen

Lutz Bense, Marco Trunzer und Joachim Gerlach

Zusammenfassung—Für die Verifikation mikroelektronischer Schaltungen kommen unterschiedliche methodische Vorgehensweisen zum Einsatz, die jeweils unterschiedliche Stärken und Schwächen besitzen. Der vorliegende Beitrag stellt verschiedene gängige Verifikationstechniken gegenüber und richtet sein Augenmerk dabei insbesondere auf ein relativ neuartiges Vorgehen, welches als Graphbasierte Verifikation bezeichnet wird. Im Rahmen der beschriebenen Arbeit, welche im Bereich der Halbleiterentwicklung der Robert Bosch GmbH am Standort Reutlingen entstanden ist, wurde der Graphbasierte Verifikationsansatz am Beispiel eines automobilelektronischen Schaltungsmoduls untersucht und bewertet. Eine wichtige Randbedingung lieferte hierbei die Notwendigkeit der nahtlosen Integration des neuartigen Vorgehens in die bestehende Verifikationslandschaft des Unternehmens – diese Randbedingung stellt in der industriellen Praxis typischerweise eine zentrale Anforderung dar, um die Anwendbarkeit bestehender Verifikationskomponenten garantieren und so die geforderte Sicherheit und Zuverlässigkeit gewährleisten zu können.

Schlüsselwörter—Verifikation, Graphbasiert, Testbench, ASIC-Entwurf, EDA-Werkzeuge.

I. EINLEITUNG

Automobilelektronische Systeme sind durch hohe Anforderungen hinsichtlich Sicherheit und Zuverlässigkeit geprägt. Hierbei vergrößert sich der Anteil der mikroelektronischen Komponenten und der Software überproportional – das Automobil und dessen interne und externe Vernetzung entwickeln sich immer weiter. Dabei stellen heutige und insbesondere zukünftige Anwendungen höchste Ansprüche hinsichtlich der funktionalen Sicherheit der eingesetzten mikroelektronischen Systeme [6]. Entsprechend nimmt die Verifikation, also die Überprüfung und Absicherung der funktionalen Eigenschaften, einen zentralen Stellen-

wert in heutigen Entwurfsabläufen integrierter Schaltungen ein. So muss bereits heute ca. 70% des Gesamtaufwandes der Entwicklung in Verifikationsaktivitäten investiert werden, um ein ausreichendes Maß an Zuverlässigkeit garantieren zu können.

Um den Verifikationsprozess zu unterstützen, wurde im Rahmen dieser Arbeit die Erweiterung der bisherigen Verifikationsstrategie um Mechanismen untersucht, die eine Graphbasierte Testcase-Beschreibung vorsehen. [4] [8]

II. GRUNDLAGEN

Um mikroelektronische Schaltungen effektiv entwickeln zu können, werden verschiedene Methoden eingesetzt. Traditionell kommen dabei Hardwarebeschreibungssprachen zum Einsatz, die eine abstrahierte Beschreibung der zu implementierenden Schaltung ermöglichen, auf deren Basis eine Simulation des Schaltungsverhaltens durchgeführt werden kann.

Im Folgenden wird zunächst auf Hardwarebeschreibungssprachen sowie das Testbenchkonzept IFS (Integrated Functional Verification Script Environment) eingegangen. Weiter wird das konzeptionelle Vorgehen eines Graph-basierten Ansatzes erläutert.

A. Hardwarebeschreibungssprachen

Um die steigende Komplexität von mikroelektronischen Schaltungen besser beherrschen zu können, werden Schaltungen auf höherer Abstraktionsebene unter Einsatz von Hardwarebeschreibungssprachen (engl. Hardware Description Language, kurz HDL) beschrieben. Solche Beschreibungen können das Verhalten und die Struktur einer Schaltung auf unterschiedlichen Abstraktionsebenen abbilden und dienen unter anderem der Simulation. HDLs ähneln im Aufbau und in der Struktur einer klassischen Programmiersprache. Um Hardware funktional modellieren zu können, sind diese jedoch zum Beispiel um parallele bzw. nebenläufige Anweisungen, um Möglichkeiten zur Beschreibung von reaktivem oder zeitlichem Verhalten, sowie um Elemente zur Beschreibung des strukturellen Aufbaus von Schaltungen erweitert. HDL-Beschreibungen werden dabei nicht nur verwendet um zu simulieren, sondern bilden auch den Ausgangspunkt für die Synthese, also die automatisierte Umsetzung der Beschreibung in eine Hardware-

Lutz Bense, lutz.bense@de.bosch.com und Marco Trunzer, marco.trunzer@de.bosch.com sind Mitarbeiter der Robert Bosch GmbH, Tübinger Straße 123, 72762 Reutlingen,

Joachim Gerlach, gerlach@hs-albsig.de ist Professor an der Hochschule Albstadt-Sigmaringen, Poststraße 6, 72458 Albstadt.

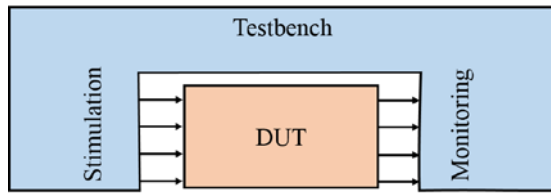


Abbildung 1: Aufbau einer Testbench mit einem DUT.

Realisierung. Für die Simulation und funktionale Verifikation stehen verschiedene Werkzeuge und Werkzeugumgebungen zur Verfügung.

B. Testbenchkonzepte

Die Testumgebung beim Verifizieren eines Design Under Tests (DUTs) wird durch eine Testbench beschrieben. Eine Testbench ist ein in sich geschlossenes Modell, welches die Betriebsumgebung des DUTs beschreibt. Der Aufbau des Testbenchmodells (TM) sieht zum einen vor, dass bestimmte Stimuli-Signale für die Eingänge des DUTs erzeugt werden, zum anderen sollen die Antworten des Designs ausgewertet werden. Der prinzipielle Aufbau einer Testbench ist in Abbildung 1 dargestellt. Bildlich gesehen ist das DUT vollständig in die Testbench eingebettet und wird auf der Eingangsseite mit definierten Signalen stimuliert. Ausgangsseitig werden die daraus resultierenden Reaktionen abgegriffen und einem Monitoring zugeführt. Bei einer sehr einfachen Variante einer Testbench wird das DUT mit geeigneten Sequenzen von Signalen über einen Stimuli-Generator stimuliert und die Response-Signale werden an den Ausgängen des DUTs abgegriffen und manuell auf Korrektheit überprüft.

1) Integrated Functional Verification Script Environment (IFS)

Das Integrated Functional Verification Script Environment (IFS) [4] ist ein Verifikationsansatz zur Überprüfung von mikroelektronischen Schaltungen. IFS ist mit unterschiedlichen Sprachen kompatibel und verknüpfbar. Die wesentliche Steuerung in der Testbench wird durch eine proprietäre IFS-Command-Language umgesetzt. Sowohl der Digital- als auch der Analogteil eines entwickelten Designs können auf diese Weise verifiziert werden.

Bei einer IFS-Testbench werden einzelne Testbench-Module über Interfaces mit dem DUT verbunden. Die einzelnen Testbench-Module können an die speziellen Funktionen des DUT individuell angepasst werden. Angesprochen werden die einzelnen Module zentral über das IFS-Command-File. Dieses Command-File ist eine Textdatei, welches definierte Testkommandos enthält, die von den Testbench-Modulen interpretiert und umgesetzt werden. In der Abbildung 2 ist der Aufbau einer solchen IFS-Testbench dargestellt.

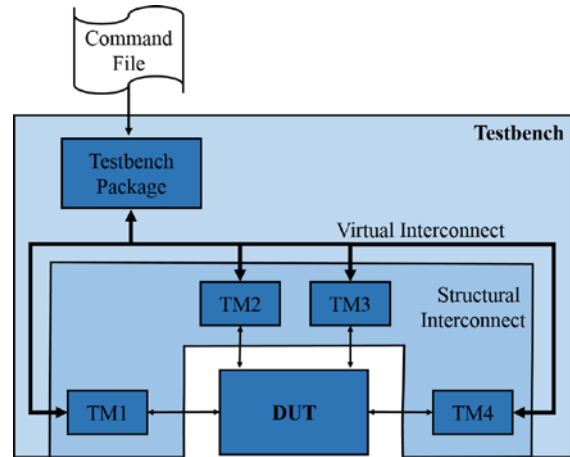


Abbildung 2: Aufbau einer IFS-Testbench.

2) Graph-basierte Verifikations-Werkzeuge

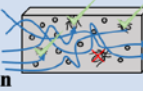
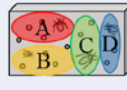
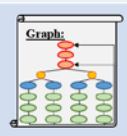

Auf der Design and Verification Conference and Exhibition (DVCon) 2016 in Indien wurde von Thomas Anderson in [1] der Ansatz der „Portable Stimulus“ als einer der Haupttrends bei Design und Verifikation ausgemacht. Die Portable Stimulus Working Group (PSWG), eine Arbeitsgruppe der Accellera System Initiative, arbeitet aktuell einen Industriestandard zur Beschreibung eines Stimulus aus. Der Schlüssel dabei ist, dass über einen Graphbasierten Ansatz ein Verhaltensmodell eines DUTs erstellt wird. Mit einem solchen Modell können komplexe und sich selber anhand von Referenzwerten überprüfende (selbst-checkende) Testfälle generiert werden. Das Ziel, eine solche Graphbasierte Verifikation zu ermöglichen, verfolgen verschiedene Hersteller mit unterschiedlichen Werkzeugen.

Ein Beispiel für ein solches Werkzeug ist das Tool inFact des Herstellers Mentor Graphics [5]. Es verfolgt einen Graphbasierten Ansatz und generiert bzw. lenkt die Teststimuli-Generierung innerhalb einer Testbench bei einer funktionalen Verifikation eines digitalen Designs. inFact verwendet Strategien zur optimierten Test-Abdeckung und zur Vermeidung von Test-Redundanz.

Neben dem Werkzeug inFact ist Perspec des Herstellers Cadence zu erwähnen [3]. Dieses Tool stellt einen abstrakten Ansatz der Graphbasierten bzw. Software-gelenkten Verifikation dar. Dabei liegt der Fokus in erster Linie auf der Generierung von Testfällen auf einer abstrakten Systemebene. Für sogenannte System-on-Chips (SoCs) können dabei Zusammenhänge zwischen den einzelnen Modulen verifiziert werden.

Neben Perspec ist Trek von der Firma Breker Verification Systems Inc. [2] ein Graphbasiertes Verifikations-Werkzeug. Dieses Tool bietet eine automatisierte und funktionale Verifikation auf verschiedenen Ansätzen. Dabei wird, ähnlich wie bei inFact, über einen Graphen ein System überprüft. Wie der Name sagt, werden im Graphen die entsprechenden Kombinationsmöglichkeiten über Pfade eines SoC randomi-

Tabelle 1: Gegenüberstellung von Verifikationsmethoden.

Verifikationsmethode	Vorteil	Nachteil	Aufwand	Einsatz
Directed Tests Simulation 	Implementierung und Umsetzung für gezielte Test	Geringe Effizienz beim Finden von versteckten und nicht offensichtlichen Fehlern	•	Ideal zur Verwendung bei gezielten Funktionstests
Constraint Random Simulation 	Simulation mit randomisierten Werten ermöglicht eine effizientere und breitere Abdeckung von Bereichen im DUT	Sehr hoher Simulationsaufwand durch teilweise ungerichtete Randomisierung, insbesondere bei Analog-Simulationen mit schwierigen Konvergenzverhalten	•••	Sehr umfassender Ansatz zur Verifikation eines ganzen Projektes
Graph-basierte Simulation 	- Gezielte Randomisierung ist gut umsetzbar - Graphisches Hilfsmittel	Hoher Aufwand beim Erstellen eines Modells, speziell bei Analog-Simulationen	•••	Sehr umfassende Verifikation zum Testen auf Modul- und Top-Level
Formale Verifikation 	- Eindeutiger Beweis für die Funktion eines Modells - Funktionen lassen sich eindeutig verifizieren	Verifizierbare Komplexität beschränkt	••	Verifikation auf Modul-Ebene

siert und die Überprüfungsergebnisse entsprechend dargestellt. [1] [2] [3] [5]

III. GEGENÜBERSTELLUNG INDUSTRIETYPISCHER VERIFIKATIONSMETHODEN

Wie im vorherigen Abschnitt gezeigt, werden bei der Verifikation unterschiedlichste Verfahren unterschieden. Vier in der Praxis angewendete Methoden sind in der Tabelle 1 gegenübergestellt. Die verschiedenen Verifikationsmethoden haben in ihren jeweiligen Anwendungsgebieten Vor- und Nachteile. Da auch die Einsatzmöglichkeiten der verschiedenen Ansätze unterschiedlich sind, müssen diese Vor- und Nachteile immer differenziert betrachtet werden.

Bei der Directed Tests Simulation werden Tests dazu verwendet, das DUT in einer exakt definierten Abfolge zu stimulieren. Die Zuverlässigkeit des Designs wird dabei anhand der jeweiligen Antworten bewertet.

Eine weitere Möglichkeit der Überprüfung ist die der Constraint Random Simulation. Hierbei wird eine Testbench um das DUT konstruiert, welche gezielt an bestimmten Stellen mit Zufallswerten gespeist wird.

So können beispielsweise für einen Stimuli-Befehl zufällige Parameterwerte generiert und über die Testbench an das Design angelegt werden.

Bei der Graphbasierten Simulation dient der Graph in erster Linie als ein Modell der Testbench, welches die möglichen Abläufe der zugehörigen Testcases beschreibt. Dies bedeutet, dass das erwartete Verhalten des Designs implizit in dem Graphen dargestellt wird.

Als ein Sonderfall der Verifikationsansätze ist die Formale Verifikation zu sehen. Anders als bei den simulativen Ansätzen erfolgt hierbei eine formale Beschreibung einer zu verifizierenden funktionalen Eigenschaft des Designs. Diese wird auf Basis eines mathematischen Beweises nachgewiesen oder in Form eines Gegenbeispiels widerlegt. Auf diese Weise liefert eine Formale Verifikation im Erfolgsfall eine vollständige, alle möglichen Stimuli des DUTs berücksichtigende Aussage, entsprechend entfällt die Notwendigkeit der Erstellung einer Testbench.

Wie Tabelle 1 darstellt, besitzen sämtliche Verifikationsmethoden Vor- und Nachteile. Entsprechend stellt im praktischen Einsatz die geeignete Kombination verschiedener methodischer Ansätze eine zentrale Herausforderung dar.

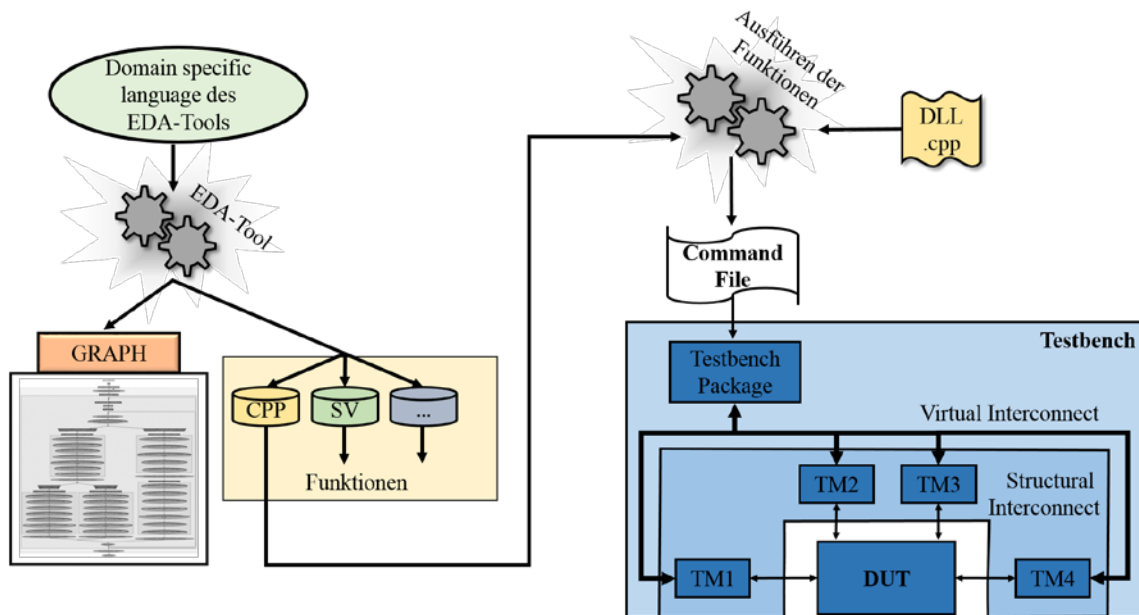


Abbildung 3: Übersicht über den entwickelten Ansatz.

In dieser Arbeit wurde der Graphbasierte Ansatz untersucht. Der Hauptaspekt war dabei die Integration der Methode in den bisherigen Verifikationsablauf.

A. Ausgangslage

Um die immer komplexeren Schaltungen auch in der Zukunft mit einem sinnvollen Einsatz von Rechenressourcen und Software-Lizenzen verifizieren zu können, wurde der Ansatz einer Graphbasierter Verifikationmethode untersucht. Grundlage bildet dabei das Testbench-Framework IFS, einer Verifikationsmethode welche in Reutlingen bei der Robert Bosch GmbH entwickelt wurde. Mit diesem Framework können beispielsweise in VHDL beschriebene DUTs über eine entsprechende Testbench verifiziert und überprüft werden.

B. Sollzustand

Um den Ansatz einer Graphbasierten Verifikation in die bisher bestehenden Prozesse einzubinden, mussten bei der Entwicklung des Konzeptes verschiedene Bedingungen eingehalten werden. Die Graph-basierte Verifikation wurde daher mit den folgenden Anforderungen entwickelt.

1. Entwicklung einer Graphbasierten Prüfmethode zur Erweiterung der bisherigen Verifikation
2. Erhöhung der Effizienz bei der Fehlererkennung
3. Aufbau des Projektes als ein Template anhand eines industriellen Beispiels
4. Konfliktfreie Integration in den aktuellen Verifikationsablauf unter der Verwendung der bereits vorhandenen Entwicklungs- und Verifikationsumgebungen, insbesondere in den Verifikationsansatz IFS.

C. Entwickler Ansatz

Wie in den beiden vorherigen Abschnitten beschrieben, wurde auf das Testbenchframework IFS aufgesetzt. Abbildung 2 veranschaulicht den prinzipiellen Aufbau einer IFS-Testbench. Dabei fällt auf, dass über das IFS-Command-File zentral die verschiedenen Testfälle beschrieben sind und entsprechend ausgeführt werden. Dieser zentrale Steuerungsmechanismus des IFS-Frameworks wurde auch im entwickelten Ansatz verwendet. Abbildung 3 stellt das Vorgehen im Überblick dar. Dabei wird zu Beginn der Verifikation über eine werkzeugspezifische Sprache, die Domain Specific Language, eines Graphbasierten Tools das Verhalten bzw. die Testcases eines DUTs dargestellt. Über diese Domain Specific Language wird das Aussehen des Graphen definiert. Diese Definition ist bei den verschiedenen Graphbasierten EDA-Tools jeweils unterschiedlich realisiert. In Zukunft soll dies jedoch über den genannten Standard „Portable Stimulus“ vereinheitlicht werden.

Wie in Abbildung 3 zu sehen ist, wird über das Tool auf der einen Seite der Graph erzeugt und auf der anderen Seite werden Funktionen generiert. Diese Funktionen können in SystemC bzw. in C++ (CPP) oder beispielsweise in SystemVerilog (SV) generiert werden. Die Funktionen hängen direkt mit dem Graphen zusammen und stehen dort für einen einzelnen Knoten. Innerhalb dieser Funktionen kann die gewünschte Funktionalität implementiert werden, welche bei einem Durchlauf des Graphen entsprechend ausgeführt wird. Beispielsweise kann dabei eine randomisierte Auswahl von Eingangswerten erfolgen. Der Graph wird stets sequenziell ausgeführt, daher ist die Ausführung der zugehörigen Funktionen ebenfalls sequenziell. Wie in der Abbildung 3 zu sehen ist, wird bei dem entwickelten Ansatz unter der Zuhilfenahme einer Bibliothek an C++ Klassen (DLL.cpp) während

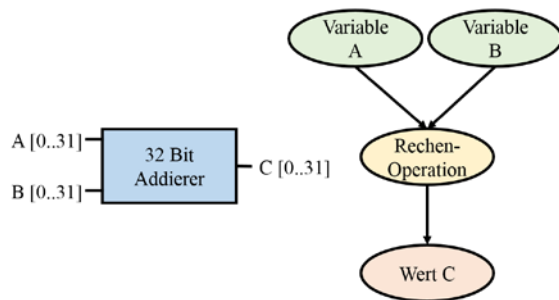


Abbildung 4: Beispiel einer Addition: Graphischer Ansatz.

der Ausführung der Funktionen ein IFS-Command-File erzeugt. Dieses Command-File wiederum stellt den Stimulus einer beliebigen IFS-Testbench dar, frei nach dem IFS-Ansatz.

D. Verifikationsbeispiel Addierer

Der Vorteil bei der Graphbasierten Verifikation ist unter anderem, dass komplexe Begebenheiten einfacher verständlich dargestellt werden können. Der Graph kann dabei auch als eine Diskussionsgrundlage dienen und bereichsübergreifend die Verifikation einer mikroelektronischen Schaltung verständlich machen. Im Folgenden wird anhand eines einfachen Beispiels die Graphbasierte Verifikation erläutert.

In der Abbildung 4 wird gezeigt, wie ein graphischer Ansatz aus einem Blockschaltbild eines Digitalbausteins entsteht. Links in der Graphik ist ein einfaches Blockbild eines 32-bit-Addierers dargestellt. Dieser Addierer stellt das zu verifizierende DUT dar. Es stehen zwei Eingänge und ein Ausgang mit einer Wortbreite von jeweils 32 bit zur Verfügung. Die Anzahl der möglichen Zahlenkombinationen liegen dabei bei 2^{64} . Wie in der Abbildung 4 auf der rechten Seite zu sehen ist, kann ein einfacher Graph verwendet werden, um die Funktion des Designs darzustellen.

Dabei ist aufgezeigt, dass aus den beiden variablen Werten A und B nach einer Rechenoperation der Wert C entsteht. Hierbei sieht man auch, dass der Graph neben der Addition beispielsweise auch für eine Multiplikation verwendet werden kann. Diese Art der Wiederverwendbarkeit ist bei großen Projekten in der Industrie ein großer Vorteil bezüglich Kosten und Zeitersparnis.

Um, wie im entwickelten Ansatz gezeigt, ein IFS Command File generieren zu können, muss der Graph entsprechend angepasst werden. Wie bereits beschrieben, werden die Funktionen bzw. die Knoten des Graphen durch das Verifikations-Tool sequenziell ausgeführt. Dieser Graph wird in einem Graphbasierten Tool mit einer Domain Specific Language implementiert. Diese Beschreibungssprache stellt die Definition der einzelnen Verifikationsschritte des Addierers dar. In der Abbildung 5 ist dargestellt, wie die Eingangswerte nacheinander abgefragt werden und dass der Graph in einer Schleife durchlaufen wird.

Die variablen Eingangswerte sind dabei durch einen Wertebereich dargestellt. Innerhalb dieses Wertebereichs wird beim Durchlaufen des Graphen ein Wert

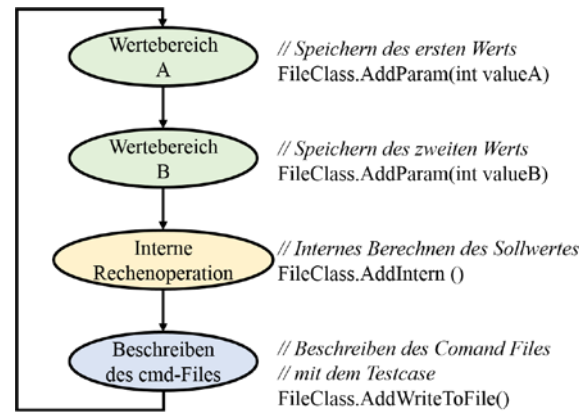


Abbildung 5: Beispiel einer Addition: Umsetzung mit einem EDA Tool.

automatisch und zufällig generiert. Da dieser Wert den Eingang des DUTs darstellt, wird an dieser Stelle ein randomisierter Stimulus erzeugt. Die EDA-Tools kombinieren dabei standardmäßig alle Möglichkeiten der beiden Eingangswerte innerhalb des entsprechenden Wertebereichs, im Beispiel des Addierers 2^{64} Kombinationen. Beim Graph-basierten Ansatz kann durch sogenannte Coverages der Wertebereich bei der Randomisierung eingeschränkt werden. Dabei werden Teilbereiche, welche beispielsweise zu Überläufen führen, gezielt definiert. Diese Teilbereiche werden bei der Randomisierung bzw. der späteren Simulation zwingend abgedeckt. Der Rest des gesamten Wertebereichs kann optional in die Simulation aufgenommen werden. Neben den Coverages kann auch der randomisierte Wert aus dem zuvor durchlaufenen Bereichs Einfluss auf den Folgenden nehmen. In der Abbildung 5 kann definiert werden, dass ein randomisierter Wert aus Bereich A mit einem bestimmten Wert in Bereich B kombiniert wird. Dadurch können bestimmte Kombinationen gezielt verifiziert werden können. Diese Beschränkung des gesamten Bereichs verringert die Anzahl der Gesamtsimulationen, im Fall des Addierers werden daher nicht alle 2^{64} Möglichkeiten simuliert.

Wie rechts neben den Knoten zu sehen ist, werden unterschiedliche C++ Funktionen ausgeführt. Bei den ersten beiden Knoten werden die randomisierten Werte als Eingangsparameter für Funktionen verwendet.

In Abbildung 5 wird in den ersten beiden Knoten beispielsweise die Funktion *AddParam* der Klasse *File-Class* aufgerufen. Diese Funktion speichert den in diesem Fall randomisierten Wert ab. Im dritten Knoten werden intern diese beiden zuvor gespeicherten Werte addiert. Dieser intern berechnete Wert stellt den Sollwert dar, mit welchem die Antwort des DUTs verglichen wird. Diese interne Addition dient daher als eine Referenz zum DUT. Abschließend wird im letzten Knoten eine Zeile Code in das IFS Command File geschrieben. Ein Auszug aus einem IFS Command File ist in der Abbildung 6 beispielhaft dargestellt.

-- Modul	Addition	WertA	WertB	ErwartungswertC
BST	ADD	1	1	2
-- Modul	Addition	WertA	WertB	ErwartungswertC
BST	ADD	1	2	3
...				

Abbildung 6: Beispiel einer Addition: Eintrag in das IFS Command File.

Hierbei ist zu sehen, dass in einer Zeile zuerst ein Modul angesprochen, anschließend eine Operationsart definiert, welcher wiederum verschiedene Parameter übergeben wird. Die Addition in diesem Beispiel bekommt drei Werte als Parameter übergeben. Diese Werte werden vom entsprechenden IFS-Modul interpretiert. Zum einen sind das die beiden Eingangswerte und zum anderen der Erwartungswert, welcher zuvor innerhalb der Referenz berechnet wurde. Das IFS-Modul stimuliert den DUT mit den beiden Eingangswerten und vergleicht dessen Antwort mit dem Erwartungswert. In der Abbildung 5 ist beispielhaft dargestellt, dass über die Schleife im Graphen theoretisch alle möglichen Kombinationen der Werte innerhalb des Wertebereichs implementiert werden können. Mit einem Blick auf die Übersicht des entwickelten Ansatzes in Abbildung 3 sieht man, wie aus dem Graphen ein Command File generiert wird, welches anschließend als Stimulus für den DUT eingesetzt wird. Da diese Command File selbstcheckend ist, kann bei einem Unterschied zwischen dem Soll- und dem Istwert ein Fehler im DUT identifiziert werden. Bei diesem Ansatz ist der wesentliche Vorteil, dass durch die zielgerichtete Randomisierung spezielle Kombinationen automatisch getestet werden können. Durch diese gezielte Randomisierung können leichter sogenannte Corner-Cases getestet werden. Bei dem Beispiel der Addition wären das möglicherweise Überläufe, negative Zahlen und negative Überläufe. Es kann daher vermieden werden komplett alle 2^{64} Kombinationsmöglichkeiten zu testen.

IV. ÜBERPRÜFEN DES ENTWICKELTEN ANSATZES

Um den entwickelten Ansatz zu überprüfen, wurde das Verfahren auf ein Industriebeispiel angewendet. Die elektronische Schaltung wurde bei der Robert Bosch GmbH entwickelt.

Bei dieser Überprüfung wurde ein Graph erzeugt, welcher das Verhalten bzw. die Testcases des zu verifizierenden Designs beschreibt. Entsprechend zu diesem Graphen wurden durch ein Graphbasiertes Verifikations-Tool die jeweiligen C++ Funktionen erzeugt. Diese Funktionen wurden entsprechend so erweitert, dass das Verhalten des Designs überprüft wird. Über den Graphen werden die verschiedenen Abschnitte des Verifikationsablaufs dargestellt. Die implementierten Testfälle werden dabei randomisiert und zufällig kombiniert. Wie im vorherigen Abschnitt beschrieben, wird beim Ausführen des Graphen automatisch ein IFS-Command-File generiert, in welchem die jeweiligen Testfälle implementiert sind. Bei der Überprüfung des entwickelten Ansatzes konnte vor allem die Um-

setzbarkeit des Vorgehens und die automatische Generierung gezeigt werden.

In einem weiteren Schritt wurde die Wiederverwendbarkeit untersucht. Es konnten zuvor erstellte Klassen und Strukturen im Aufbau des Graphen erneut genutzt oder einfach erweitert werden.

V. ERGEBNISSE

Neben der Entwicklung des Ansatzes einer Graphbasierten Verifikation wurde auch dessen Umsetzbarkeit anhand eines industriellen Beispiels überprüft. Dabei wurde zur Überprüfung des entwickelten Ansatzes ein DUT herangezogen, welches im Vorfeld der Arbeit bereits mit einer Directed Tests Simulation verifiziert wurde. Bei der Gegenüberstellung der beiden Verifikationen konnten die unterschiedlichen Herangehensweisen ausgemacht werden. Zum einen konnte ein Graph generiert werden, mit welchem die Verifikation in einer abstrakten Art und Weise dargestellt wird, zum anderen konnte bei der Graphbasierten Verifikation eine große Zahl an Testcases randomisiert generiert werden. Komplizierte Verhalten können mit einem solchen Graphen übersichtlich dargestellt werden. Durch das nahtlose Anbinden an das Testbench-Framework IFS kann die bisherige Verifikation unberührt bleiben und gewinnbringend erweitert werden.

VI. FAZIT

Der Ansatz der Graphbasierten Verifikation ist auf der einen Seite gewinnbringend hinsichtlich Übersichtlichkeit und Systematik, da komplexe Verifikationen auf ein anschauliches Niveau abstrahiert werden können. Auf der anderen Seite ist das Entwickeln eines graphischen Verifikationsprozesse für komplexe mikroelektronische Schaltungen mit einem großen Aufwand verbunden.

DANKSAGUNG

Die Autoren bedanken sich an dieser Stelle bei den beteiligten Mitarbeitern der Robert Bosch GmbH, welche die Überprüfung des Ansatzes anhand eines Designs aus der Industrie durch ihre Unterstützung ermöglicht haben.

LITERATURVERZEICHNIS

- [1] ANDERSON, Thomas: *"6 Industry Trends Reflected in Third DVCon India Technical Program"*, Breker Verification Systems, 2016.
- [2] BREKER VERIFICATION SYSTEMS, Inc.: *"Portable stimulus solutions"*, Verification, 2016.
- [3] CADENCE DESIGN SYSTEMS, Inc.: *"System Development Suite"*, Verification, 2016.
- [4] LISSEL, Robert; GERLACH, Joachim: *"Introducing New Verification Methods into a Company's Design Flow: An Industrial User's Point of View"*, 2007.
- [5] MENTOR-GRAPHS: *"Questa inFact"*, Mentor Graphics Corporation, 2015.
- [6] SCHAEFER, Dr. U.: *"Mikroelektronik – Trendanalyse bis 2020. Vorstellung langfristiger Trends 2010 – 2015 – 2020"* ZVEI – Zentralverband Elektrotechnik- und Elektronikindustrie e. V. Fachverband Electronic Components and Systems, 2015.



Lutz Bense studierte Mechatronik an der Reutlingen University und schloss sein Studium 2015 mit dem akademischen Grad eines Bachelor of Engineering ab. Anschließend absolvierte er ein Master-Studium an der Hochschule Albstadt-Sigmaringen in der Fachrichtung Systems-Engineering. Derzeit arbeitet Lutz Bense als Entwicklungsingenieur für Dauerlauftechnik bei der Robert Bosch GmbH in Reutlingen.



Marco Trunzer erhielt den akademischen Grad des Dipl.-Ing. in Elektrotechnik im Jahr 1997 von der Universität Karlsruhe. Seit 1998 arbeitet Marco Trunzer als Entwicklungsingenieur im Bereich ASIC-Verifikation bei der Robert Bosch GmbH in Reutlingen. Seine Arbeitsschwerpunkte liegen bei der formalen Verifikation und der Untersuchung von neuen Verifikationsansätzen.



Joachim Gerlach arbeitete nach seinem Studium der Informatik an der TU Karlsruhe und seiner Promotion am Lehrstuhl für Technische Informatik an der Universität Tübingen in den Jahren 2002 bis 2009 bei der Robert Bosch GmbH, Geschäftsbereich Automobilelektronik im Bereich der Halbleiterentwicklung. Seit 2009 ist er Professor an der Hochschule Albstadt-Sigmaringen in den Studiengängen „Technische Informatik“, „IT Security“ und „Systems Engineering“.



Entwurf und FPGA Implementierung eines DSSS-Übertragungssystems für den Einsatz in der Lehre

Dominik Schwarz, Christian Geist, Anestis Terzis

Zusammenfassung—Vorgestellt wird der Entwurf eines Direct Sequence Spread Spectrum (DSSS)-Übertragungssystems auf einem Virtex5 FPGA. Dieses System dient dem Einsatz in der Lehre und ist auf dem Development Board Genesys™ von Digilent implementiert.

Modelliert wird dabei ein vollständiges System. So können alle Teilaspekte, wie die Erzeugung und die Eigenschaften der Pseudo Noise (PN)-Codes, als auch die Modulation und Demodulation analysiert werden. Die zusätzlichen Module Datenquelle, Datensenke und Datenausgabe runden das Übertragungssystem ab.

Für die Analyse des Systems in den Laborveranstaltungen sind an allen relevanten Stellen Messmöglichkeiten vorhanden. Eine übersichtliche VHDL Beschreibung erleichtert die Einarbeitung in das Projekt.

Schlüsselwörter—DSSS, PN-Code, CDMA, FPGA, VHDL, Genesys™ Board (Digilent), Virtex5, Xilinx WebPack, Einsatz in der Lehre.

I. EINLEITUNG

Die immer weiter fortschreitende Digitalisierung ist eines der Hauptmerkmale unserer Zeit. Mehr und mehr analoge Komponenten können in Digitalbausteinen implementiert werden. Schaltungen und Systeme mit einem hohen Parallelisierungsgrad werden üblicherweise mit VHDL für die Umsetzung in FPGAs beschrieben.

Ein solches System mit hohem Parallelisierungsgrad ist das DSSS Übertragungssystem [1]. Durch Spreizung des Eingangssignals mit einem höherfrequenten PN-Code kann die Bandbreite des Signals signifikant erhöht werden. So findet eine breitbandige Übertragung des Signals statt, wodurch dieses u.a. störungsempfindlicher wird. Darüber hinaus kann die Leistungsdichte des Empfangssignals unterhalb der Rauschleistungsdichte liegen.

Die Generierung der Spreizcodes und die darauffol-



Abbildung 1: Blockschaltbild eines DSSS Übertragungssystems im Basisband.

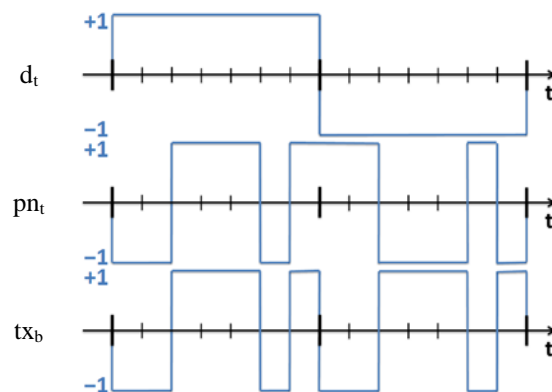


Abbildung 2: Modulation des Datensignals d_t mit dem Spreizcode p_n ; Es ergibt sich das Ausgangssignal t_x .

gende schnelle Signalverarbeitung stellt hohe Anforderungen an das System. Ein möglicher Lösungsansatz ist die Modellierung des Systems in VHDL und die anschließende Implementierung auf einem FPGA.

Das in diesem Beitrag vorgestellte System gibt Studentinnen und Studenten der Hochschule Ulm die Möglichkeit, sich mit DSSS-Übertragungssystemen aber auch mit komplexen VHDL-Projekten für FPGAs im Rahmen der Lehre auseinanderzusetzen.

II. DIRECT SEQUENCE SPREAD SPECTRUM (DSSS)

Wie in der Einleitung bereits grob beschrieben, wird bei DSSS der digitale Bitstrom im Basisband mit einem Spreizcode mit höherer Taktrate moduliert [2]. Wie das Blockschaltbild der Basisbandübertragung in Abbildung 1 zeigt, entsteht das Sendesignal t_x durch Modulation der Sendedaten d_t mit dem Spreizcode p_n . Die zugehörigen Datensignale sind beispielhaft in Abbildung 2 dargestellt. Der Empfänger demoduliert das Empfangssignal r_x mit demselben Spreizcode p_n , welcher auch im Sender verwendet wird. So kann dieser das Empfangssignal d_r rekonstruieren.

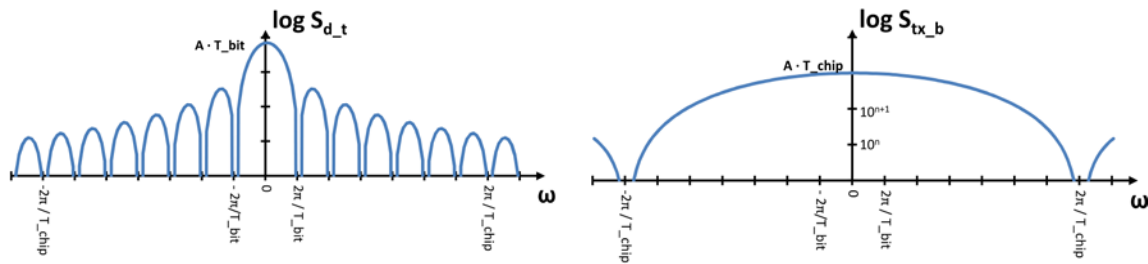
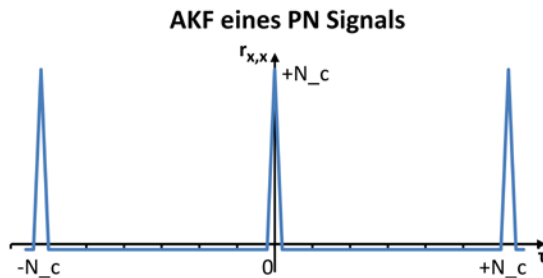
Abbildung 3: Leistungsdichtespektren des Datensignals d_t (links) und des Übertragungssignals tx_b (rechts) für $T_{bit} = 7 \cdot T_{chip}$.

Abbildung 4: Ideale Autokorrelationsfunktion eines PN-Signals.

Um die Vorteile der breitbandigen Übertragung verstehen und erkennen zu können, muss man die Signale in der Frequenzdomäne betrachten. Diese sind in Abbildung 3 dargestellt. Der Vergleich mit dem ursprünglichen Signal zeigt, dass die Bandbreite auf die Bandbreite des Spreizcodes vergrößert wird. Da die Leistung des Signals identisch bleibt, sinkt die spektrale Rauschleistungsdichte ab.

So wird eine DSSS-Übertragung unempfindlich gegenüber Störungen: Eine schmalbandige Störung erfährt die erste Spreizung im Empfänger und wird breitbandig. Die Leistungsdichte nimmt dabei ab. Das eigentliche Datensignal wird regulär gespreizt. So ergibt sich für das rekonstruierte Signal d_r ein ausreichender Signalausgang.

Da ein Signal zur Entspreizung mit dem Spreizcode korreliert werden muss, steigert sich die Störungsunempfindlichkeit auch gegenüber breitbandigen Störern. So kann eine Übertragung auch unterhalb der Rauschleistungsdichte stattfinden. So fand diese Technik unter anderem in militärischen Kryptographiesystemen (Erschwerte Detektierbarkeit des Signals, hohe Resistenz gegenüber Störungen) Einsatzgebiete [2]. Das bekannteste Einsatzgebiet heutzutage ist das GPS. Hier wird DSSS vor allem für die Übertragung unterhalb des Rauschens und für den Codemultiplex der Signale der unterschiedlichen Satelliten auf derselben Frequenz verwendet [3].

III. PN-CODES

Als Spreizcodes eignen sich vor allem sogenannte Pseudo Noise (PN) - Codes [4]. Wichtigstes Merkmal eines PN-Codes ist die rauschähnliche Autokorrelationsfunktion (AKF). Während die AKF eines reinen Rauschsignals nur für $\tau = 0$ einen Delta Puls und an-

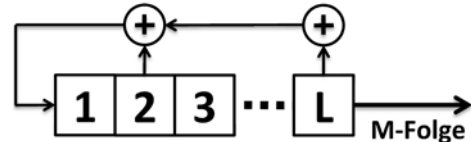
Abbildung 5: Erzeugung einer M-Folge in einem Schieberegister der Länge L . Die Rückkopplungsstellen sind lediglich beispielhaft eingezeichnet.

Tabelle 1: Gültige Rückkopplungsstellen zur Erzeugung von M-Folgen.

L	N_c	Rückkopplungsstellen	Codes
3	7	[3,1]	2
4	15	[4,1]	2
5	31	[5,3]; [5,4,3,2]; [5,4,2,1]	6

sonsten stets null ergibt, gilt dies für ein ideales PN-Signal nur während der Codelänge (siehe Abbildung 4). Dies liegt daran, dass diese zwar rauschähnlich, aber doch deterministisch sind und sich nach ihrer Länge (d.h. nach jedem übertragenem Datenbit) wiederholen. So kann über die Bildung der AKF ein Korrelationsempfänger als Detektor aufgebaut werden.

A. M-Folgen

Die ideale Autokorrelation wird vor allem von sogenannten M-Folgen erfüllt. Diese können auf einfache Weise in rückgekoppelten Schieberegistern (SRG) erzeugt werden. Hierfür müssen die Inhalte eines L Bit langen Schieberegisters an den richtigen Stellen auf den Eingang rückgekoppelt werden. Am Ausgang des SRGs liegt die M-Folge an, wie Abbildung 5 beispielhaft zeigt. Tabelle 1 gibt dabei auszugsweise an, an welchen Stellen die Signale zur Rückkopplung abgegriffen werden müssen. Die Codelänge N_c lässt sich gemäß Gleichung (1) aus der Anzahl der Taps im Schieberegister L berechnen.

$$N_c = 2^L - 1 \quad (1)$$

Darüber hinaus existiert für jede in der Tabelle 1 gelistete Rückkopplungsart eine weitere, welche die PN-Folge in zeitlich invertierter Reihenfolge erzeugt (vgl. Gleichung (2)).

$$[L, k, \dots, p] \mapsto [L, L-k, \dots, L-p] \quad (2)$$

Für die Anwendung im Codemultiplex (Code Division Multiple Access, CDMA) wird eine weitere Eigen-

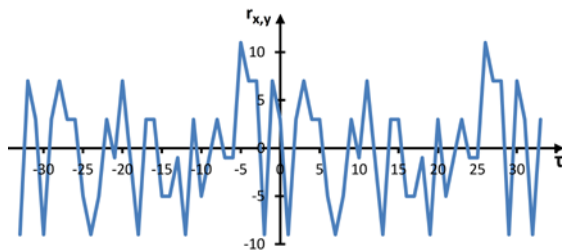
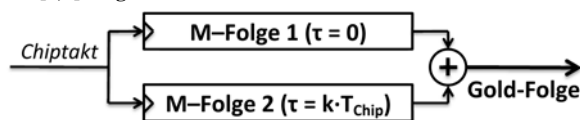
Kreuzkorrelation: $m[5,3] - m[5,2]$ Abbildung 6: Kreuzkorrelation zwischen der $m[5,3]$ Folge und der $m[5,2]$ Folge.

Abbildung 7: Erzeugung einer Gold-Folge durch die Verknüpfung zweier M-Folgen.

schaft der M-Folgen benötigt. Neben der eindeutigen AKF für die Detektion des Empfangssignals muss die Kreuzkorrelation (KKF) zwischen zwei unterschiedlichen PN-Folgen möglichst gering sein. Diese Eigenschaft wird von M-Folgen ebenfalls erfüllt. Abbildung 6 zeigt dabei die sich ergebenden Werte für eine beispielhafte Kreuzkorrelation zwischen zwei M-Folgen. Hierbei ist ersichtlich, dass die Kreuzkorrelation einen stark variierenden Wertverlauf ergibt. Der Maximalwert beträgt darüber hinaus 35% des Spitzenwerts der Autokorrelationsfunktion. Dadurch ergibt sich ein schlechtes Signal zu Interferenzverhältnis. Darüber hinaus steht bei fixer Codelänge nur eine begrenzte Anzahl an M-Folgen zur Verfügung, was die Anzahl der Teilnehmer im CDMA System limitiert.

B. Gold-Folgen

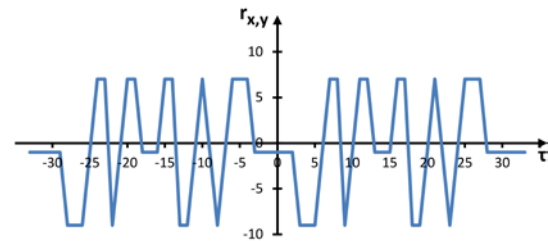
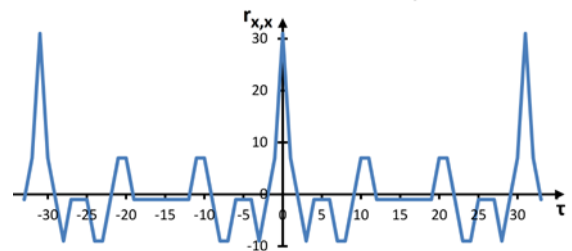
Mit der Verwendung von Gold-Folgen können diese Einschränkungen an das CDMA System verringert werden. Abbildung 7 zeigt, wie Gold-Folgen durch die Verknüpfung einer festen und einer zeitlich verschobenen M-Folge erzeugt werden. Da die zweite M-Folge um bis zu N_c viele Chiptakte verschoben werden kann, stehen auch N_c viele unterschiedliche Gold-Folgen zur Verfügung. Werden die empfohlen Paare an M-Folgen verwendet [5][6], stellt sich zwischen allen Gold-Folgen eine dreiwertige Kreuzkorrelation ein. Diese ist in Abbildung 8 dargestellt.

Durch diese Vorhersehbarkeit der Kreuzkorrelation und der gestiegenen Zahl verfügbarer Codes sind Gold-Folgen deutlich besser für den Code Multiplex geeignet als reine M-Folgen.

Wie in Abbildung 9 ersichtlich, stellt sich keine scharfe Autokorrelationsfunktion ein. Für $\tau \neq 0$ ergeben sich stattdessen dieselben drei Störwerte wie auch bei der Kreuzkorrelation.

IV. SYSTEMAUSLEGUNG

Das implementierte System dient dem Einsatz in der Lehre und nicht der Demonstration der Leistungsfähigkeit

Kreuzkorrelation: $\text{Gold}(N_c=31, \tau=0) - \text{Gold}(N_c=31, \tau=1)$ Abbildung 8: Kreuzkorrelation zweier Gold-Folgen mit $N_c = 31$.Autokorrelation: $\text{Gold}(N_c=31)$ Abbildung 9: Autokorrelation einer Gold-Folge mit $N_c = 31$.

higkeit von DSSS Übertragungssystemen. Dies beeinflusst die Auslegung grundlegender Systemparameter:

Erzeugt werden zum einen M-Folgen als auch Gold-Folgen. So können deren Eigenschaften analysiert und verglichen werden. Diese Spreizcodes werden in 5 Bit Schieberegistern erzeugt, was eine Codelänge von 31 Chips ergibt. So stehen ausreichend viele gültige Codes zur Verfügung. Andererseits sind diese Codes auch noch kurz genug, um auf einem Bildausschnitt des Simulators oder Logic Analyzers darstellbar zu sein. Nur so können die Codes und die damit repräsentierten Bitfolgen von den Studierenden erkannt und analysiert werden.

Weitere Rahmenbedingen setzt das verwendete Development Board [7][8]. Zur Ausgabe der übertragenen Daten steht neben acht LEDs ein 16X2 Character LCD zur Verfügung. Um gleichzeitig die gesendeten und empfangenen Daten visualisieren zu können besteht ein Datenwort aus zwölf ASCII Zeichen, also insgesamt 196 Bit.

Die Übertragungsrate ist für den Einsatz in der Lehre nur von sekundärer Bedeutung. Um die spätere Messung der Übertragungssignale auch mit einfachem technischem Equipment sicher zu ermöglichen ist diese niedrig anzusetzen. Als Chiprate sind in diesem Projekt 10kHz definiert. Dies ergibt mit der verwendeten Codelänge von 31 Chips eine Bitrate von 323 bps. So kann das verwendete Datenwort in unter einer Sekunde gesendet werden, was für diesen Laborversuch ausreichend schnell ist.

Senderausgang und Empfängereingang werden über eine externe Schnittstelle verbunden. So sind unterschiedliche Übertragungsszenarien möglich: Zunächst befinden sich Sender und Empfänger im selben FPGA. So kann eine Laborgruppe für sich das vollständige System analysieren. Darüber hinaus können

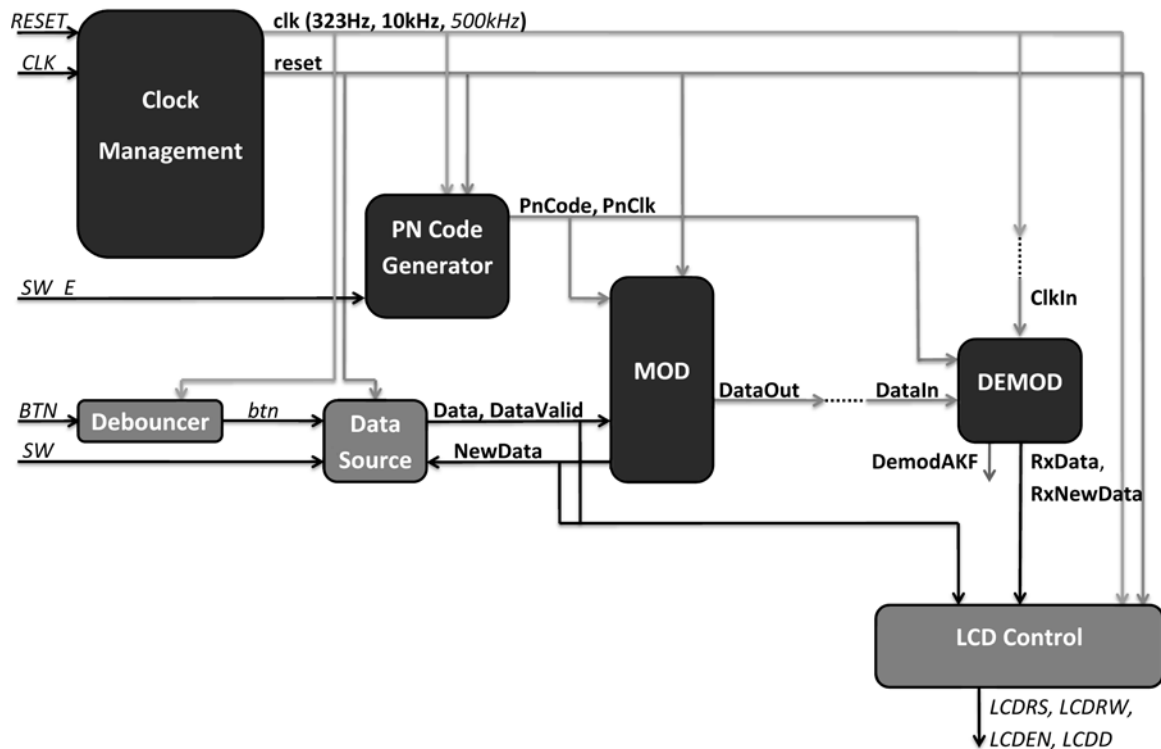


Abbildung 10: Blockschaltbild des implementierten Übertragungssystems. Die Zellen MOD, DEMOD und PN-Code Generator stellen dabei die Blöcke des DSSS Systems dar. Die Blöcke Data Source und LCD Control erzeugen die zu übertragenden Daten und stellen diese auf dem LCD des Systems dar. Zusätzlich sind Zentralkomponenten für Takt und Signalmanagement vorhanden. Alle fett gedruckten internen Signale werden für externe Messungen ebenfalls nach außen geführt.

jedoch auch zwei Development Boards miteinander verbunden werden. Dabei kann abschließend gezeigt werden, wie eine Kommunikation zwischen zwei getrennten Baugruppen stattfinden kann. Aufgrund der niedrigen Chiprate des Systems ist hierfür keine gesonderte Hardware im Physical Layer (High Speed IOs, geschirmte Leitungen, etc.) erforderlich. Stattdessen kann die Verbindung über einfache Jumper Kabel, welche auf einer Erweiterungsplatine des Development Boards gesteckt werden, erfolgen. In dem konzipierten Laborversuch wird anstelle der von Digilent erhältlichen Messschnittstelle [9] ein selbst entworfenes Board mit weiteren Funktionen verwendet [10].

V. ARCHITEKTUR DES ENTWORFENEN SYSTEMS

Für das in der Studienarbeit entworfene Übertragungssystem ist die in Abbildung 10 dargestellte Modulstruktur implementiert. Diese orientiert sich an den Blöcken eines realen Systems. So kann dieses leicht analysiert werden, was für die Anwendung in der Lehre zwingend notwendig ist und darüber hinaus spätere Erweiterungen erleichtert.

So stellen die beiden Zellen Modulator und Demodulator jeweils den Kern der Sende- bzw. Empfangseinheit dar. Ein PN-Code Generator erzeugt die nötigen Spreizcodes für diese beiden Zellen. Da die Datenübertragung zwischen Sender und Empfänger kabelgebunden im digitalen Basisband stattfindet, kann auf eine Taktrückgewinnung im Empfänger verzichtet

werden. Stattdessen wird der Chiptakt ebenfalls via Kabel übertragen. Auf diese Weise kann die Komplexität des Empfängers stark vereinfacht werden, was die Analyse dieses Moduls in den späteren Versuchen deutlich erleichtert bzw. innerhalb einer Laborveranstaltung erst möglich macht.

Ein zentrales Taktmanagementmodul stellt alle für das System benötigten Takte zur Verfügung. Eine Entprellschaltung stellt die aufbereiteten Signale der Taster für das System bereit.

Darüber hinaus sind die Module Data Source und LCD Control vorgesehen. Ersteres stellt die Datenquelle des Systems dar und sendet einen Bitstrom an den Modulator. Letzteres Modul empfängt die Bitströme von Datenquelle und Demodulator und stellt die übertragenen ASCII Zeichen auf dem LCD des Development Boards dar.

VI. MODELLIERUNG UND SIMULATION DER MODULE

Wie bereits in der Einleitung beschrieben soll das hier implementierte System als Laborprojekt dienen. Daher sind alle Module vollständig in VHDL beschrieben und detailliert kommentiert. Als Entwurfstool wird dabei die ISE WebPACK Design Software von Xilinx in der Version 14.2 verwendet. Durch die Verwendung dieses freien Tools kann der auf dieser Arbeit beruhende Laborversuch auf einfache Weise von den Studenten vorbereitet und durchgeführt wer-

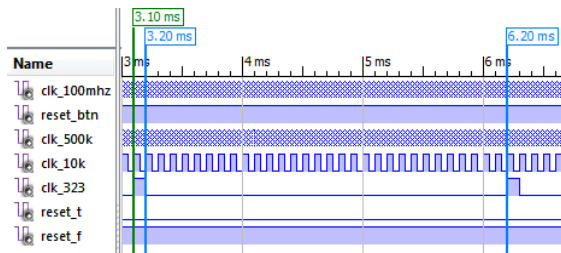


Abbildung 11: Simulation des VHDL Moduls Clock Manage-

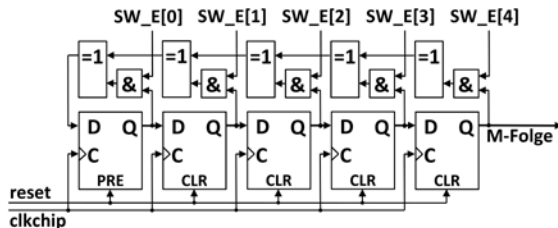


Abbildung 12: Implementiertes Schieberegister zur Erzeugung der M-Folgen (auszugsweise Darstellung gemäß Register Transfer Level (RTL) aus dem Entwurfstool.

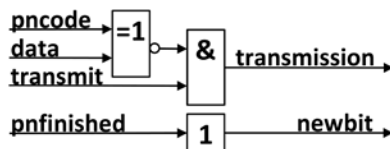


Abbildung 14: Implementierter Modulator, Auszug aus der RTL.

den. Dennoch steht ein umfangreiches Tool zum Entwurf digitaler Systeme auf FPGAs bereit.

A. Clock Management

Im Taktmanagement wird der Eingangstakt des FPGAs aufbereitet. Über jeweils eigene Zählschleifen werden aus dem 100MHz schnellen Eingangstakt (clk_100mhz) die Systemtakte generiert. Neben einem 500kHz Takt zur Ansteuerung des LCDs (clk_500k) wird in einem 1:10.000 Taktteiler der Chiptakt (clk_10k) erzeugt. Aus diesem wiederum wird in einem zweiten 1:31 Teiler der Bittakt (clk_323) abgeleitet. Dessen Duty Cycle beträgt lediglich 3,23%, da er nur für eine Periode des Chiptakts high ist. Die Verwendung von Clock Management Tiles (CMT) des FPGAs anstelle von Teilern ist nicht möglich, da die verwendeten Taktraten unterhalb der minimalen Betriebsfrequenzen der CMTs liegen [11][12]. Stattdessen sind die Teiler als zyklische Zähler realisiert.

Abbildung 11 zeigt die Simulation der Taktsignale. In dieser sind neben den beiden bedeutendsten Takten (Chip- & Bit Takt) auch die beiden komplementären Reset Signale des Systems dargestellt.

B. PN-Code Generator

In diesem Modul ist ein 5 Bit Schieberegister zur Generierung der M-Folgen implementiert. Dessen Schaltplan ist in Abbildung 12 dargestellt. Die Rückkopplungsstellen für die zu generierende M-Folge können über die externen Schalter SW_E (Signal

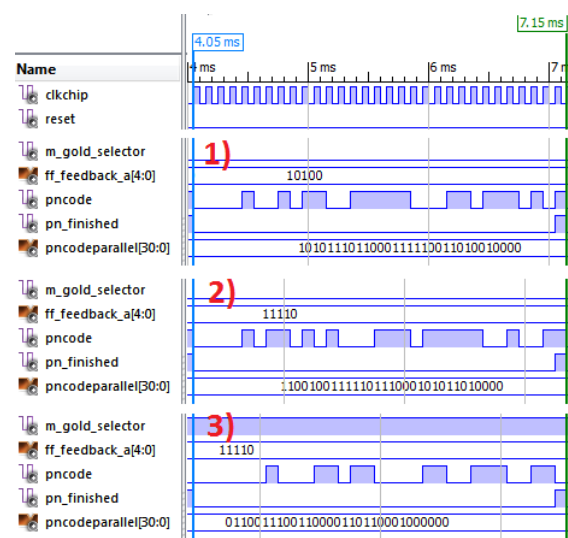
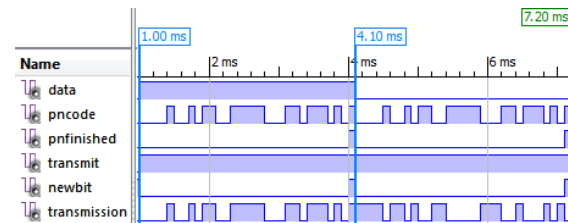
Abbildung 13: Simulation des VHDL Moduls PN-Code Generator: 1): m[5,3], 2): m[5,4,3,2] & 3): Gold($\tau=0$, $N_c=31$).

Abbildung 15: Simulation des VHDL Moduls MOD.

ff_feedback_a[4:0]) frei gewählt werden. So kann das Verhalten des Generators bei gültigen (Erzeugung von M-Folgen) und ungültigen Rückkopplungen analysiert werden.

Mit einem weiteren Schalter (Signal m_gold_selector) kann darüber hinaus die Erzeugung einer Gold-Folge ($\tau=0$, $N_c=31$) gestartet werden. Dafür wird der Ausgang des Schieberegisters mit der im FPGA gespeicherten m[5,3] Folge verknüpft. Ein Offset ($\tau \neq 0$) ist hierbei nicht wählbar. Stattdessen kann durch die zweite frei wählbare M-Folge die Bedeutung der Paare an Folgen (Bei $N_c=31$: m[5,3] & m[5,4,3,2]) für die Eigenschaften der Gold-Folge betrachtet werden.

Wie Abbildung 13 für drei unterschiedliche Folgen zeigt, wird dem System neben dem seriellen PN-Code (pncode) der selbige in paralleler Form als Vektor (pncodeparallel) zur Verfügung gestellt. Dieser wird dabei laufend aus dem seriellen Code neu beschrieben, sodass er für alle erzeugten PN-Codes nach einem Bittakt zur Verfügung steht. Ein letztes Signal (pnfinished) signalisiert dem Modulator, dass der letzte Chip der PN-Folge anliegt.

C. Modulator

Der im System implementierte Modulator, dessen Schaltplan in Abbildung 14 dargestellt ist, besteht im Kern aus der stetigen XNOR Verknüpfung des seriellen Eingangsdatenstroms der Datenquelle. Analog zu Abbildung 2 aus der theoretischen Betrachtung wird

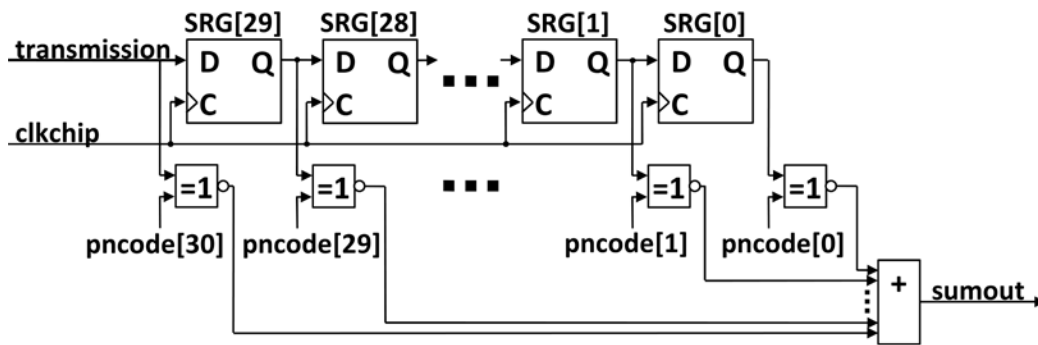


Abbildung 16: Implementierung eines Korrelationsempfängers mit Schieberegister, XNOR Verknüpfungen und Summation.

für eine Daten Eins der PN-Code und für eine Daten Null der negierte PN-Code übertragen. Dies erfolgt solange, wie die Datenquelle das Steuersignal (transmit) anlegt. Anderenfalls wird eine Nullfolge anstelle des PN-Codes übertragen. Im Gegenzug wird das Signal pnfinished an die Datenquelle weiter gereicht (newbit), sodass diese ein neues Datenbit anlegt (siehe $t=4.1\text{ms}$). Dieses Verhalten kann in der in Abbildung 15 dargestellten Simulation verifiziert werden.

D. Demodulator

Der Demodulator dieses Systems ist als digitaler Korrelationsempfänger aufgebaut. Dabei wird das eingehende Datensignal in einem Schieberegister mit der Länge des Codes (hier 31 Zellen) zwischengespeichert. Das Schieben der Daten erfolgt dabei synchron zum übertragenen Chiptakt. Die Bildung der Autokorrelation erfolgt dabei gemäß der mathematischen Beschreibung an der Stelle 0 (vgl. Gleichung (3)).

$$r_{x,x}[0] = x * x = \sum_k x[k] \cdot x[k] \quad (3)$$

Im digital realisierten Empfänger wird dies wie in Gleichung (4) beschrieben über die XNOR Verknüpfung des parallelen Eingangsdatenstromes im SRG und des parallelen PN-Codes realisiert. Das Summensignal (sumout) des Empfängers ergibt sich aus der darauffolgenden Summation der einzelnen Ergebnisse. Dies ist in Abbildung 16 dargestellten Schaltplan erkennbar.

$$R_{X,X}[0] = \sum_k SRG_{in}[k] \otimes PnCode_{parallel}[k] \quad (4)$$

Ist nach der vollständigen Übertragung einer Daten Eins im SRG die PN-Folge geladen, ergibt sich so der dezimale Wert 31 im Summensignal. Für die negierte PN-Folge, also eine Daten Null sind alle Inhalte des SRGs verschieden zum parallelen PN-Code. Es ergibt sich der Wert 0 für das Summensignal. Für alle anderen Zeiten ($\tau \neq k \cdot N_C \cdot T_{Chip}$) ergeben sich bei M-Folgen die Werte 15 bzw. 16. Bei der Bildung der Kreuzkorrelation (Sender verwendet einen anderen Spreizcode als der Empfänger) sind diese Werte zusätzlich von einem Rauschen überlagert, wie die Theorie gezeigt hat.

In der Auswerteeinheit wird auf die beiden Schwellwerte ≤ 1 bzw. ≥ 30 getriggert, d.h. bei der

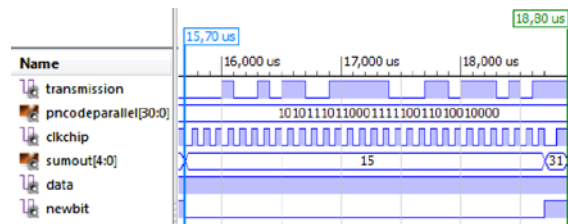


Abbildung 17: Simulation des VHDL Moduls DEMOD.

Übertragung wird genau ein Bitfehler toleriert. Nach der Überschreitung des Schwellwertes wird das Ausgangssignal (data) aktualisiert und ein Taktsignal (newbit) für genau eine Periode des empfangenen Chiptaktes gesetzt.

Abbildung 17 zeigt einen Ausschnitt aus der Verhaltenssimulation des Demodulators.

E. Datenquelle und Datenempfänger

In der Datenquelle ist ein ROM implementiert, in welchem je zwei Datenwörter („HS Ulm Lab16“ und „UUUUUUUUUUUU“) gespeichert sind. Letzteres zeichnet sich dadurch aus, dass der Binärdatenstrom einem ständigen Eins / Null Wechsel entspricht und so besonders einfach Taktdaten des Systems gemessen werden können. Die Übertragung der Daten (Setzen des Steuer Flags an den Modulator) kann zyklisch (Schalter) oder jeweils einzeln (Tasterdruck) gestartet werden. Neben den gespeicherten Daten kann auch eine Daten Null bzw. Eins einzeln und zyklisch übertragen werden.

Die Datenquelle analysiert sowohl den Sendedatenstrom als auch den Empfangsdatenstrom. Daten werden dabei, nach der Einhaltung einer Blankingzeit von 30 ms auf den jeweiligen Datensignalen (Auswertung über die Taktsignale von Modulator und Demodulator) in zwei getrennte RAMs geschrieben. Die jeweilige Speicheradresse wird synchron zu den Taktsignalen inkrementiert. Ist das RAM vollständig beschrieben, wird eine Displayausgabe der RAM Inhalte gestartet und der Zähler zurückgesetzt.

Für die Ausgabe der Daten auf dem Display ist eine zweistufige State Machine implementiert. Die untergeordnete State Machine steuert dabei die Übermittlung von Steuerkommandos und Daten an das LCD. Die Übergeordnete Zelle startet die Initialisierung,

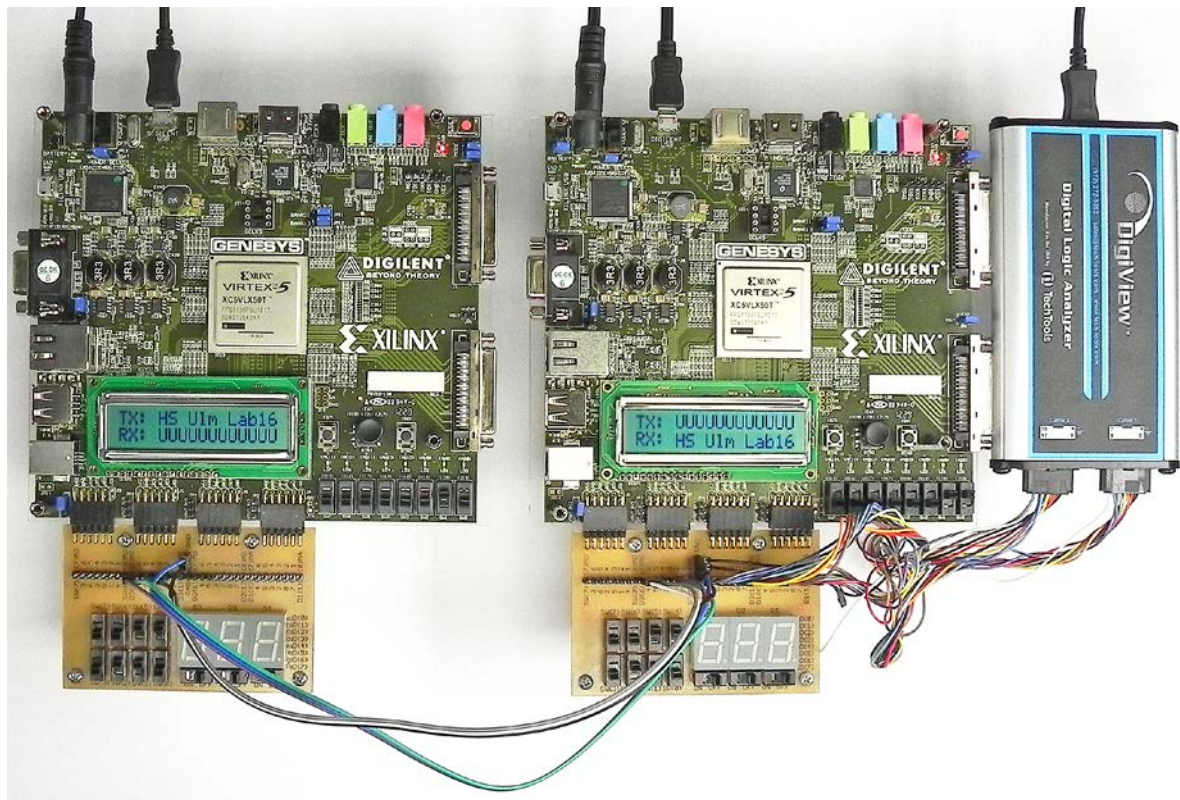


Abbildung 18: Laboraufbau des implementierten Systems mit zwei Development Boards und dem Logic Analyzer. Die beiden Datenwörter werden über Kreuz zwischen den beiden Baugruppen übertragen. Mit dem Logic Analyzer können alle relevanten Signale gemessen und mit der Simulation verglichen werden.

sowie die Ausgabe von fixen Zeichen („TX:“ & „RX:“), der empfangen Daten und Steuerkommandos.

F. Implementiertes System & Laboraufbau

Abbildung 18 zeigt den Laboraufbau mit zwei der verwendeten Development Boards. Wie auf den Displays erkennbar ist, kann die Funktionsweise des Systems durch einen Test auf der Hardware verifiziert werden. Auf eine Verifikation der Funktionsweise des Systems bereits im Designtool WebPACK mit einer Post Place and Route Simulation konnte aufgrund der sehr geringen Taktraten verzichtet werden. Die sehr langsamen Taktraten machen darüber hinaus eine Simulation über mehrere Sekunden Systemlaufzeit nötig, was in der freien Version des integrierten Simulators ISim bis zu einem Tag Simulationszeit benötigt.

VII. RESSOURCENVERBRAUCH UND PERFORMANCE IM FPGA

Für dieses System werden im Virtex5 FPGA XC5VLX50TFFG1136C 399 Slices belegt, was einer Ressourcenauslastung von 5,5% entspricht. Dieses System ist also klein genug, um in anderen Systemen als Erweiterung integriert werden zu können.

Die Analyse des Timings der auf dem FPGA implementierten Schaltung ergibt eine maximale Taktfrequenz von 380MHz. Dies liegt in der Größenordnung von drei Dekaden über der höchsten außerhalb

des Taktmanagements verwendeten Frequenz. Dies zeigt, dass der Verzicht auf die Post Place and Route Simulation in diesem Falle ein hinnehmbar kleines Risiko darstellt.

Für spätere Anwendungen des Systems zur Übertragung größerer Daten steht eine ausreichende Taktreserve zur Verfügung.

VIII. ZUSAMMENFASSUNG UND AUSBLICK

Das implementierte System stellt ein vollständiges DSSS-Übertragungssystem im Basisband dar. Es ist für den Einsatz in Laborveranstaltungen optimiert und bietet an allen relevanten Punkten Mess- & Simulationsschnittstellen.

In einem späteren Optimierungsschritt kann vor allem der PN-Code Generator noch weiter optimiert werden, sodass durch eine Zeitverschiebung der gespeicherten M-Folge der komplette Satz an Gold-Folgen erzeugt werden kann. Neben einer Erweiterung zur Erzeugung von PN-Codes unterschiedlicher Länge kann auch das parallele Speicherregister des Spreizcodes erweitert werden, sodass dieses sich adaptiv an die Länge des aktuell erzeugten Codes anpasst.

Durch eine Variation der Ausgangsschnittstelle des Development Boards kann, neben der hier verwendeten Punkt zu Punkt Verbindung, ein Anschluss über einen Datenbus erfolgen, sodass die Eigenschaften des



CDMA Systems in der Multiuser Umgebung analysiert werden können.

LITERATURVERZEICHNIS

- [1] A. M.J. Goiser, „Handbuch der Spread-Spectrum Technik“, Springer, Wien 1997.
- [2] J. Meel, „Spread Spectrum (SS), Introduction“, *De Nayer Instituut*, Sint-Katelijne-Waver, Okt. 1999.
- [3] E. D. Kaplan (Hrsg.), „Understanding GPS. Principles and Application“, *Artech House*, Boston 1996.
- [4] K. Feher, „Wireless Digital Communications: Modulation and Spread Spectrum Applications“, *Prentice-Hall PTR*, New Jersey 1995.
- [5] R. C. Dixon, „Spread Spectrum Systems“ *Wiley- Interscience, J. Wiley & Sons*, New York 1976.
- [6] M. K. Simon, et al, „Spread Spectrum Communications“, Vols. 1-3, *Computer Science Press*, Rockville, MD 1985.
- [7] Diligent, „Genesys™ FPGA Board Reference Manual“, *Diligent Inc.*, April 2016.
- [8] Diligent, „Genesys™ Schematic“, *Diligent Inc.*, Mai 2010
- [9] Diligent, „PmodTPH2™ Reference Manual“, *Diligent Inc.*, Mai 2016.
- [10] C. Geist, D. Schwarz, „FPGA-Implementierung eines Pseudo Noise Code Generators und einer Bildverarbeitungsschaltung“, Studienarbeit, *Hochschule Ulm*, Ulm 2016.
- [11] Xilinx, „Virtex-5 Family Overview“, *Xilinx Inc.*, August 2015.
- [12] Xilinx, „Virtex-5 FPGA Data Sheet: DC and Switching Characteristics“, *Xilinx Inc.*, Juni 2016.



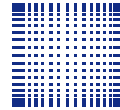
Dominik Schwarz studierte im Bachelorstudiengang Nachrichtentechnik an der Hochschule Ulm. In seiner Studienarbeit bearbeitete er die Thematik "FPGA-Implementierung eines Pseudo Noise Code Generators und einer Bildverarbeitungsschaltung". Die Bachelorarbeit führte er bei Airbus DS Electronics and Border Security zum Thema "Entwurf eines C-Band PIN-Dioden Limiters" durch. Sein Studium führt er an der Universität Ulm im Masterstudiengang Elektrotechnik fort.



Christian Geist studierte im Bachelorstudiengang Nachrichtentechnik an der Hochschule Ulm. In seiner Studienarbeit bearbeitete er die Thematik "FPGA-Implementierung eines Pseudo Noise Code Generators und einer Bildverarbeitungsschaltung". Die Bachelorarbeit führte er bei der Handmann Maschinenfabrik zum Thema „Einsatz von MEMS Sensoren in der Industrie“ durch.



Anestis Terzis ist seit 2012 Professor für den Entwurf digitaler Systeme an der Hochschule Ulm und leitet den Studiengang Fahrzeugelektronik. Zuvor arbeitete er für ca. zehn Jahre bei der Daimler AG im Bereich Forschung und Vorentwicklung auf dem Gebiet der Fahrerassistenzsysteme. Anestis Terzis studierte in Ulm Nachrichtentechnik und erhielt den akademischen Grad Dipl.-Ing. (FH). Seine Promotion zum Dr.-Ing. erfolgte am Lehrstuhl für Technische Elektronik an der Universität Erlangen-Nürnberg. Aus seiner bisherigen Arbeit gingen zahlreichen Veröffentlichungen sowie Fachbücher hervor. Er ist aktives Mitglied in internationalen Normungsgremien im Rahmen der ISO sowie des IEEE und in Programmkomitees von Konferenzen.



Entwicklung eines Prozesses für komplett Inkjet-gedruckte organische Schaltungen

Alexander Scholz, Thomas Rohland, Bernd Vettermann, Jürgen Giehl

Zusammenfassung—Die Entwicklung im Bereich der gedruckten Elektronik hat in den letzten Jahren zunehmend an Bedeutung gewonnen. Der erste organische Dünnschichttransistor (OTFT) wurde im Jahre 1986 vorgestellt. Seitdem ist die Entwicklung neuer Materialien sowie Fertigungstechniken in diesem Bereich in vollem Gange. Das Ziel aktueller Entwicklungen mit organischer Elektronik liegt darin, günstige sowie flexible Produktionsverfahren für Dünnschichttransistoren sowie OLEDs und Sensoren zu entwickeln. Hier wird ein Inkjet-basierter Prozess zur Herstellung von komplett gedruckten Transistoren vorgestellt. Die Transistoren sind auf einer flexiblen Substratfolie aufgebracht. Auf diese sind Source-/Drain-Strukturen mittels Nanosilber-Tinte mit einer Linienbreite von $\sim 300\ \mu\text{m}$ und einer Liniendicke von 200 nm aufgebracht. Die Source-Drain-Metallisierungsschicht dient ebenso als untere Leiterbahnebene. Darauf befindet sich eine Kontaktvermittlerschicht zur Reduzierung des Kontaktwiderstands zum Halbleiter. Diese wurde ebenfalls aufgedruckt, könnte aber auch in einem Tauchprozess appliziert werden. Die gedruckte Halbleiterschicht ist 100 nm dick. Der verwendete Halbleiter ebenso wie das Dielektrikum (Dicke ca. 700 nm) sind Polymere der Firma Merck. Die Gate-Elektrode wurde mit Silber-Tinte der Firma Inkron realisiert. Dabei zeigten sich jedoch große Leckströme. Deshalb wurden auch aufgedampfte Gate-Elektroden verwendet. Die Ergebnisse zeigten dabei deutlich reduzierte und somit akzeptable Leckströme, jedoch funktionierten die Transistoren nicht, da der Halbleiter altersbedingt degradiert war und sich keine π -Bindungen ausgebildet hatten. Prinzipiell konnten jedoch alle notwendigen Schichten aufgebracht werden.

Schlüsselwörter—Organische Elektronik, OFET, TFT, Inkjet, Drucken, integrierte Schaltungen.

Alexander Scholz, alexander.scholz89@gmail.com
Thomas Rohland, thomasrohland89@gmail.com
Bernd Vettermann, b.vettermann@hs-mannheim.de
Jürgen Giehl, j.giehl@hs-mannheim.de
Hochschule Mannheim, Paul-Wittsack-Str. 10, 68163 Mannheim

I. EINLEITUNG

Die Entwicklung im Bereich der gedruckten Elektronik hat in den letzten Jahren zunehmend an Bedeutung gewonnen. Aktuell findet sich organische LED-Technik, in Form von OLEDs, in ersten kommerziellen Anwendungen wie beispielsweise in Displays von Smartphones sowie Fernsehern.

Der erste organische Dünnschichttransistor (OTFT) wurde im Jahre 1986 vorgestellt. Seitdem ist die Entwicklung neuer Materialien sowie Fertigungstechniken in diesem Bereich in vollem Gange. Das Ziel aktueller Entwicklungen mit organischer Elektronik liegt darin, günstige sowie flexible Produktionsverfahren für Dünnschichttransistoren sowie OLEDs und Sensoren zu entwickeln.

Der hier vorgestellte Inkjetprozess soll die Grundlage für die Realisierung integrierter Dünnschichtschaltungen legen. Es wird die Schichtaufbringung sowie -optimierung und die Handhabung des Druckers beschrieben.

II. MOTIVATION/ZIELSETZUNG

Der hier vorgestellte Inkjet-Prozess soll sowohl in der Ausbildung Studierender eingesetzt werden als auch als Basis zur Entwicklung hybrider Systeme mit Verwendung von Sensoren oder z. B. LEDs dienen. Im Vordergrund steht dabei die einfache Realisierung durch Verwendung eines Inkjet-Druckers, der in relativ normaler Umgebung betrieben werden kann und zudem noch kostengünstig sowohl in der Anschaffung als auch im Betrieb ist.

III. TRANSISTORAUFBAU – INTEGRIERTE SCHALTUNGEN

Abbildung 1 zeigt die Schichtenfolge der angestrebten Technologie. Der hier verwendete Transistor arbeitet in Akkumulation, d. h., dass bei Verwendung eines p-leitenden Halbleiters ein PMOS-Transistor entsteht. Für den Transistor wird ein Top-Gate-Bottom-Contact Aufbau gewählt. Die oberste Gate-Metallisierung dient gleichzeitig als zweite Leiterbahnschicht zur integrierten Verschaltung der elektronischen Bauelemente. Die unterste, Source/Drain-Ebene, wird als erste Leiterbahnschicht genutzt.

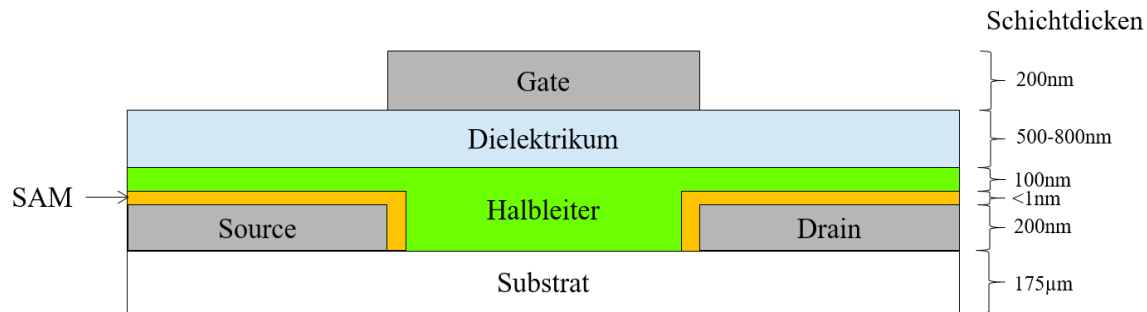


Abbildung 1: Querschnitt durch den Transistoraufbau und Schichtenfolge im Prozess.



Abbildung 2: Dimatix DMP2800 Inkjetdrucker [1].

Auf das flexible Trägersubstrat werden die (S/D)-Elektroden aufgebracht. Als Folgeprozessschritt wird ein self-assembling-monolayer (SAM) zur Anpassung der Austrittsarbeit der Elektroden an den organischen Halbleiter auf die Elektroden gedruckt. Dieser minimiert im Bereich der Bandübergänge die Austrittsarbeitendifferenz zwischen S/D-Metall und Halbleiter-Polymer. Damit soll die Bildung von Schottky-Dioden an den Kontakten vermieden und der Kontaktwiderstand reduziert werden. Im nächsten Prozessschritt wird ein organischer, polymerbasierter Halbleiter großflächig auf die Interdigitalstrukturen aufgebracht. Ein organisches, polymerbasiertes Dielektrikum trennt den Halbleiter von der zum Abschluss aufgetragenen Gate-Elektrode, an die später die Steuerspannung U_{GS} angelegt wird.

Die physikalische Realisierung der Source/Drain-Elektroden geschieht über eine Interdigitalstruktur. Zwei Source-Finger umschließen jeweils einen Drain-Finger [Abbildung 4]. Die Distanz zwischen dem Source- und dem Drain-Finger bestimmt die spätere Kanallänge l . Der parallele Verlauf der gegenüberliegenden S/D-Finger bestimmt die Kanalweite w der Transistorstruktur. Zur Erhöhung der Kanalweite besteht die Möglichkeit die Interdigitalstrukturen zu falten. Hierbei wird eine extrem in die Länge gezogene Struktur vermieden. Die Untersuchungen anhand von Testdrucken ergaben eine minimale, reproduzierbare Kanallänge von $l = 100 \mu\text{m}$. Der Abstand des Stegs zur Fingerspitze wurde auf $m = 200 \mu\text{m}$ für diesen Prozess festgelegt.

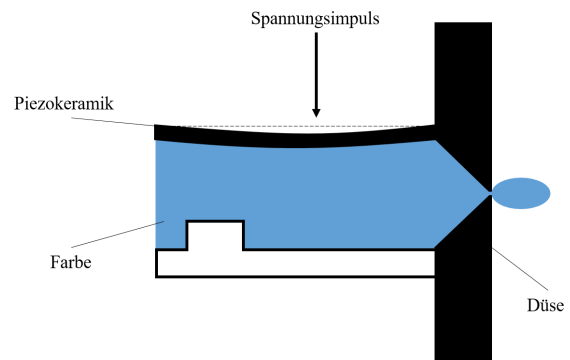


Abbildung 3: Querschnitt durch die Druckkammer.

IV. INKJET PROZESS

In diesem Abschnitt wird der verwendete Inkjet-Drucker und der damit realisierte Prozess beschrieben. Vorteil des Inkjetdrucks ist, dass das Druckbild keiner Druckform (Klischee) bedarf, sondern während des Druckprozesses individuell anpassbar ist. Damit erweist sich diese Technik als äußerst flexibel und kostengünstig. Nachteil ist aber die geringe Druckgeschwindigkeit und die erreichbare Auflösung. Mit Inkjet-Druckern können Strukturen im Bereich zweistelliger μm realisiert werden, während mit Gravurdruck, einem Tiefdruckverfahren, Auflösungen im einstelligen μm -Bereich möglich sind [2].

A. Drucker

In dieser Arbeit wird der Fujitsu Dimatix Materials Printer 2800 (DMP 2800) genutzt [Abbildung 2]. Es handelt sich hierbei um einen Drop-On-Demand (DoD) Inkjet-Drucker. Der Inkjetdruck stellt ein Non-Impact-Druckverfahren dar, da das zu druckende Bild ohne physikalischen Zwischenträger oder Walzwerke direkt vom Drucker auf dem Trägersubstrat aufgebracht wird [2]. Zur Realisierung des Druckerzeugnisses dient dem Inkjet-Drucker eine Bildmatrix, die alle nötigen Informationen in digitaler Form liefert. Dieses Druckverfahren ist dahingehend äußerst flexibel und ermöglicht eine softwareseitige Anpassung des gewünschten Druckerzeugnisses. Das DoD Inkjet-Druckverfahren nutzt zur Tropfenerzeugung eine Piezokeramik, die eine Volumenänderung

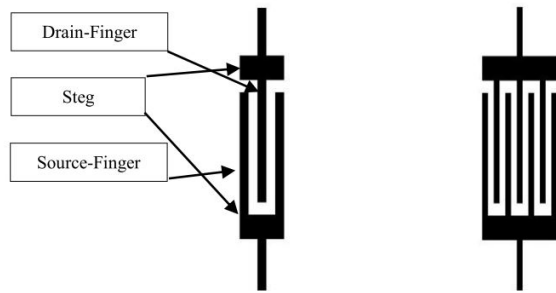
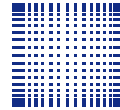


Abbildung 4: Source/Drain – Strukturen.

durch elektrostatische Kontraktion einer Farbkammer erzeugt [Abbildung 3]. Einzeltropfen lassen sich so präzise aus der Farbkammer schleudern [2]. Im DoD Inkjet-Druckverfahren wird für jeden Bildpunkt innerhalb der Bildmatrix ein Einzeltropfen gesetzt. Zum Betrieb des DMP2800 werden äußerst niederviskose Fluide genutzt, deren Viskosität im Bereich von $\eta \sim 1 \text{ mPa}\cdot\text{s} - 30 \text{ mPa}\cdot\text{s}$ liegt.

Wie bereits angesprochen, müssen zum funktionellen Betrieb des DoD Inkjet-Druckers genutzte Fluide spezielle Eigenschaften hinsichtlich ihrer Oberflächenspannung σ' , ihrer Viskosität η , sowie ihrer Dichte ρ aufweisen. Die Tropfenformung kann beim Inkjet-Druck für Newton'sche Fluide über die inverse Ohnesorge-Zahl Z dimensionslos charakterisiert werden. Diese ist mit

$$Oh = \frac{\eta}{(\rho D \sigma)^{(1/2)}} \text{ sowie } Z = \frac{1}{Oh} \text{ angegeben [3].}$$

Wobei D die Länge, in diesem Fall die Düsenöffnungsbreite des Inkjet-Druckers, darstellt. In unserem Fall beträgt $D = 20,4 \mu\text{m}$ [Abbildung 5]. Der Abstand der Einzeldüsen des, in dieser Arbeit genutzten, Druckkopfes zueinander beträgt $d = 232,6 \mu\text{m}$. Untersuchungen im Zusammenhang mit der inversen Ohnesorge-Zahl Z wurden von Reis und Derby vorgestellt. Nach diesen Vorgaben sollte $1 < Z < 10$ gegeben sein, um die optimale Druckbarkeit des Fluides hinsichtlich der Tropfenbildung zu gewährleisten. $Z < 1$ stellt den Zusammenhang für zu viskose Fluide dar, so dass keine Tropfenablösung aus der Farbkammer stattfinden kann und im Bereich von $Z > 10$ wird davon ausgegangen, dass losgelöste Tropfen am Düsenaustrittspunkt eine ungewollte Satellitenform annehmen [4]. Einem abgelösten Tropfen folgt darauf, aufgrund der Loslösung des Tropfenschweif, ein weiterer kleiner Tropfen.

Der Drucker arbeitet seine Druckerzeugnisse hauptsächlich zeilenweise über die Bewegung seiner Druckkopfhalterung ab, dieser Umstand muss im Design von Layouts berücksichtigt werden. Die Bildinformationen werden als Bitmap-Dateien in einer Bildbearbeitungssoftware angelegt. Bei der Erzeugung des Bitmap-Files muss darauf geachtet werden, die Gesamtsubstratgröße klar zu definieren, sowie die genutzte Auflösung korrekt, in einem für den Druckertreiber nutzbaren Format anzugeben. Je nach eingestellter dpi-Größe entspricht die dazu passende

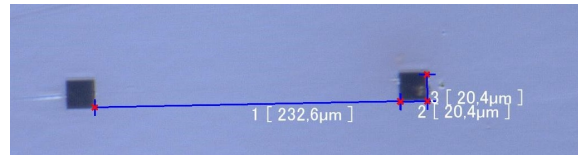


Abbildung 5: Blick auf die Inkjetdüsen (Nozzles) des Druckers.

Bildtropfengröße jeweils einem Bildpunkt in der Bitmap-Datei.

Die nun gewählte Druckauflösung muss ebenfalls über ein mechanisches System an der Druckvorrichtung des DMP 2800 manuell eingestellt werden. Durch Drehen des Druckkopfes um einen bestimmten Winkel wird das gewünschte Drop-Spacing über alle 16 Düsen in y-Achsenrichtung eingestellt.

B. Substrat

Als Trägersubstrat für den Transistorstack wird die Melinex ST506, eine biaxial-orientierte Polyethylen-terephthalat (BOPET) Folie, genutzt. Die Schichtdicke der Folie beträgt $175 \mu\text{m}$, der Schmelzpunkt liegt bei $T = 250 \text{ }^\circ\text{C}$. Die ST506 ist ab Werk mit einer Oberflächenbehandlung zur Reduzierung der Rauigkeit behandelt. Die, mit Hilfe eines Oberflächenprofilometers (Veeco Dektak 150), ermittelte Rauigkeit (R_a) der ST506 beträgt $R_a \sim 7 - 10 \text{ nm}$. Zur Ermittlung der Oberflächenenergie σ^s des Substrats wird ein Drop-Shape-Analyzer (Krüss DSA 100) genutzt. Als Approximationsmethode wird die Owen-Wendt-Rabel & Kaelble Methode (OWRK) gewählt. Dadurch wird die Gesamtoberflächenenergie in einem dispersen als auch polaren Energieanteil getrennt dargestellt mit $\sigma^s = \sigma^s_{\text{dispers}} + \sigma^s_{\text{polar}}$ [5][6]. Normiert wird die Messung mit Hilfe von Wasser, Diiodmethan sowie Glycerol. Untersuchungen mithilfe des DSA 100 ergeben eine gesamte Oberflächenenergie der ST506 Folie von $\sigma^s = 41,78 \text{ mN}\cdot\text{m}^{-1}$, diese wird gebildet durch den dispersen Oberflächenenergieanteil von $\sigma^s_{\text{dispers}} = 34,05 \text{ mN}\cdot\text{m}^{-1}$ sowie den polaren Oberflächenenergieanteil von $\sigma^s_{\text{polar}} = 7,73 \text{ mN}\cdot\text{m}^{-1}$.

Zur Realisierung der S/D-Elektroden wird eine Silver Jet Dispersion von Sigma Aldrich genutzt, deren Oberflächenspannung mit $\sigma' = 32 \text{ mN}\cdot\text{m}^{-1}$ ermittelt wurde. Erste Testdrucke führten zu einem Verfließen der gedruckten Struktur auf dem Substrat. Die Kontaktwinkelsteilheit am 3-Phasen-Kontakt [7] kann in diesem Fall als zu gering angesehen werden. Dieser Faktor wird durch eine Optimierung der Oberfläche beeinflusst. Die Oberflächenenergie des Substrats muss verringert werden, was durch die aufgeführten Folgeschritte erreicht wird:

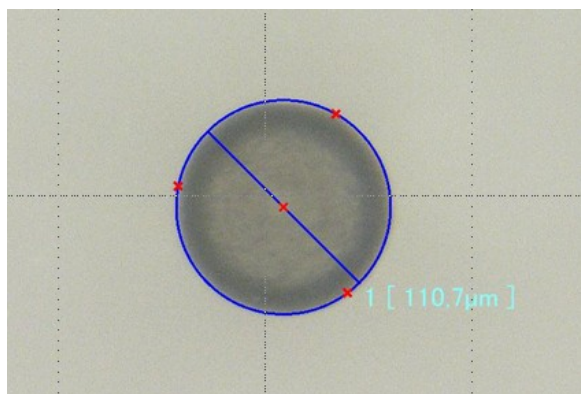


Abbildung 5: Einzeltropfendurchmesser $d \sim 110 \mu\text{m}$.

- Reinigung der Substratoberfläche mit Aceton sowie Isopropanol.
- Rekombination der statisch geladenen Substratoberfläche durch De-Ionisierung.
- zweiminütige Argon-Gas-Plasmapbehandlung.

Durch diese Verfahren wird die Oberflächenenergie des Substrats auf $\sigma = 33.33 \text{ mN}\cdot\text{m}^{-1}$, mit $\sigma^{\text{dispers}} = 20.47 \text{ mN}\cdot\text{m}^{-1}$ und $\sigma^{\text{polar}} = 12.86 \text{ mN}\cdot\text{m}^{-1}$, reduziert. Der Kontaktwinkel θ des ausschließlich dispersen Teststoffes Diiodmethan konnte hierdurch effektiv erhöht werden. Auf Grund der natürlich stattfindenden Rekombination der offenen Bindungen an der Substratoberfläche nach der Argon-Gas-Plasma-Behandlung wird empfohlen, den Druck zeitnah auf dem vorbehandelten Substrat anzufertigen [8].

C. Source/Drain Elektroden (1. Layer)

Die Source/Drain-Elektroden legen Kanal-Länge und -Weite der Transistoren fest. Als günstiges Material hat sich Silber erwiesen, das eine gute Haftung und Verarbeitbarkeit zeigt. Jedoch ist die Austrittsarbeit des Silbers geringer als die gängiger organischer Halbleitermaterialien, so dass eine Anpassungsschicht verwendet werden muss.

Die hier verwendete Silbertinte der Firma Sigma Aldrich stellt eine zu 30 - 35 % in Triethylen-Glycol-Monomethyl-Ether gelöste Nanosilberpartikel-Dispersion dar. Die Dichte des Fluides beträgt $\rho = 1,4 \text{ g}\cdot\text{cm}^{-3}$. Das Molekulargewicht der Dispersion liegt bei $M = 107,87 \text{ g}\cdot\text{mol}^{-1}$. Die Oberflächenspannung beträgt laut Hersteller $\sigma = 35 - 40 \text{ mN}\cdot\text{m}^{-1}$. Der in dieser Arbeit gemessene Wert der Oberflächenspannung des Fluides beträgt $\sigma \sim 32 \text{ mN}\cdot\text{m}^{-1}$. Der Hersteller gibt die Viskosität der Silver Jet Ink zwischen $\eta \sim 10 - 18 \text{ mPa}\cdot\text{s}$ an. Der spezifische Widerstand liegt, laut Hersteller, bei $\rho \sim 11 \mu\Omega\text{cm}$. Gemessene Einzeltropfen weisen einen Tropfendurchmesser von $d \sim 110 \mu\text{m}$ [Abbildung 6] auf.

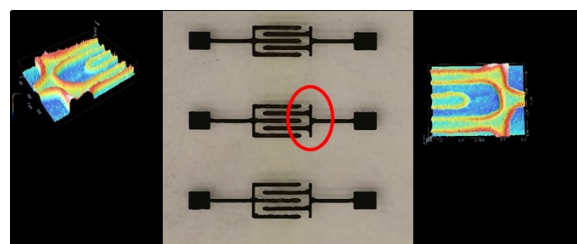


Abbildung 6: Druckbild der Source/Drain-Elektroden mit Höhenprofil.

Zur Erhöhung des Tropfenpinnings wird die Tischplatte des Druckers auf $T = 60^\circ\text{C}$ erhitzt. Dies hat zur Folge, dass das Lösemittel des Fluides nach Auftreffen auf dem aufgeheizten Substrat rasch verdampft. Durch die schnelle Verdampfung sowie die wirkenden Adhäsionskräfte sammelt sich am Rand des Tropfens eine ausgeprägte Menge des Fluides an und härtet dort aus. Dieser Effekt wird als „Coffee – Stain – Effekt“ bezeichnet [9]. Die für diese Arbeit angefertigten Interdigitalstrukturen sollen in ihrer Dimensionierung im Grenzbereich zu möglichst kleinen, funktionellen Strukturen liegen. Der Coffee-Stain-Effekt ist dahingehend mit diesem genutzten Fluid in diesem Prozess als gegeben anzusehen.

Erste Bitmap-Designs zur Anfertigung der S/D-Elektroden sind in einer Auflösung von 282 dpi (Drop-Spacing = $90 \mu\text{m}$) bei einer Linienbreite von 1 Bit angefertigt. Die gedruckten Teststrukturen weisen keine messbare elektrische Leitfähigkeit κ auf.

Daraufhin wird ein finales Bitmap-Design mit einer höheren Druckauflösung von 635 dpi (Drop-Spacing = $40 \mu\text{m}$) bei einer Linienbreite von 3 Bit ermittelt und festgelegt. Nachfolgende Untersuchungen mit Hilfe eines 4-Punkt-Messplatzes ergeben mit diesen gewählten Einstellungen die gesuchte elektrische Leitfähigkeit. Der ermittelte spezifische Widerstand, der bei den final gewählten Druckparametern zu erwarten ist, liegt bei $\rho \sim 14 \mu\Omega\text{cm}$. Grund hierfür sind die näher aneinander liegenden Einzeltropfen, die eine bessere Vernetzung der Nanosilberpartikel zur Folge haben.

Die minimal erreichte, jedoch nicht zu 100% reproduzierbare, gemessene Kanallänge der Interdigitalstrukturen beträgt $l \sim 80 \mu\text{m}$. Die bitweise Distanz zwischen zwei Interdigitalstruktur-fingern für die festgelegten Prozessparameter liegt bei 5 Bit ($5 \times 40 \mu\text{m} = 200 \mu\text{m}$). Diese Distanz kompensiert sich durch die Fluidantrocknung auf $l \sim 100 \mu\text{m}$, die einen stabilen Prozess abbilden kann.

Eine homogene Linienausprägung ist mit einem, auf dieses Fluid abgestimmten Substrat möglich.

D. Kontaktschicht

Nachdem die S/D-Elektrode via Inkjet-Druck hergestellt wurde, muss diese mit einem Contact-Treatment behandelt werden. Mittels dieser Behandlung wird die vorherrschende Energiebarriere

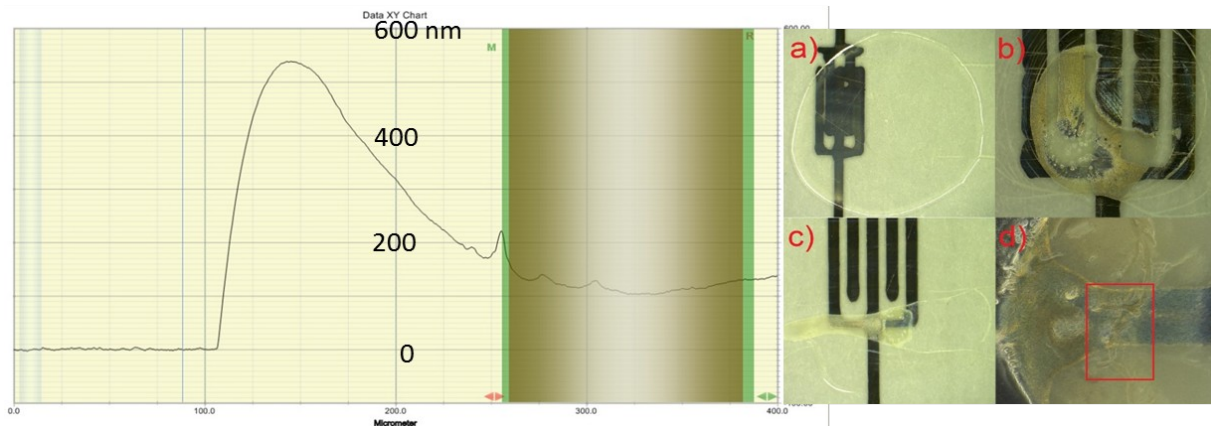


Abbildung 7: Höhenprofil und Druckbild a-d des Halbleiters.

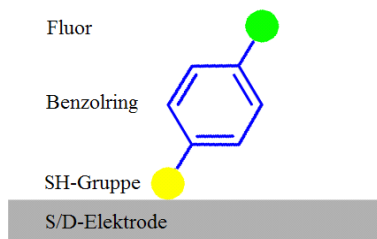


Abbildung 8: SAM auf der S/D-Elektrode.

zwischen Elektrode und Halbleiter ausgeglichen. Diese Barriere entsteht auf Grund der unterschiedlichen Austrittsarbeiten der verwendeten Materialien. Diese liegt beim Silber der Elektroden bei ϕ_{Ag} -4 eV und bei dem verwendeten Halbleiter SP300 bei ϕ_{HL} -5 eV.

In diesem Projekt ist der self-assembled-monolayer speziell auf die von uns verwendeten Materialien abgestimmt. Es handelt sich hierbei um 4-Fluoro-Thiophenol, welches aus einem Benzolring mit Schwefelwasserstoff-Gruppe (welches den Thiophenolanteil bildet) und einem Fluor-Atom besteht [siehe Abbildung 8].

Mit diesem Aufbau wird das Energiepotential der Elektroden auf das Niveau des Halbleiters angehoben. Die SH-Gruppe dockt an die bereits gedruckten Silberstrukturen an und verbindet sich nach einer Einwirkzeit von etwa einer Minute mit diesen. Es handelt es sich dabei um die sogenannte Kopf-Gruppe. An der somit ausgerichteten Fluor-Gruppe wird sich im nachfolgenden Prozessschritt der Halbleiter anheften. Die Fluor-Gruppe wird auch als „Funktionale Gruppe“ bezeichnet. Der Benzolring dient als Spacer, welcher den Effekt hat, die Austrittsarbeit der Silberstrukturen auf die des Halbleiters anzuheben [10]. Überflüssiges SAM kann problemlos mit Ethanol oder Isopropanol abgespült werden. In Abbildung 8 ist das SAM schematisch nach dem Trocknen auf den Silberstrukturen dargestellt. Am oberen Ende der Kette ist die Fluor-

Gruppe als funktionale Gruppe abgebildet. Dort wird im nächsten Prozessschritt der Halbleiter andocken. Darunter, in der Mitte, befindet sich der Spacer, bei diesem SAM durch einen Benzolring realisiert. Im unteren Bereich sind die S/D-Strukturen mit bereits andockten SH-Gruppen dargestellt. Im industriellen Fertigungsprozess würde das SAM durch ein Tauchbad auf die Substrate aufgebracht werden. In dieser Arbeit wird das Material gejetet und gezielt an den benötigten Stellen aufgedruckt.

E. Halbleiter

Der hier verwendete organische Halbleiter wurde bereits im Polytos-Projekt eingesetzt. Es handelt sich hierbei um das Lisicon (©Merck) SP300 Halbleiterpolymer [11]. Dieses wurde im Polytos-Projekt via Spin-Coating aufgebracht. Der hier verwendete Halbleiter wird als Fluid mit Mesitylen angesetzt. Beim verwendeten Polymer des Halbleiters handelt es sich um PIF8-TAA. Dieses ist ein p-leitendes Material mit der Ladungsträgerbeweglichkeit $\mu_{eff} \sim 0,04 \text{ cm}^2\text{Vs}^{-1}$. Die Formulierung stammt von Merck und ist für das Verarbeiten an Inkjet-Druckern geeignet. Die Viskosität liegt im Bereich von 1 – 30 mPa·s. Bei ersten Versuchen zeigte der Halbleiter gute Eigenschaften und war ohne größere Probleme auf die gedruckten Strukturen aufzubringen. Lediglich die Lebensdauer einer Cartridge schränkte die Druckbarkeit ein. Die einzelnen Düsen (Nozzles) verstopfen sehr schnell und sind nur schwer wieder zu reaktivieren.

Auffällig an den gedruckten Schichten sind die in Abbildung 7 [kleine eingesetzte Abbildung rechts a-d] dargestellten Strukturausprägungen. Hierbei handelt es sich um Ansammlungen von Halbleiter-Polymer. Diese unkoordinierte Trocknung kann im späteren Device zu Fehlfunktionen führen. Es ist deutlich zu erkennen, dass die restliche getrocknete Schicht des Halbleiters keinen farblichen Schimmer besitzt, welcher typisch für die Ausbildung eines Halbleiter-Polymers ist. Der gelblich glänzende Schimmer ist ein

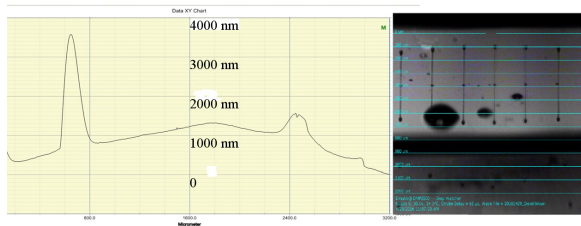


Abbildung 9: Höhenprofil des fertigen Dielektrikums und Tropfenbild beim Drucken.

Zeichen dafür, dass beim Trocknen des Polymers die notwendigen π -Bindungen ausgebildet wurden. In diesen Verbindungen befinden sich ortsungebundene π -Elektronen die im späteren Betrieb des Devices für den Ladungsträgertransport im Halbleiter verantwortlich sind [12]. Der fehlende Schimmer kann auf die extrem dünne Schicht zurückzuführen sein oder auf ein gealtertes Material. Da dieses Polymer noch aus Zeiten des Polyos-Projekts [13] stammt, kann dieses über die Zeit der Lagerung seine gewohnte Funktionalität verloren haben. Dies gilt es im späteren Test der Devices zu beobachten.

Auf Grund der geringen Differenz zwischen Oberflächenenergie der Elektroden ($63,70 \text{ mN}\cdot\text{m}^{-1}$) und der Oberflächenspannung des Halbleiter-Fluides ($55,13 \text{ mN}\cdot\text{m}^{-1}$) breitet sich der Halbleiter beim Aufbringen gleichmäßig auf der Elektrode aus. Es bildet sich anfänglich eine Schicht von $\sim 150 \text{ nm}$ Dicke. Diese besitzt am Rand einen Coffee-Stain, welcher sich auf die Funktion des Devices nicht auswirkt. Hierbei bewegt sich während des Trocknungsprozesses Material an den Rand der Drucke, was durch die Diffusion des Mesitylens bedingt ist. Dieser Effekt könnte in späteren Versuchen durch das Hinzufügen weiterer Lösemittel mit unterschiedlichen Siedepunkten kompensiert werden. Die genutzte Auflösung des Layouts liegt bei 2540 dpi und erzielt eine gleichmäßige Schicht, die ohne Unterbrechung die Elektroden bedeckt.

F. Dielektrikum

Mit der S/D-Elektrode, dem Contact-Treatment und der Halbleiter-Schicht ist der Stack des Transistors größtenteils abgeschlossen. Bevor abschließend die Gate-Elektrode aufgebracht werden kann, muss der bisher gefertigte Stack mit einer Dielektrikumsschicht isoliert werden. Zur Realisierung dieser Schicht wird das Dielektrikum (©Merck) Lisicon D320 genutzt. Es handelt sich hierbei um ein farbloses organisches Polymer das in n-Dodecan gelöst ist. Die relative Permittivität des aufgetragenen Materials beträgt $\epsilon_r = 2,3$. Diese Größe ist notwendig, um in späteren Versuchen gegebenenfalls Kapazitäten mit dem Material fertigen zu können. Das verfügbare Dielektrikum ist ursprünglich für die Verwendung in

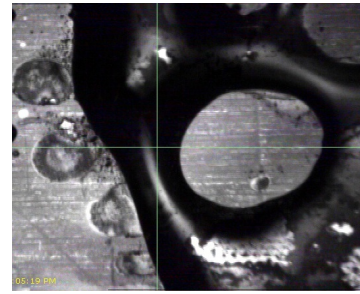


Abbildung 10: Druckbild der Gate-Elektrode mit Inktron IPC-305a.

einer Siebdrucktechnik (screen printing) gedacht und besitzt eine Viskosität größer als $30 \text{ mPa}\cdot\text{s}$. Aus diesem Grund wird das Material verdünnt und anhand von Tests dessen Druckbarkeit bewertet. Hierbei erweist sich eine Verdünnung des Materials mit 1:4 durch n-Dodecan als gut jetbar. In Abbildung 9 zu erkennen sind die Nozzles beim Jetten des Dielektrikums. Die Tropfen bilden sich gut aus und ziehen einen Schweif mit sich. In diesem befindet sich genug Material um eine gewünscht hohe Schichtdicke der Isolationsschicht zu erreichen. Durch zusätzliches Heizen der Nozzle Plate auf eine Temperatur von 34°C wird das Druckverhalten der Tinte positiv beeinflusst, da deren Viskosität verringert wird. Es wird eine Schichtdicke von $500 - 800 \text{ nm}$ angestrebt. Diese entspricht den Werten der Transistoren aus dem Polyos-Projekt [13] und gewährleistet eine gute Dichtigkeit gegenüber Gate-Substrat-Kurzschlüssen. Außerdem kann ein direkter Vergleich mit den entsprechenden Transistoren durchgeführt werden. Um diese Schichtdicke zu erreichen, wird mit sehr hohen Auflösungen gedruckt - zum Einen mit 5080 dpi und zum Anderen mit $2 \times 2540 \text{ dpi}$. Es wird verglichen, bei welcher Auflösung das Material die gewünschte Dicke erreicht und am wenigsten zerfließt. Die Oberflächenspannung des Dielektrikums ($\sim 26,47 \text{ mN}\cdot\text{m}^{-1}$) ist im Vergleich zur Oberflächenenergie des Halbleiters ($32,92 \text{ mN}\cdot\text{m}^{-1}$) klein genug, damit sich das Material problemlos gleichmäßig auf den Strukturen ausbreiten kann. Lediglich die Oberflächenenergie der mit SAM behandelten Elektroden ($63,70 \text{ mN}\cdot\text{m}^{-1}$) könnte das Material zu stark nach außen ziehen und eventuell einen Coffee-Stain am Rand der Struktur erzeugen. Da sich dieser jedoch seitlich der Struktur befindet, sollte er das Device nicht beeinflussen. In Abbildung 9 ist das Höhenprofil eines $2 \times 2540 \text{ dpi}$ Drucks zu sehen. Am Rand sind leichte Coffee-Stains zu erkennen und eine leicht konvexe Ausbildung der Gesamtschicht.

Nach Abzug des bisher gedruckten Stacks mit S/D-Elektrode (Dicke $\sim 150 \text{ nm}$) und der Halbleiterschicht (Dicke $\sim 170 \text{ nm}$) ergibt sich eine Dicke des Dielektrikums von $d \sim 700 \text{ nm}$. Diese liegt im gewünschten Bereich und sollte bei den Devices zu einer Schwellspannung von $U_{th} = -5 \text{ V}$ führen, was vergleichbar ist mit den Devices des Polyos-Projekts

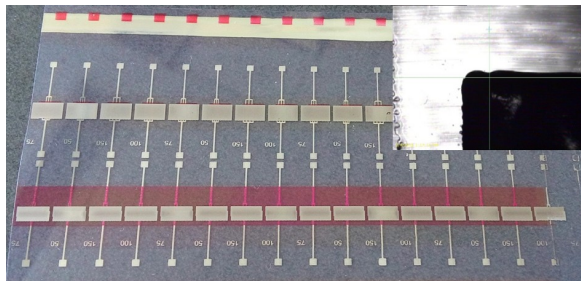
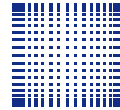


Abbildung 11: Inkjet-gedrucktes Gate mit Detailaufnahme. Es wurde die Inktron IPC-306 Tinte verwendet.

[11][13].

G. Gate Elektrode (2. Layer)

Zum Schalten des Transistors wird eine Gate-Elektrode benötigt, an der die Gate-Spannung angelegt wird. In derzeitigen Prozessen wird diese im Vakuum mit Silber bzw. Gold aufgedampft. Hierbei kommen keine Lösemittel zum Einsatz und die Gefahr, dass Teilchen durch die Isolationsschicht diffundieren ist ausgenommen gering. In dieser Arbeit wird die Tauglichkeit gedruckter Gates auf D320 Dielektrikum getestet. Hierzu werden auf screen-printed Transistoren der Firma Merck Tests durchgeführt. Diese Transistoren zeigten in vorherigen Tests gute Funktionalität und die verwendeten Materialien (Halbleiter, SAM und Dielektrikum) sind die Screen-print-Äquivalente zu den hier genutzten jetbaren Lösungen. Es kommen zwei Tinten für die Gate-Elektroden zum Einsatz, wobei in erster Linie bei diesen evaluiert wird, welche der beiden Tinten die bessere Benetzbarkeit auf dem Dielektrikum aufweist. Es handelt sich hierbei um reaktive Tinten der Firma Inktron. Bei diesen bedarf es keiner Filterung des Fluides vor der Verwendung im DMP 2800. Die Tinten enthalten kleinere Partikel als die für die S/D-Strukturen verwendete Silber-Dispersion von Sigma Aldrich.

In Abbildung 10 ist das Druckergebnis der IPC-305a mit einer Auflösung von 5080 dpi zu erkennen. Die Auflösung ist gewollt groß gewählt, da Ergebnisse mit geringeren Auflösungen ähnlich schlecht waren. Die Tinte benetzte das Dielektrikum schlecht und konnte somit nicht als jetbares Fluid zur Herstellung der Gate-Elektrode verwendet werden.

Auf Abbildung 11 [kleines eingesetztes Bild] zu erkennen ist ein Druck mit der zweiten Tinte, IPC-306. Es handelt sich hierbei - wie auch bei der IPC-305a - ebenfalls um eine reaktive Tinte. Die Tinte benetzt sehr gut auf dem Dielektrikum und bildet eine gleichmäßige Struktur aus.

In Abbildung 11 sind die fertig bedruckten Transistoren mit Gate-Elektroden aus IPC-306 dargestellt. Das Substrat enthält mehrere Transistoren mit unterschiedlichen Kanallängen und -weiten. Die Transistoren sind gleichmäßig bedeckt und können am

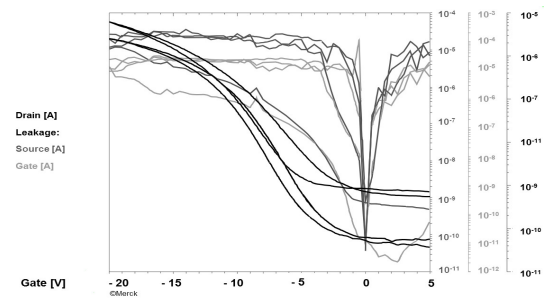


Abbildung 12: Gemessene Kennlinien eines Transistors mit gedruckter Gate-Elektrode.

Spitzenmessplatz vermessen werden. Die Messung zeigt auf den ersten Blick gute Ergebnisse, auffällig ist jedoch die Hysterese des Drainstromes [Abb. 12]. Diese wird bei unterschiedlichen am Drain anliegenden Spannungen getestet und es ist deutlich zu erkennen, dass die Kurvenpaare sich nicht wie erwartet decken, sondern einen minimalen Offset zueinander besitzen. Ebenfalls dargestellt sind die Gate- und Source-Leckströme. Diese befinden sich im μA -Bereich, was nicht akzeptabel ist. Zur späteren Nutzung der Transistoren in Schaltungen, sollten die Leckströme im pA-Bereich liegen. Für weitere Tests wurde auf den gejeteten Transistoren die Gate-Elektrode via thermischem Verdampfen aufgebracht.

H. Aufgedampftes Gate

Die Messungen der gejeteten Gates haben ergeben, dass die Leckströme der Devices im μA -Bereich zu hoch sind und die Hysterese der Transferkennlinie zu groß ist. Aus diesem Grund werden die komplett gejeteten Transistorstacks in einer Vakuumkammer mit 99,9% reinem Silber bedampft. Bei diesem Verfahren kommen keinerlei Lösemittel zum Einsatz, was die Beständigkeit der Isolatorschicht garantiert. Unter Umständen könnte durch das Aufbringen von lösemittelhaltigen Tinten der Isolator angelöst werden und die Schichtdicke bis auf einen kritischen Punkt abnehmen.

In einer Vakuumkammer, welche auf $2 \cdot 10^{-5}$ bar abgepumpt ist, wird 99,9 % reines Silber durch elektrisches Erhitzen verdampft. Mit dem so verdampften Material wird auf die Transistoren eine ~ 200 nm dicke Gate-Elektrode aufgebracht.

Die gejeteten Transistoren mit aufgedampfter Gate-Elektrode zeigten jedoch kein typisches Transistorverhalten [siehe Abbildung 13]. Die Ursache dafür sind fehlende π -Bindungen im Halbleiter-Polymer, wodurch kein Ladungsträgertransport ermöglicht wird und im Kanal des Transistors keine Akkumulation stattfinden kann. Die schlechte Polymerisation lag am Alter des verwendeten Materials und war bei optischer Inspektion der Schicht bereits sichtbar. Es zeigte sich nur in Teilbereichen ein typischer Glanz, der auf die π -Bindungen hindeutet [Abbildung 7, kleine eingesetzte Abbildung rechts].

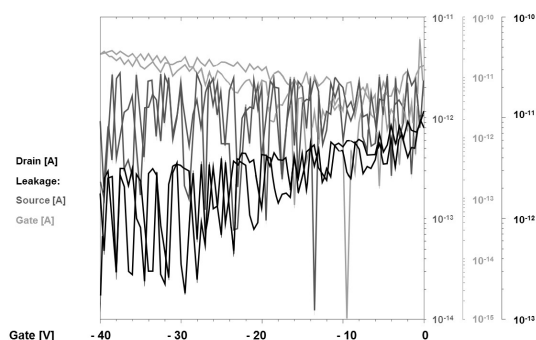


Abbildung 13: : Gemessene Kennlinien eines gejeteten Transistors mit gedampfter Gate-Elektrode.

Betrachtet man jedoch die Leckströme, so befinden sich diese im Bereich von pA, was ein akzeptables Ergebnis ist. Dies spricht für das Bedampfen der Transistoren, da weniger Teilchendiffusion durch das Dielektrikum auftritt als bei gejeteten Gates.

I. Vias

Zur Herstellung einer physikalischen Verbindung zwischen dem 1. Layer (S/D-Schicht) und dem 2. Layer (Gate-Schicht) gibt es derzeit zwei theoretische Ansätze:

Im ersten Ansatz werden in der Isolatorschicht an den gewünschten Stellen zur Durchkontaktierung Aussparungen eingearbeitet, bei denen kein Dielektrikum aufgebracht wird. Diese können später mit Silbermaterial der Gate-Schicht aufgefüllt und so eine physikalisch leitfähige Verbindung zwischen den beiden Layern erzeugen. Dieses Verfahren ist jedoch schwer zu kontrollieren, da durch die vorherrschende Wechselwirkung zwischen Oberflächenenergie des Halbleiters und Oberflächenspannung des Dielektrikums unter Umständen die geplanten Aussparungen verschlossen werden, da Material während des Trocknens an diese Stellen driftet.

Der zweite Ansatz ist ein zusätzlicher Prozessschritt. Bei diesem wird das bereits getrocknete Dielektrikum bearbeitet. Es wird ein Gemisch verschiedener Lösemittel angesetzt und mit diesem die Aussparungen für die Vias nachträglich „eingeätzt“. Dazu wird diese Ätzlösung per Druckverfahren aufgebracht. Bei diesem Verfahren driftet das wieder verflüssigte Dielektrikum aus der geplanten Durchkontaktierung und es bildet sich eine Aussparung, die nun eine physikalische Kontaktierung des 1. Layers ermöglicht. Von Vorteil hierbei ist, dass der DMP 2800 durchaus in der Lage ist, reine Lösemittelsysteme ohne größere Probleme zu verarbeiten.

V. ZUSAMMENFASSUNG

Es wurde ein Inkjet Prozess zur Herstellung von komplett Inkjet-gedruckten Transistoren vorgestellt.

Prinzipiell konnten alle notwendigen Schichten aufgebracht werden. Es zeigten sich jedoch bei der Umsetzung einige kritische Punkte. Speziell das Aufbringen der Gate-Metallisierung erwies sich als schwierig. Ergebnisse, die außerhalb dieses Projektes erzielt wurden, zeigen aber, dass diese Schwierigkeiten überwunden werden können.

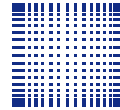
VI. FAZIT / AUSBLICK

Es ist möglich, Transistoren und integrierte Schaltungen auf Basis organischer Materialien mittels Inkjet zu drucken. Als weiterer Schritt bleibt nach diesem Projekt die Evaluation der Vias zwischen den beiden Leiterbahnebenen. Ebenso ist die Ausbeute in diesem Herstellungsprozess ein offener Punkt. Hier gilt es, Schwachpunkte zu entdecken und entsprechend zu verbessern.

Um den Prozess in gängige VLSI-Entwicklungssysteme zu integrieren, steht dann die Charakterisierung der gefertigten Bauelemente aus. In diesem Zusammenhang wurden bereits Modelle an der Hochschule Mannheim entwickelt, welche für die Entwicklung integrierter Schaltungen geeignet sind [11].

DANKSAGUNG

Die Autoren bedanken sich für die finanzielle Unterstützung dieses Projektes bei der Karl-Völker-Stiftung der Hochschule Mannheim. Weiterhin gilt der Dank dem InnovationLab (iL) in Heidelberg, dessen Räumlichkeiten, Geräte und das Know-How der Mitarbeiter zum Erfolg wesentlich beigetragen haben. Last but not least gilt der Dank der Firma Merck, die durch Materialbereitstellung und Hilfestellungen den Erfolg entscheidend ermöglicht hat.



LITERATURVERZEICHNIS

- [1] DMP USER MANUAL v. 16.0.1 (AUFGERUFEN AM 23.03.2017)
- [2] Kipphan, Helmut; *Handbuch der Printmedien: Technologien und Produktionsverfahren*, Springer Verlag Berlin 2000, ISBN 3-540-66941-8.
- [3] von Ohnesorge, Wolfgang; *Die Bildung von Tropfen an Düsen und die Auflösung flüssiger Strahlen*, In: Z. angew. Math. Mech., 1936, 16.
- [4] Reis, N.; Derby, B.; In: J. Appl. Phys., 2005, 094903.
- [5] Lauth, Jakob Günther; Kowalczyk, Jürgen; Einführung in die Physik und Chemie der Grenzflächen und Kolloide, Springer Verlag Berlin 2016, ISBN 978-3-662-47017-6.
- [6] Krüss GmbH, KRÜSS Application Note AN245e, (abgerufen am 14.03.2017).
- [7] Young, Thomas.; *An Essay on the Cohesion of Fluids*. In: Phil. Trans. R. Soc. Lond. 95, 1805, S. 65–87. : 10.1098/rstl.1805.0005.
- [8] Stöhr, Uwe; *Oberflächenaktivierung von Kunststoffen mittels Plasma zur Haftvermittlung, 2* doi:10.1002/vipr.201500579.
- [9] Nogi, et. al; *Highly Conductive Ink-Jet-Printed Lines*; in: *Organic Electronics. Materials and Devices*; Springer, Japan 2015, S. 117 – 137.
- [10] J. Christopher Love, Lara A. Estroff, Jennah K. Kriebel, Ralph G. Nuzzo, and George M. Whitesides; *Self-Assembled Monolayers of Thiolates on Metals as a Form of Nanotechnology*; in: *Chemical Review* 105; American Chemical Society, 2005; S. 1103 - 1169.
- [11] Hengen, S.; Alt, M.; Hernandez-Sosa, G.; Giehl, J.; Lemmer, U.; Mechau, N.; *Modelling and Simulation of Gate Leakage Currents of Solution-Processed OTFT*, Organic Electronics (2014), Vol 15, Issue 3 (2014) 829–834. <http://dx.doi.org/10.1016/j.orgel.2013.12.022> .
- [12] Hasagawa, Tatsuo; *Physics of Organic Field-Effect Transistors and the Materials*; in: *Organic Electronics. Materials and Devices*; Springer, Japan 2015, S. 1 – 40.
- [13] Hengen, S.; Vettermann, B.; Haas, C.; Scherwath, B.; Giehl, J., Final Project Report: *Charakterisierung und Modellierung einer Halbleitertechnologie auf Basis gedruckter organischer Bauelemente*, <http://edok01.tib.uni-hannover.de/edoks/e01fb13/73654190X.pdf> .



Alexander Scholz erhielt den akademischen Grad des B.Sc. in Nachrichtentechnik/Elektronik im Jahr 2015 sowie den Grad des M.Sc. in Informationstechnik im Jahr 2017 an der Hochschule Mannheim. Er beschäftigte sich bereits im Rahmen seiner Bachelorarbeit mit der Entwicklung von Teststrukturen zur Herstellung von Schaltkreisen auf Basis organischer Materialien.



Thomas Rohland erhielt den akademischen Grad des B.Sc. in Nachrichtentechnik/Elektronik im Jahr 2015 sowie den Grad des M.Sc. in Informationstechnik im Jahr 2017 an der Hochschule Mannheim. Im Rahmen seiner Bachelorthesis beschäftigte er sich bereits mit der Schaltkreisentwicklung und dem Layout organischer Elektronik in Mentor Pyxis.



Bernd Vettermann ist seit 1994 an der Hochschule Mannheim im Institut für integrierte Schaltkreise als Ingenieur tätig. Er erhielt 2006 von der Universität Mannheim den akademischen Grad eines Doktors der Naturwissenschaften.



Jürgen Giehl erhielt den akademischen Grad Diplom-Physiker 1990 von der Universität Mainz und den Dr.-Ing. in Elektrotechnik von der Universität Siegen im Jahr 1997. Von 1997 bis 2007 hat er bei ITT Semiconductors (seit 1998 Micronas GmbH und seit 2016 TDK Micronas GmbH) in Freiburg i. Breisgau als Projektmanager und Designer für analoge Schaltungen gearbeitet. Seit 2007 ist er Professor mit Lehrgebiet Entwurf integrierter Schaltkreise an der Hochschule Mannheim.

MULTI PROJEKT CHIP GRUPPE

Hochschule Aalen

Prof. Dr. Bürkle, (07361) 576-2103
heinz-peter.buerkle@htw-aalen.de

Hochschule Albstadt-Sigmaringen

Prof. Dr. Gerlach, (07571) 732-9155
gerlach@hs-albsig.de

Hochschule Esslingen

Prof. Dr. Lindermeir, (0711) 397-4221
walter.lindermeir@hs-esslingen.de

Hochschule Furtwangen

Prof. Dr. Rülling, (07723) 920-2503
ruelling@hs-furtwangen.de

Hochschule Heilbronn

Prof. Dr. Gessler, (07940) 1306-184
gessler@hs-heilbronn.de

Hochschule Karlsruhe

Prof. Dr. Koblit, (0721) 925-2238
marc.ihle@hs-karlsruhe.de

Hochschule Konstanz

Prof. Dr. Schick, (07531) 206-657
cschick@htwg-konstanz.de

Hochschule Mannheim

Prof. Dr. Giehl, (0621) 292-6860
j.giehl@hs-mannheim.de

Hochschule Offenburg

Prof. Dr. Mackensen, (0781) 205-4770
elke.mackensen@hs-offenburg.de

Hochschule Pforzheim

Prof. Dr. Kesel, (07231) 28-6567
frank.kesel@hs-pforzheim.de

Hochschule Ravensburg-Weingarten

Prof. Dr. Siggelkow, (0751) 501-9633
siggelkow@hs-weingarten.de

Hochschule Reutlingen

Prof. Dr. Wicht, (7121) 271-7090
bernhard.wicht@reutlingen-university.de

Hochschule Ulm

Prof. Dr. Terzis, (0731) 502-8341
terzis@hs-ulm.de

www.mpc-gruppe.de