



Hochschule Mannheim, Paul-Wittsack-Str. 10, 68163 Mannheim

Prof. Dr.-Ing. Jürgen Giehl

☎ 06 21 / 292-6860

E-Mail: j.giehl@hs-mannheim.de

23. Februar 2022

64. MPC-Workshop in Esslingen am 24. Juni 2022 und MathWorks Schulung am 23. Juni Call for Papers

Liebe Kolleginnen und Kollegen der MPC-Gruppe,

in der Anlage erhalten Sie unseren Call for Papers für unseren 64. Workshop in Esslingen. In diesem Workshop wollen wir,

- wieder ein niederschwelliges Angebot für Studierende anbieten, die nur ein Poster präsentieren, aber weder einen Vortrag halten noch einen Beitrag für den Tagungsband schreiben wollen.
- am Nachmittag (16-18 Uhr) vor dem Workshop einen Workshop der Firma Mathworks zum Thema **Accelerate Algorithm Implementation on FPGA/ASIC/SoC** anbieten.
- Sie können auch Paper einreichen, zu denen kein Vortrag am Workshop stattfindet. Diese werden dann vom Steering Committee begutachtet und im Workshopband veröffentlicht.
- In der Vollversammlung vor dem Workshop am Freitag findet die Abstimmung über eine neue Satzung und die Vorstandswahl statt.

Wir bitten Sie ferner um Meldung von weiteren Adressen für unseren „Großen Verteiler“, damit die Einladung zum Workshop dann einen größeren Kreis erreichen kann.

Bitte melden Sie sich frühzeitig für die MathWorks Schulung unter dem unten angegebenen Link direkt selbst an.

Freundliche Grüße

Vorstand der MPC Gruppe

Prof. Dr. Jürgen Giehl

Prof. Dr. Anestis Terzis

Anlagen: Call for Papers; Beschreibung Mathworks Schulung (s. u.)
Anmeldeformular für den Workshop
Anmeldeformular für Vortrag/Paper

Hochschule Mannheim

1. Vorsitzender: Prof. Dr.-Ing. J. Giehl, Hochschule Mannheim, Paul-Wittsack-Str. 10, 68163 Mannheim
E-Mail: j.giehl@hs-mannheim.de, Tel. +49 621/292-6860, Mobile +49 1776111506

2. Vorsitzender: Prof. Dr.-Ing. A. Terzis, Hochschule Ulm, Albert-Einstein-Allee 53, 89081 Ulm
E-Mail: Anestis.Terzis@thu.de, Tel. +49 731-50-28341

Free Workshop der Firma MathWorks, Do 23. Juni 2022 16-18 Uhr an der Hochschule Esslingen, Raum F1.201

Accelerate Algorithm Implementation on FPGA/ASIC/SoC

Overview:

Hardware engineers usually translate algorithms developed and simulated with tools such as MATLAB and Simulink into an HDL language manually by using written specifications. This process on its own is time consuming and error prone. It gets even worse when a small change to the algorithm requires rewriting the code.

Model-Based Design using MATLAB and Simulink together with automatic code generation and verification tools enables you to cut down the development time and ensures the reliability of the generated HDL code. In this hands-on workshop, you will learn how to get from an idea, to an algorithm, to a model which can be simulated. You will use Fixed-Point Designer to prepare the model and finally generate hardware optimized VHDL code with HDL Coder. You will learn and see the steps for code verification, and implementation on a target platform.

Highlights

We will use a real-world example to explain, demonstrate, and apply:

- Workflow from Algorithm to FPGA
- Data Type Considerations and Conversion
- HDL Code Generation and Optimization
- HDL Code Verification and Implementation (will be demonstrated only)

Registration Link for the MathWorks Workshop is:

<https://de.mathworks.com/company/events/seminars/accelerate-algorithm-implementation-on-fpga-asic-soc-3699300.html>

There is limited space so register asap.