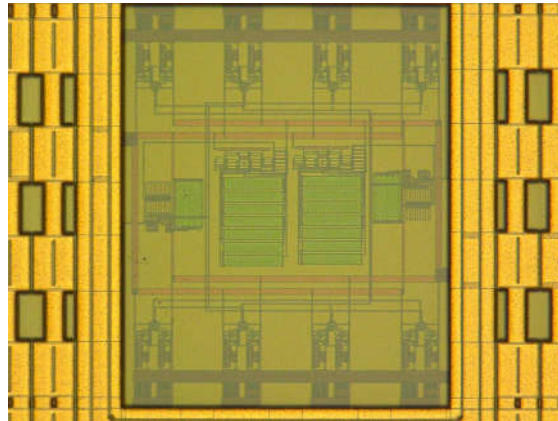


High-speed Multiplexer-/Demultiplexer-IC



VERANTWORTLICHE FÜR DEN ENTWURF	Christoph Rahnke, Josua Arndt, Bernd Vettermann, Jürgen Giehl Hochschule Mannheim, Institut für Entwurf integrierter Schaltkreise, Paul-Wittsack-Straße 10, 68163 Mannheim
ENTWURFSVERFAHREN	Full Custom Design
TECHNOLOGIE	AMS S35D4M5 0,35 μm CMOS 4M/2P
CHIPFLÄCHE	1,4 mm x 1,3 mm
GEHÄUSE	SOIC16
FUNKTIONSBLOCKE	Komparatoren, Peaking Current Source, Logikblöcke, Buffer, Schalter
FUNKTION	Der Chip enthält einen Double Balanced Mischer (jeweils 1:4) mit gemeinsamer Ansteuerlogik und kann sowohl als MUX (Sender) als auch als DEMUX (Empfänger) betrieben werden. Das Eingangssignal wird periodisch (jeweils 1/4 Periode) auf die 4 Ausgänge gelegt (für DEMUX Betrieb, bei MUX umgekehrt). Die minimale MUX-Periode beträgt 8 ns für das UKW-Band (DAB). Der Durchgangswiderstand der Schalter beträgt weniger als 10 Ohm. Die Ansteuerung erfolgt durch 2 differentielle 90° phasenverschobene Cosinusschwingungen (IQ) der MUX-Frequenz, die durch eine externe DDS erzeugt werden. Die internen Rechtecksignale werden über Komparatoren daraus erzeugt. Die Referenzströme werden durch eine Peaking Current Source erzeugt.
HERSTELLDATUM	II. Quartal 2011
KOSTENTRÄGER	MPC-Gruppe Baden-Württemberg
VERÖFFENTLICHUNG	C. Rahnke, J. Giehl, B. Vettermann, „Entwurf eines High-Speed Multiplexers/De-multiplexers für einen Mischer in 0,35 μm Technologie“, <i>Workshop der Multiprojekt-Chip-Gruppe Baden-Württemberg</i> , Karlsruhe, Tagungsband ISSN 1862-7102, S. 29 – 34, Ausgabe 42, Juli 2009.