

**M U L T I P R O J E K T  
C H I P - G R U P P E**

**BADEN-WÜRTTEMBERG**

**WORKSHOP Dezember 1988**

**Heilbronn**

**Herausgeber: Fachhochschule Ulm**

© 1989 Fachhochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers.

## Vorwort

Die vorliegende Broschuere beinhaltet die von der Multiprojekt Chip-Gruppe Baden-Wuerttemberg auf dem 1. Workshop in Heilbronn gehaltenen Vortraege.

Die Beitrage wurden aus Zeit-und Kostengruenden in der von den Verfassern uebergebenen Form gedruckt. Unzulaenglichkeiten beim Druck und bei der Form bitte ich aus den angegebenen Gruenden zu entschuldigen.

### Der Beitrag

'Ein interaktives Verdrahtungsprogramm fuer integrierte Analogschaltungen'

von Albert/Joekel konnte leider nicht mehr in die Broschuere aufgenommen werden.

Die entsprechende Diplomarbeit und die zugehoerigen Programme (Pascal, VAX/VMS) koennen bei

Prof.Dr. Albert

Fachhochschule fuer Technik

Speyerer Str. 34

6800 MANNHEIM 1

angefordert werden.

Ich hoffe, dass die vorliegende Veroeffentlichung zu einer weiteren Forcierung der Arbeit und Unterstuetzung der Multiprojekt Chip-Gruppe beitraegt.

Ulm, Februar 1989

Prof. Fuehrer  
Fachhochschule Ulm

# I N H A L T S V E R Z E I C H N I S

Vorwort

A.Fuehrer

FH Ulm

1. CMOS-Gate-Forest  
IMS-Faundry-Service

W.Ludescher

Institut fuer Mikroelektronik Stuttgart

Stiftung des oeffentlichen Rechts

2. Entwurf eines 4x4-Bit-Multiplizierers mit KICBOX

J.Kuklinski, G.Kampe

FH fuer Technik Esslingen

Labor CAD der Mikroelektronik

3. OP-Makromodell fuer korrekte Simulation des Gleichgewichts-  
verhaltens

H.Nielinger

FH Furtwangen

4. Reserch-Master-Programm in Zusammenarbeit mit dem  
LEICESTER POLYTECHNIC in England

G.Angst

FH Furtwangen

5. SZLib

Standardzellen-Bibliothek fuer den CMOS-Prozess des IMS

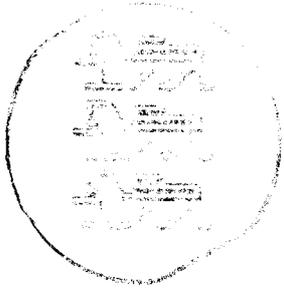
M.Kuhner, D.Ruppert

FH Furtwangen

6. Vcorarbeiten fuer ein Gate-Array-oder Standardzellen-Design  
auf einer MENTOR-Workstation

M.Kaiser

FH Ulm



INSTITUT FÜR MIKROELEKTRONIK STUTTGART

Stiftung des öffentlichen Rechts

7.

CMOS

GATE-FOREST

IMS-Foundry-Services

W. Lindescher

11.1.89

Allmandring 30  
7000 Stuttgart 80  
Telefon (0711) 685 - 7333



## IMS-CMOS-Gate-Forest

### -1- Der IMS Foundry-Service

Schaltungsentwürfe können am IMS in den Varianten "Full-Custom" und "Semicustom" in die CMOS-Linie eingeschleust werden. Ein Beispiel eines Multi-Projekt-Wafers (MPW7) zeigt Bild 1. Eine GATE-FOREST-Semicustom Variante erlaubt vergleichsweise kurze Durchlaufzeiten, da hier - neben dem Vorteil der vorgefertigten GATE-FOREST-Master - ein weiterer Zeitvorteil durch Elektronenstrahl-Direktschreiben vorteilhaft zum Tragen kommt. Diese Variante eignet sich damit besonders gut zum "Prototyping", da eine Bemusterung in kleinen Stückzahlen in ca. 3 Wochen durchgeführt werden kann. Dieser kurze Zeitraum ist natürlich auch für Ausbildung und Lehre interessant, da entsprechende Projekte, die - um der Realität möglichst nahezukommen - auch Spezifikation, Schaltungsentwurf (Simulation, Design und Testreview) sowie Test, Verifikation und ggf. Systemintegration enthalten sollten, jetzt innerhalb eines Semesters realisierbar werden.

Um dem internen und externen Anwender den Einstieg zu erleichtern, ist am IMS ein "Designkit" erhältlich, das anschauliche Beispiele zum Entwurfszyklus enthält. Es besteht zur Zeit aus den folgenden technischen Berichten:

- 1- Device Simulation, Parameter Extraktion  
und Spice-Daten  
IMS-TB-02/88
- 2- IMS GATE-FOREST Semicustom Standardzellen  
IMS-TB-03/88
- 3- IMS Full-Custom CMOS Standardzellen  
IMS-TB-04/88
- 4- Die Sizes, Qualitätssicherung, Packages  
und Test-Services  
IMS-TB-05/88
- 5- IMS Lambda Design Rules  
IMS-TB-04/87

Wichtige Daten zum Foundry Service (Regeln, Tape-In,...) finden sich im Anhang. Im folgenden Abschnitt wird auf den IMS-GATE-FOREST näher eingegangen.

## -2- Der IMS GATE FOREST.

Der IMS-GATE-FOREST besitzt eine Arraystruktur, die - im Gegensatz zu den "Gate Arrays der ersten Generation" keine Verdrahtungskanäle mehr besitzt. Das gesamte Array enthält Transistoren, die dann verwendet (kontaktiert) werden, wenn sie der Entwickler an dieser Stelle benötigt. Die Verdrahtung darf immer über Transistoren geführt werden, solange man (wichtig bei Vias) die Entwurfsregeln einhält. Dies bedeutet, daß an manchen Stellen ggf. Transistoren nicht eingebaut werden, da dieses Gebiet zur Verbindung einzelner Blöcke oder Macros benötigt wird. Allerdings wird nie Platz zur Reservierung von Verdrahtungskanälen verschwendet, wie es bei den "alten" Gate-Arrays der Fall ist. Source- und Drain-Gebiete einzelner Transistoren sind bereits durch ihr gemeinsames Diffusionsgebiet miteinander verbunden. Dadurch wird für die Serienschaltung einzelner Transistoren keine zusätzliche Metallisierung mehr benötigt. Isoliert wird ein einzelner Transistor, indem das Gate seines rechten und linken Nachbars auf VCC (p-Kanal) oder VSS (n-Kanal) kontaktiert wird ("gate-isolation"). Details dazu zeigt das symbolische Layout im Anhang. Um eine homogene Architektur des Gate-Forest-Masters zu erhalten, wird eine einzige "Core-Zelle", die 2p-Transistoren, 4 größere und 2 kleinere n-Transistoren enthält, in X und Y-Richtung -zigfach wiederholt plaziert. Die Zahl der Core-Zellen bestimmt letztlich die Größe des Masters. Verschiedene Master-Konfigurationen sind zur Zeit erhältlich:

Gate-Forest Master-Konfigurationen:

Core	Abmessung	Spalten	Reihen	Trans.	Pads
GFxx.1	12.0x12.0mm	347	51	280k	220
GFxx.2	8.3x7.5mm	238	31	120k	144
GFxx.4	5.2x5.2mm	149	22	53k	96
GFxx.9	3.0x3.0mm	85	12	16k	56

Entsprechend der Größe des "Cores" und der damit verbundenen Pin-Anzahl sind die Gate-Forest-Master (bis auf eine Ausnahme) in PGA-Gehäusen verpackt. Diese Zuordnung zeigt die folgende Tabelle:

Master und Gehäusetyp:

Master	Abmessung	Gehäuse
GFxx.1	13.32x13.32mm	PGA257
GFxx.2	9.62x8.82mm	PGA120
GFxx.4	6.65x6.55mm	PGA72
GFxx.9S	4.30x4.30mm	DIL40

Man erkennt am Beispiel des GFxx.4, daß die Gehäusegröße die Pinzahl bestimmt. GFxx.4 besitzt 96 Pads. Sein Gehäuse (PGA72) erlaubt leider nur, davon eine Auswahl von 72 nach außen zu führen. Die verbleibenden 24 Pads sind jedoch nicht verloren, da sie zu Testzwecken verfügbar sind oder bei unterschiedlichen Bondvarianten genutzt werden.

### -3- Die Gate-Forest-Standardzelle

Der Entwurf dieser Standardzellen bezieht sich direkt auf die Topologie der "Core-Zellen" des Gate-Forest. Die "Core-Zelle" hat eine Breite von 34 Lambda, wobei 17 Lambda als minimales Grid angesehen werden darf. Die Breite der Standardzelle ist damit immer ein Vielfaches des minimalen Grids.

Die Zellen müssen natürlich voneinander isoliert werden (vgl symbolisches Layout, "gate-isolation"). Es ist vereinbart, daß die linke Seite beliebig, die rechte Zellseite isoliert ist, so daß die Zellen aneinandergereiht werden können, ohne daß eine Fehlfunktion durch das Nachbarschaftsverhältnis auftritt. Bedingt durch die Abmessungen der "Core-Zelle" gelten folgende Maße:

Breite der Standardzelle:	$(34+n*17)\text{Lambda}$
Höhe der Standardzelle	Minimal 75.5 Lambda Maximal: 166.0 Lambda

Weitere Details finden sich im IMS-TB-03/88. Bild 2 und 3 geben Beispiele zur geometrischen Anordnung und zur Spannungsversorgung einer Zellreihe.

### -4- Der Gate-Forest Standardzellenkatalog

Jede Zelle im Katalog wird durch mindestens 4 Datenblätter beschrieben:

Blatt 1 enthält allgemeine Informationen, die das log. Verhalten, Verzögerungszeiten, Eingangskapazität und Treiberverhalten sowie die globalen Abmessungen beschreiben.

Blatt 2 verfeinert die Topologie, indem die genauen Koordinaten der externen Anschlußpins dokumentiert werden. Dort findet sich auch der Name des externen Anschlusses, sowie dessen Layer.

Blatt 3 zeigt die Randbedingungen, die bei der Simulation angenommen wurden. Es enthält ein Schaltbild der Zelle, und die dazugehörigen Spice-Anweisungen bezüglich Stimulus und Last (Spice-Inputfile).

Blatt 4 dokumentiert das Ergebnis der Spice-Simulation, so daß das Schaltverhalten der Zelle damit erkennbar wird.

Zur Zeit sind etwa 35 Zellen dokumentiert und freigegeben.

Einen Auszug dieser Zellen zeigt die folgende Liste:

Gruppe A - Gatter und Logik:

INAN2A	Nand-Gatter mit 2 Eingängen
INAN3A	Nand-Gatter mit 3 Eingängen
INAN4A	Nand-Gatter mit 4 Eingängen
INAN5A	Nand-Gatter mit 5 Eingängen
INAN6A	Nand-Gatter mit 6 Eingängen
INAN7A	Nand-Gatter mit 7 Eingängen
INOR2A	Nor-Gatter mit 2 Eingängen
INOR3A	Nor-Gatter mit 3 Eingängen
INOR4A	Nor-Gatter mit 4 Eingängen
INOR5A	Nor-Gatter mit 5 Eingängen
IXOR2A	XOR-Gatter mit zwei Eingängen
IAND2A	And-Gatter mit 2 Eingängen
IOR02A	Or-Gatter mit 2 Eingängen
IMUX2B	Transmission-Gate
IMUX2a	1 aus 2 Multiplexer
IDEC1A	2 zu 1 Decoder
IDEC2A	4 zu 2 Decoder
IDRS1B	D-Flip-Flop mit Set und Reset
ILRS1B	Latch mit Set und Reset

Gruppe B - Peripherie:

IPID1A	Eingangspad
IPID1B	Eingangspad für Taktsignal
IPIB1A	Eingangspad mit Buffer
IPOU1A	Ausgangspad
IPOT2A	Ausgangspad, Tristate
IPBI3A	Bidirektionales Pad
IPIT1A	Eingangspad für TTL
IPVD1A	VDD-Pad für Core und Pading
IPVD1C	VDD-Pad für Core
IPVD0P	VDD-Pad für Pading
IPVS1A	VSS-Pad für Core und Pading
IPVS1C	VSS-Pad für Core
IPVS0P	VSS-Pad für Pading

## -5- Anhang

- Bild 1 - Multi-Projekt-Wafer MPW7.  
Bild 2 - Core-Zelle des IMS-Gate-Forest.  
Bild 3 - Standardzelle und Umgebung.  
Bild 4 - Anschlußpins, Power und Ground.  
Bild 5 - Gate-Forest im Überblick.  
Bild 6 - Tape-In 89.  
Bild 7 - IMS Express-Service für Prototypen.

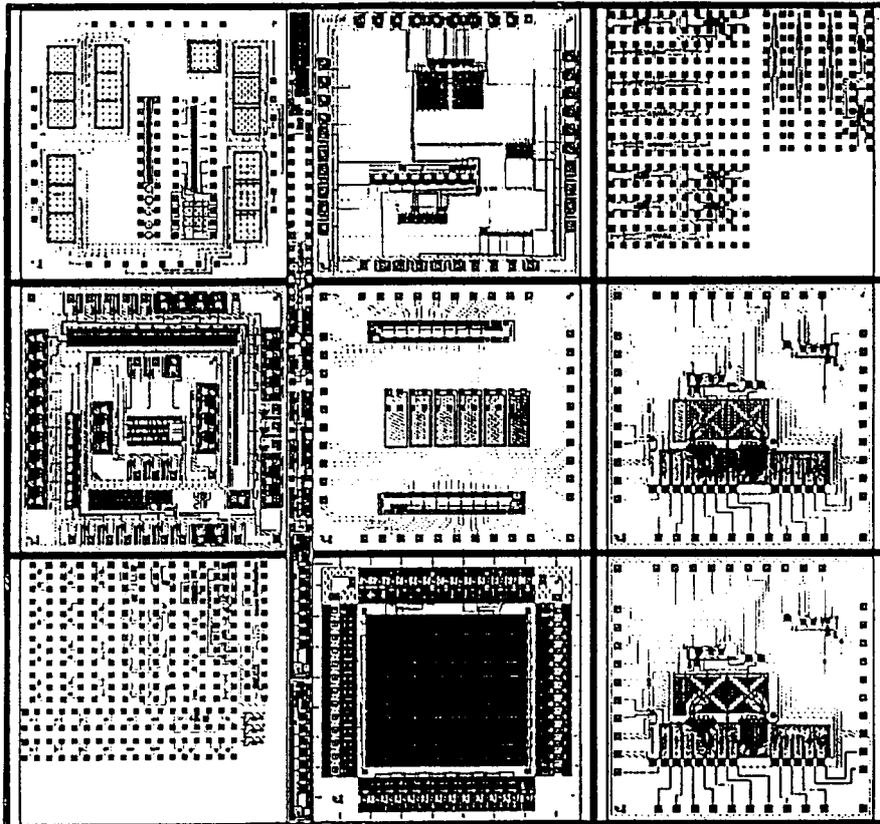


Bild 1 - Multi-Projekt-Wafer MPW7.

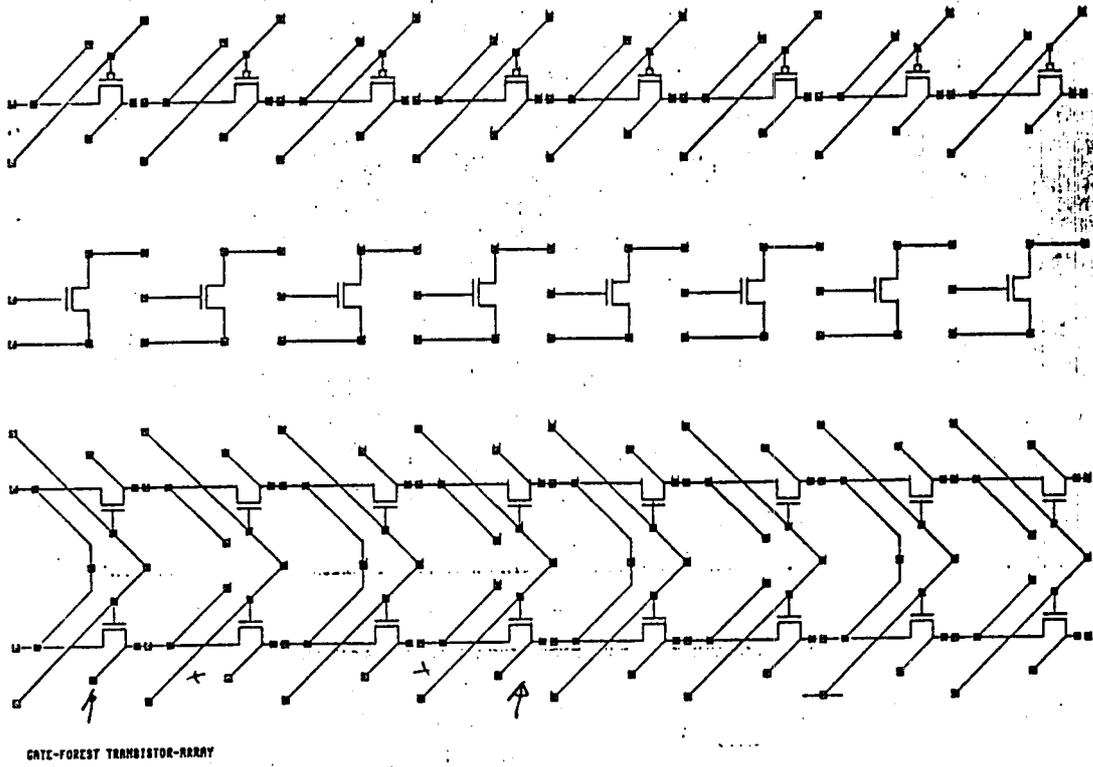


Bild 2 - Core-Zelle des IMS-Gate-Forest.

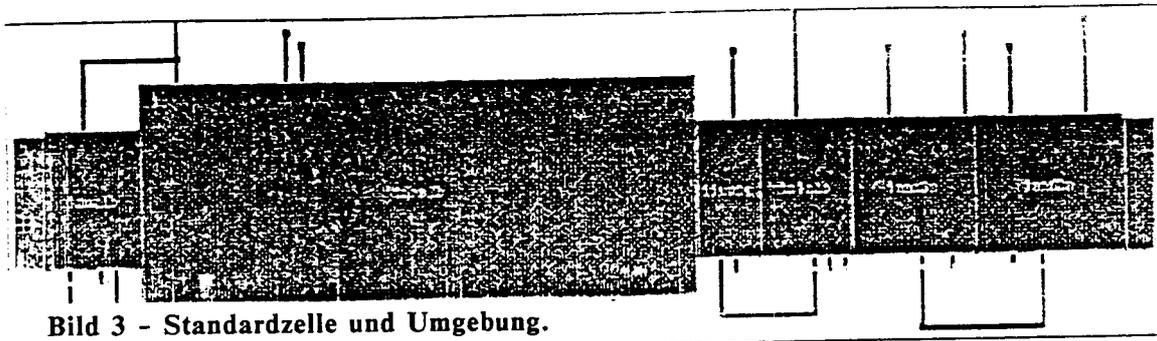


Bild 3 - Standardzelle und Umgebung.

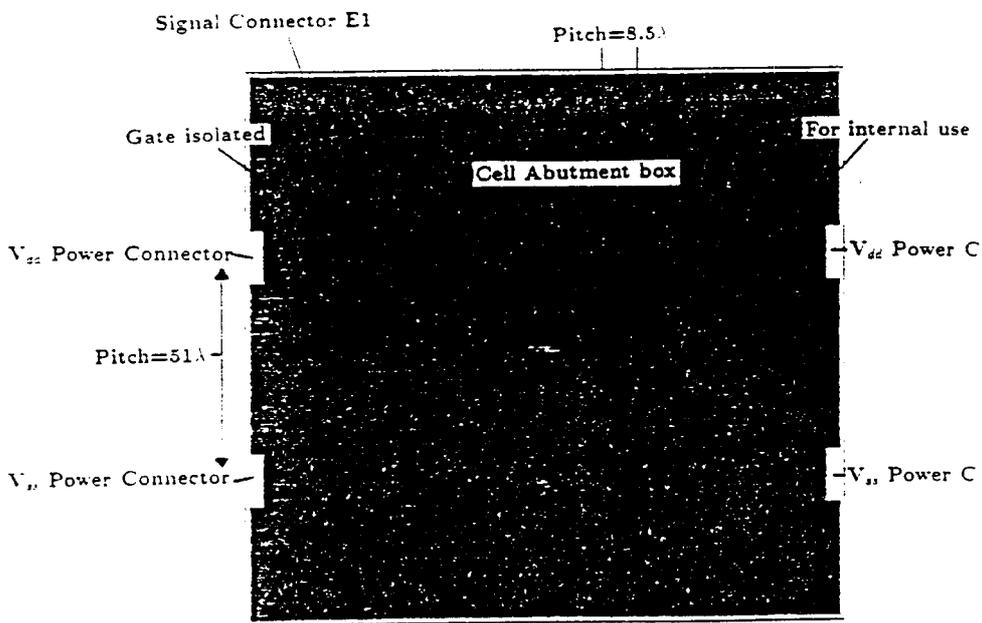


Bild 4 - Anschlußpins, Power und Ground.

Signal Connector E1

- GFxx.1
- GFxx.2
- GFxx.4
- GFxx.9S

Core	Col	Rows	Tr	Pads
12.0x12.0mm	347	51	280k	220
8.3x7.5mm	238	31	120k	144
5.2x5.2mm	149	22	53k	96
3.0x3.0mm	85	12	16k	56

Bild 5 - Gate-Forest im Überblick.

### • GATE-FOREST TAPE-IN

Tape-In ab	Type	die-size	Package
Nov.88	GFxx.1	13.32 x 13.32 mm	PGA257
Apr.89	GFxx.2	9.62 x 8.82 mm	PGA120
Feb.89	GFxx.4	6.65 x 6.55 mm	PGA72
Mär.89	GFxx.9S	4.30 x 4.30 mm	DIL40

Bild 6 - Tape-In 89.

INSTITUTE FOR MICROELECTRONICS STUTTGART  
ALLMANDRING 30A  
D-7000 STUTTGART, FEDERAL REPUBLIC GERMANY

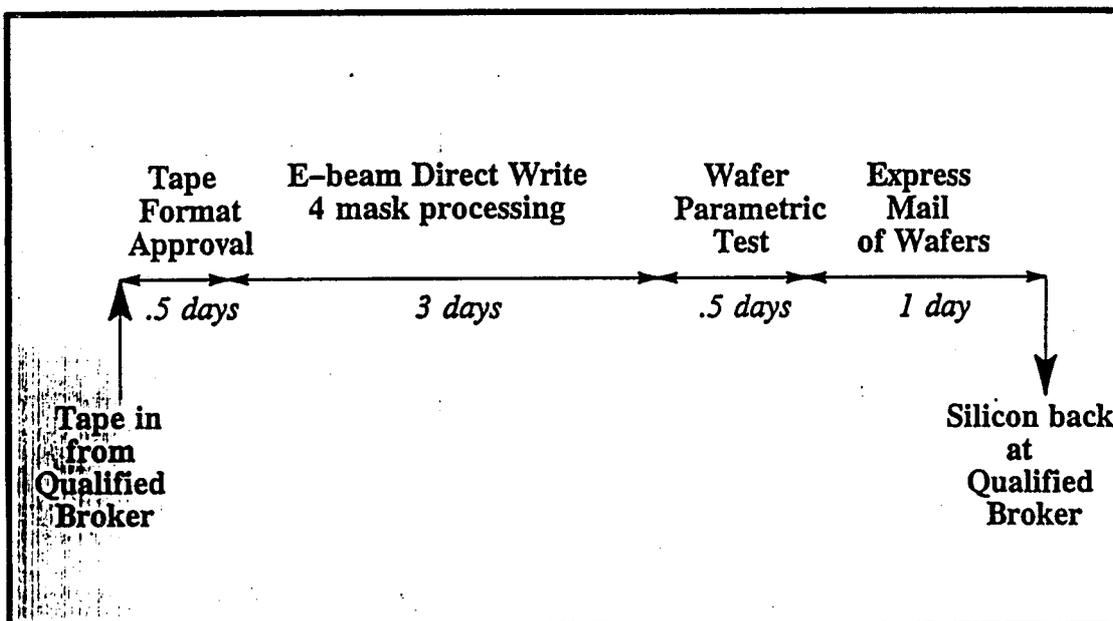
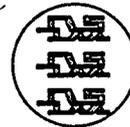


Bild 7 - IMS Express-Service für Prototypen.

-6- Literaturverzeichnis

- 1-           IMS Gate-Forest Semicustom Standardzellen  
              IMS-TB-03/88  
              Michiel A. Beunder et al
- 2-           IMS Lambda Design Rules  
              IMS-TB-04/87  
              Michiel A. Beunder
- 3-           Introduction to nMOS and CMOS VLSI Systems  
              Design  
              Amar Mukherjee  
              Prentice Hall, 1986
- 4-           Principles of VLSI Design  
              Weste und Eshragian,  
              Addison-Wesley, 1985
- 5-           SPICE-Analyseprogramm für elektronische  
              Schaltungen  
              H. Niehlinger, E. Höfer  
              Springer-Verlag 1985



## 2. ENTWURF EINES 4x4-BIT-MULTIPLIZIERERS MIT K I C B O X

J.Kuklinski, G.Kampe  
 Fachhochschule für Technik Esslingen  
 Labor CAD der Mikroelektronik

Anhand eines Multiplizierers werden die Schritte des Vollkunden-IC-Entwurfs mit KICBOX vorgestellt. Die Logiksimulation mit P/C-SILOS, die Schaltkreissimulation mit SPICE-2G und das Layout werden am einfachen Beispiel des Halbaddierers verdeutlicht. Zwei Zellen-Bibliotheken werden verglichen.

### 1 EINFÜHRUNG

Im Labor CAD der Mikroelektronik an der Fachhochschule für Technik Esslingen (FHTE) sind zwei CAD-Systeme zum Chip-Entwurf im Einsatz:

1. System VENUS der Firma SIEMENS für Standardzellen-Chips (Hardware: SIEMENS 7.530, 3 x Workstation SITEST300).  
 Dieses System dient im 5.Semester für die Studenten der Fachbereiche Nachrichtentechnik und Technische Informatik zur Einführung in den IC-Entwurf (jährlich 50 Studenten). Außerdem werden in Diplomarbeiten komplexere Chips entworfen.
2. System KICBOX der Universität Braunschweig, Institut Prof.Golze, für Vollkunden-Chips (Hardware: Microvax2, Tektronix 4115).  
 Dieses System bietet im CAD-Labor nur einen einzigen Arbeitsplatz und wird daher ausschließlich in Diplomarbeiten genutzt.

Der folgende Beitrag berichtet über den Entwurf eines 4x4-Bit-Multiplizierers mit KICBOX im Rahmen der Diplomarbeit von Herrn J.Kuklinski im Wintersemester 1988/89.

### 2 LOGIKPLAN

Bild 1 zeigt das Blockschaltbild des Multiplizierers mit den UND-Gliedern zur Bildung der Teilprodukte sowie mit den drei 4-Bit-Parallel-Addierern für die Addition dieser Teilprodukte.

Die Schaltung kann durch Hinzufügen weiterer 4 Addierer sowie entsprechender UND-Glieder problemlos zu einem 8x4-Bit-Multiplizierer erweitert werden. Diese Möglichkeit wird auch im Layout berücksichtigt.

Der Aufbau der 4-Bit-Parallel-Addierer ist in Bild 2 dargestellt, wobei im Hinblick auf die spätere Realisierung nur NAND-Glieder für die schnelle Übertragsbildung verwendet werden. Die im Parallel-Addierer enthaltenen Halbaddierer (H.A.) sollen im Folgenden als einfaches Beispiel für die Erläuterungen der Entwurfsmethode dienen.

### 3 LOGIKSIMULATION MIT P/C-SILOS

Da im System KICBOX kein Logiksimulator bereitgestellt wird, kommt der Logiksimulator P/C-SILOS auf IBM-PC zum Einsatz, wobei im vorliegenden Fall für den kompletten Multiplizierer sogar die DEMO-Version gerade noch ausreicht. Dabei werden die Verzögerungszeiten der Schaltglieder entsprechend der MPC-Zellenbibliothek (FH Furtwangen) berücksichtigt.

Der Halbaddierer tritt im Multiplizierer mehrfach auf, weswegen sich eine Vereinbarung als Makro anbietet, siehe Bild 3.

In Bild 4 ist der Eingabedatensatz für die Logiksimulation eines Halbaddierers angegeben. Er gliedert sich in Makrodefinition, Makroaufruf, Eingangssignalfolge (Signale A und B) sowie Festlegung der Ausgabe.

Bild 5 zeigt die tabellarische und die graphische Ausgabe. Zur Darstellung der graphischen Ausgabe genügt ein alphanumerischer Bildschirm. Bild 6 zeigt einen Ausschnitt aus dem Menu sowie die Symbole im Graphik-Modus. P/C-SILOS bildet 12 Signalzustände nach: 3 Logikwerte, kombiniert mit 4 Impedanzwerten der Signalquelle.

### 4 SCHALTUNGSTECHNIK UND LAYOUT

Das Institut für Mikroelektronik Stuttgart (IMS) fertigt für den Fachhochschul-Verbund Chips in CMOS-Technologie. Bild 7 zeigt im Vergleich die Schaltung des Halbaddierers in konventioneller CMOS-Technik sowie in der Transistor-sparenden Transfergate-CMOS-Technik. Die letztere wird im Layout realisiert, siehe Bild 8. Jede Kreuzung einer Polysiliziumbahn mit dem Diffusionsgebiet stellt einen Transistor dar. Neben der einzigen metallischen Verdrahtungsebene steht noch Polysilizium als weitere Ebene für Leiterbahnen zur Verfügung.

Das Layout wird mit dem KICBOX-Designrule-Checker überprüft. Anschließend kann eine automatische Schaltungs-Rückgewinnung erfolgen, wobei sowohl ein SPICE-Eingabedatensatz als auch ein Schaltplan (siehe Bild 8 unten) entsteht.

### 5 SCHALTKREISSIMULATION MIT SPICE

Zur Überprüfung des Zeitverhaltens werden Teile der Schaltung mit SPICE-2G auf dem Microvax-Rechner simuliert. Das KICBOX-Programm SPICEPLOT gestattet anschließend eine graphische Ausgabe am Tektronix-Bildschirm und am Plotter, siehe Bild 9.

Leider wurden am Microvax-Rechner bald die Grenzen der zulässigen Schaltungskomplexität erreicht, sodaß schon für die Simulation der Register der Einsatz des CRAY-2-Rechners der Universität Stuttgart erforderlich wurde. Dabei war uns freundlicherweise die Firma HIRSCHMANN in Esslingen behilflich.

## 6 DATEN ZUM CHIP

Bild 10 zeigt den Floorplan des Multiplizierers, wobei die Schaltung aus Bild 1 durch zwei Registerblöcke für Eingabe und Ausgabe ergänzt ist. Das Chip benötigt ohne die 22 Pads eine Fläche von  $3,15\text{mm}^2$  und hat 1172 Transistoren. Es wird als Teil eines Multi-Projekt-Chips (MPC) im Frühjahr 1989 am IMS in Stuttgart gefertigt. Das Testen wird dann mit dem IC-Tester an der Fachhochschule für Technik Esslingen erfolgen.

## 7 VERGLEICH VON ZELLENBIBLIOTHEKEN

Bild 11 zeigt eine Zusammenstellung von Zellen aus der VENUS-Bibliothek F (SIEMENS) sowie aus der MPC-Bibliothek (FH Furtwangen). Im Rahmen der vorliegenden Diplomarbeit wurden einige Ergänzungen der MPC-Bibliothek vorgenommen.

## 8 AUSBLICK

Für künftige Chip-Entwürfe mit KICBOX sollte vor allem ein leistungsfähiger automatischer Router zur Verfügung stehen, um die mühsame "Handverdrahtung" zu ersetzen.

Im Interesse einer weiteren Verbreitung von KICBOX in der Ausbildung wäre auch eine Portierung auf gängige Workstations wünschenswert, zumal es sich bei KICBOX um ein Hochschulprodukt handelt, welches bisher kostenfrei (!) zur Verfügung steht. Vielleicht könnte durch eine finanzielle Unterstützung die Weiterentwicklung von KICBOX beschleunigt werden. Der MPC-Verbund sollte ein entsprechendes Projekt mit der Universität Braunschweig vereinbaren.



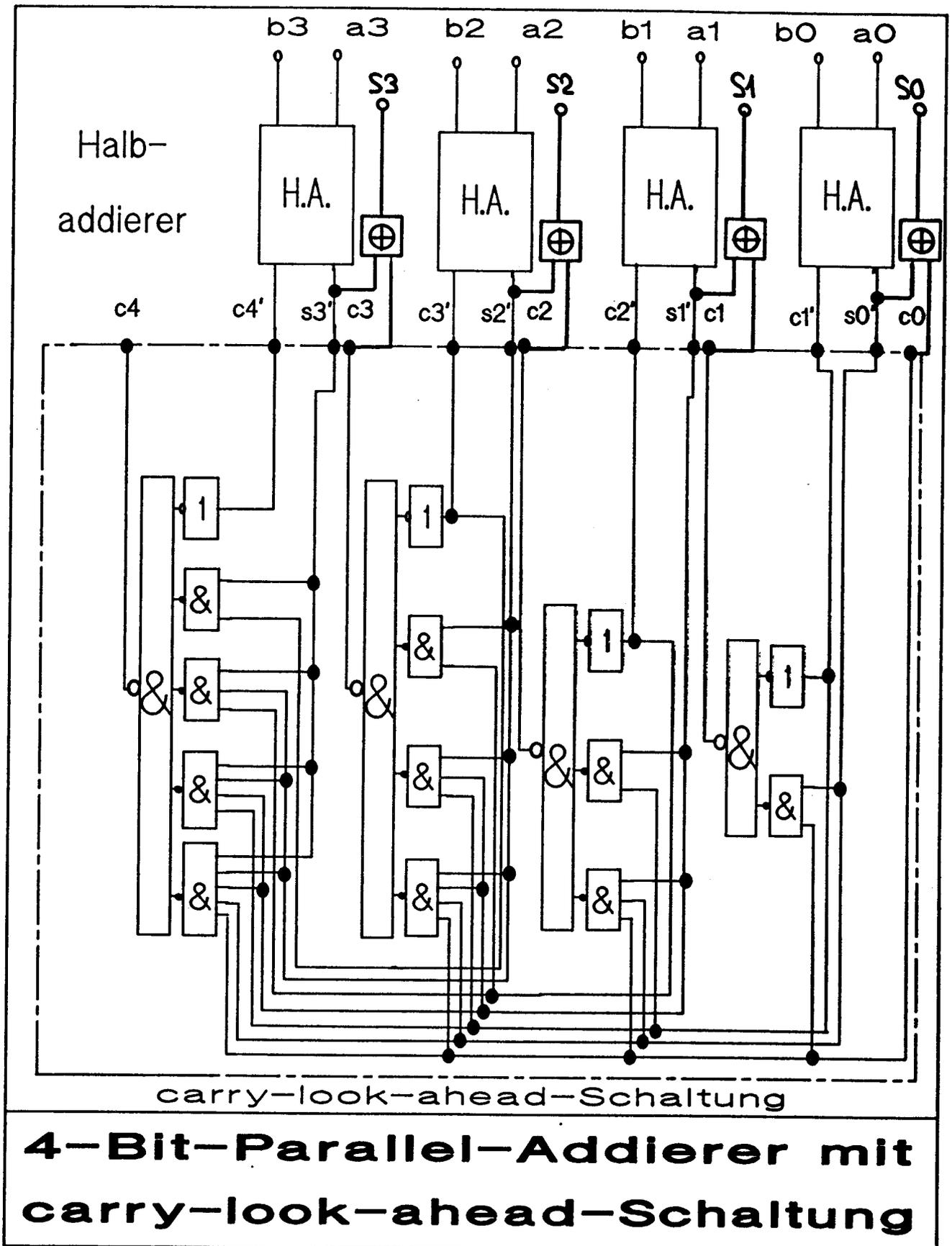
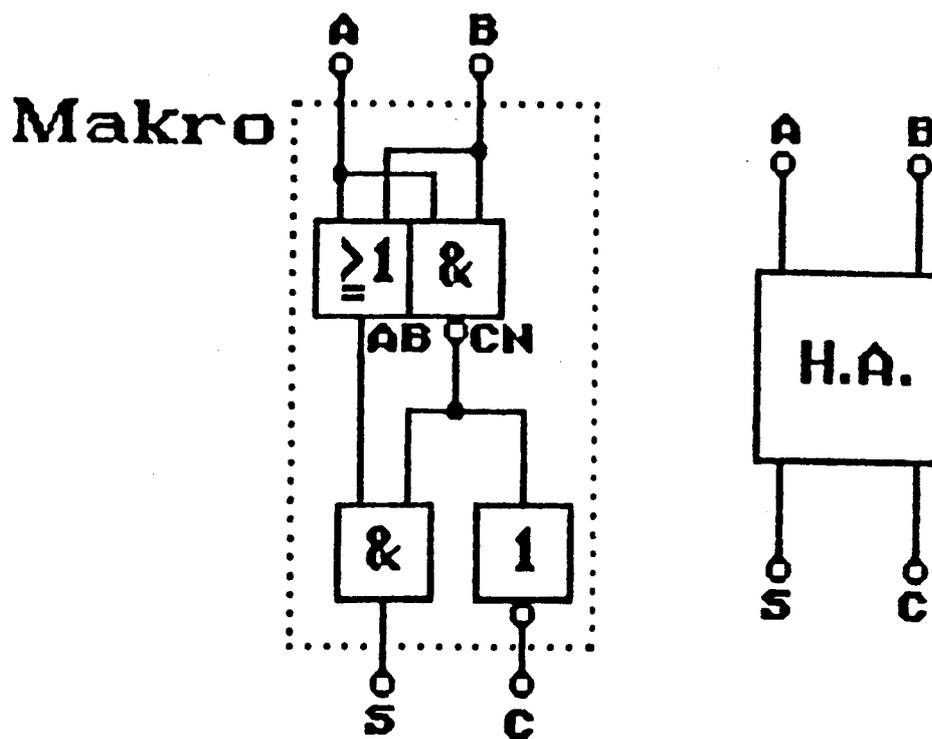


Bild 2

# Logiksimulation mit P/C-SILOS

## Beispiel: Halbaddierer



### Halbaddierer-Makro

```
.MACRO HADD A B S C
AB      .OR      A      B
CN      .NAND    A      B
S       .AND     AB     CN
C       .INV     CN
.EOM HADD
```

P/C-SILOS Eingabedatensatz und Logiksimulationsergebnisse

\$ P / C - S I L O S 3B.1 \* LIST 17:48:53 Oct 21, 1988

\$ File: HALBADD.DAT

H A L B A D D I E R E R

\$

.TITLE HALBADDIERER

.MACRO HADD A B S C

\$ HALBADDIERER-

AB .OR A B  
 CN .NAND A B  
 S .AND AB CN  
 C .INV CN

\$ MAKRO

.EOM HADD

\$

(HALBADDIERER HADD A B SUMME ÜBERTRAG

\$ MAKROAUFRUF

\$

A .CLK 0 0 10 1 20 0 30 1 40 0 .REP 0 \$ DEFINITION DER  
 B .CLK 0 0 20 1 40 0 .REP 0 \$ EINGANGSSIGNAL  
 \$ FOLGE

.MONITOR A ; B ;; SUMME ; ÜBERTRAG \$ SIGNALAUSGABE

.GRAPH A B ; SUMME ÜBERTRAG \$ GRAPHISCH

.TABLE A ; B ;; SUMME ; ÜBERTRAG \$ TABELLARISCH

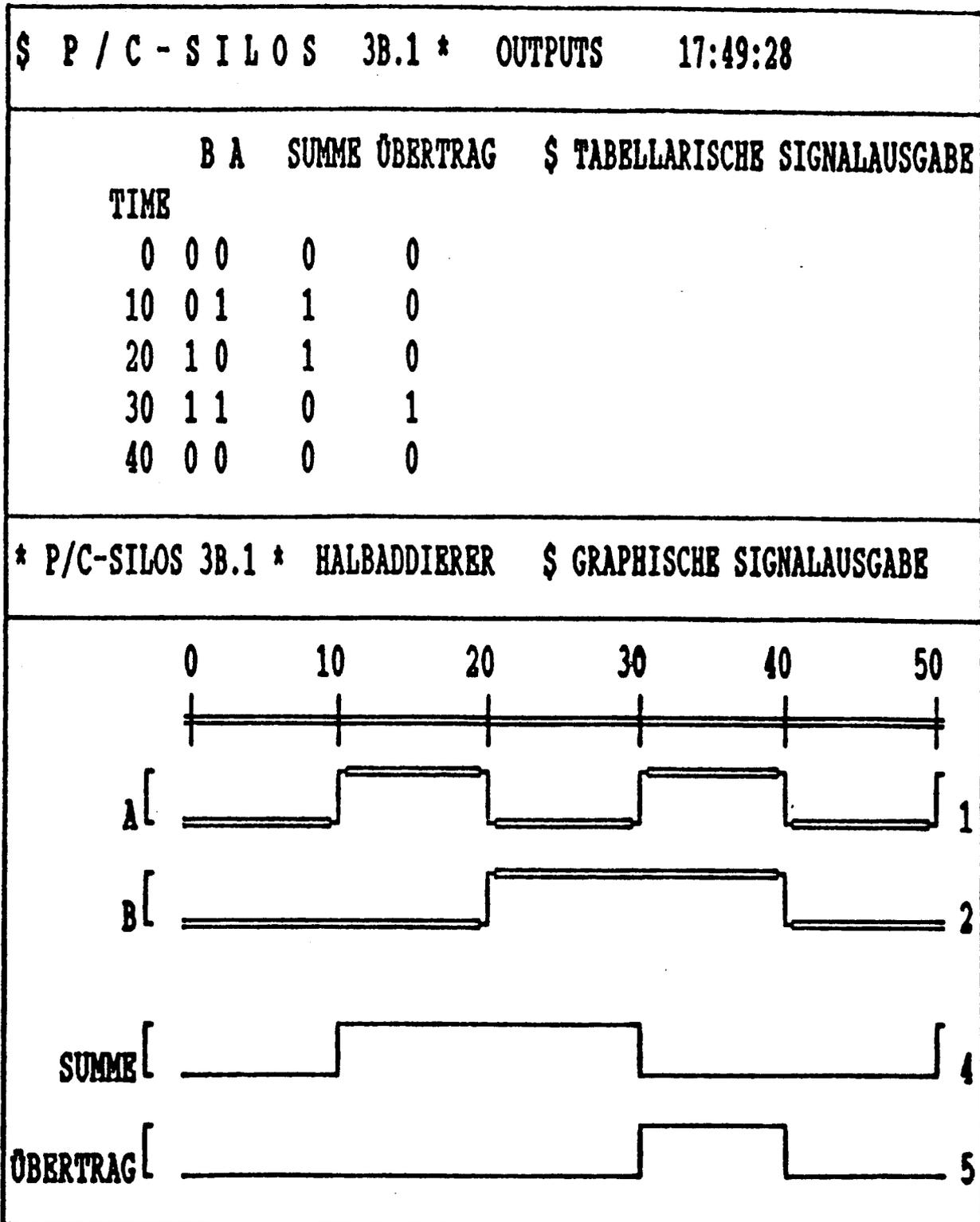
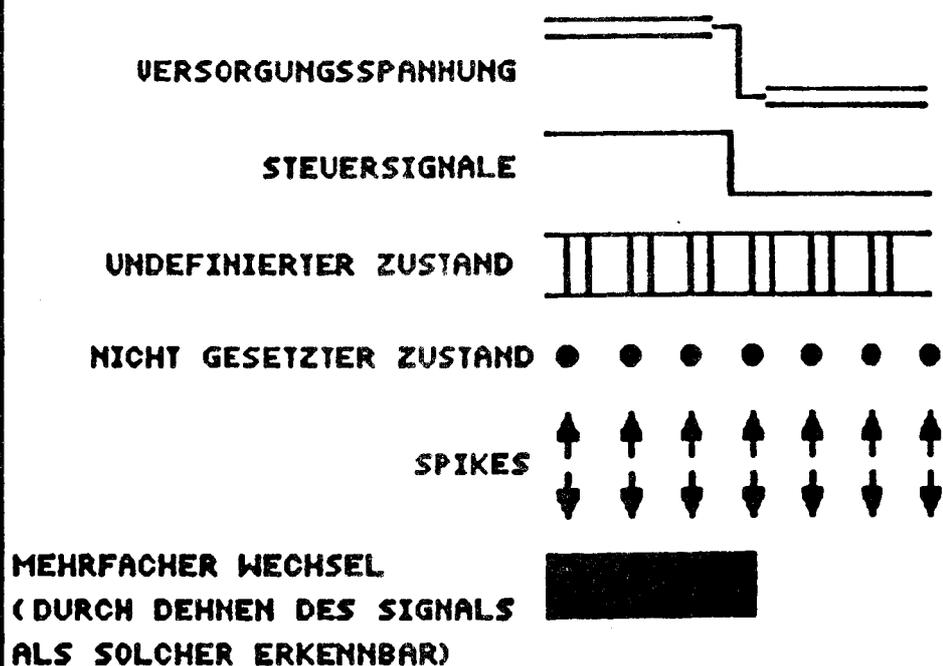


Bild 5

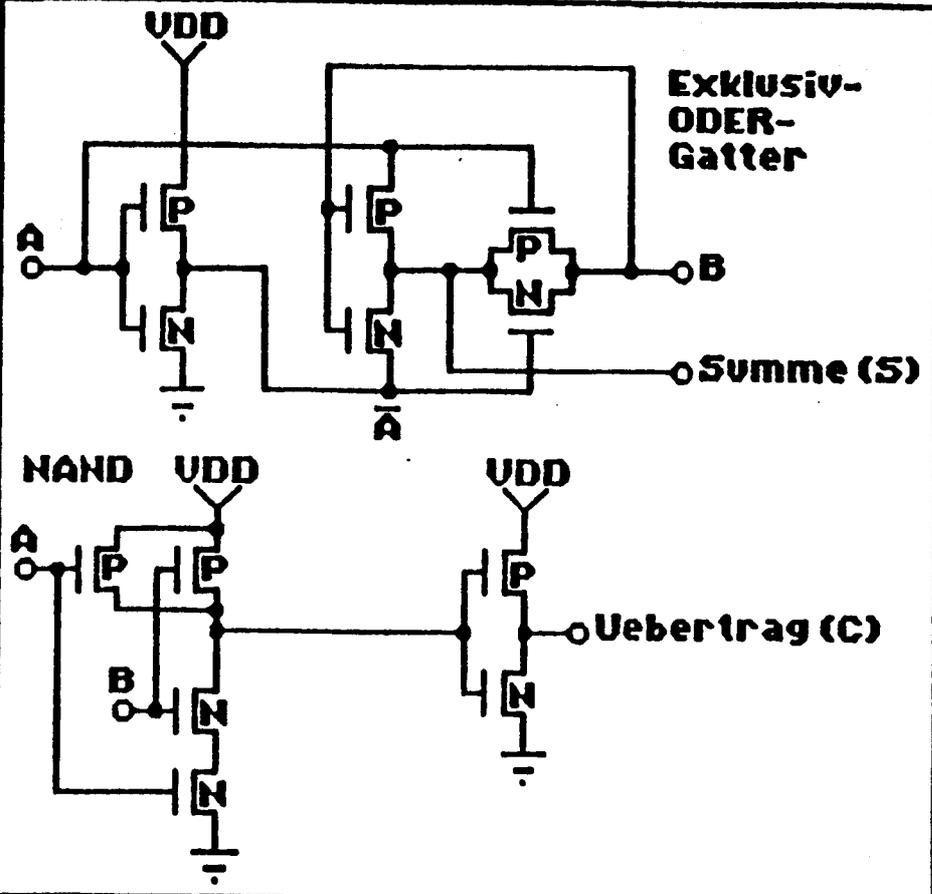
## MENÜ VOM P / C - S I L O S - GRAFIKMODUS (AUSSCHNITT)

Kommando:	Bedeutung:
In	Spannungsverlauf um den Default-Faktor $n=2$ dehnen
In n	Dehnung der Zeitachse um den Faktor "n"
Right	Sichtfenster wird um die halbe Bildschirmbreite nach rechts bewegt
Left	Sichtfenster wird nach links bewegt
Time 20	Der Zeitpunkt $t=20$ wird in die Bildschirmitte gesetzt.
Out n	Die Spannungsverläufe werden um den Faktor "n" komprimiert (Defaulteinstellung ist $n=2$ )
Up n	Bewegung der dargestellten Kurven um "n" Spannungsverläufe nach oben oder
Down n	nach unten (Default-Einstellung ist $n=10$ )

## Symbole im Grafikmodus



# Halbaddierer in Transferrgatter-Technik



# Konventioneller Technik

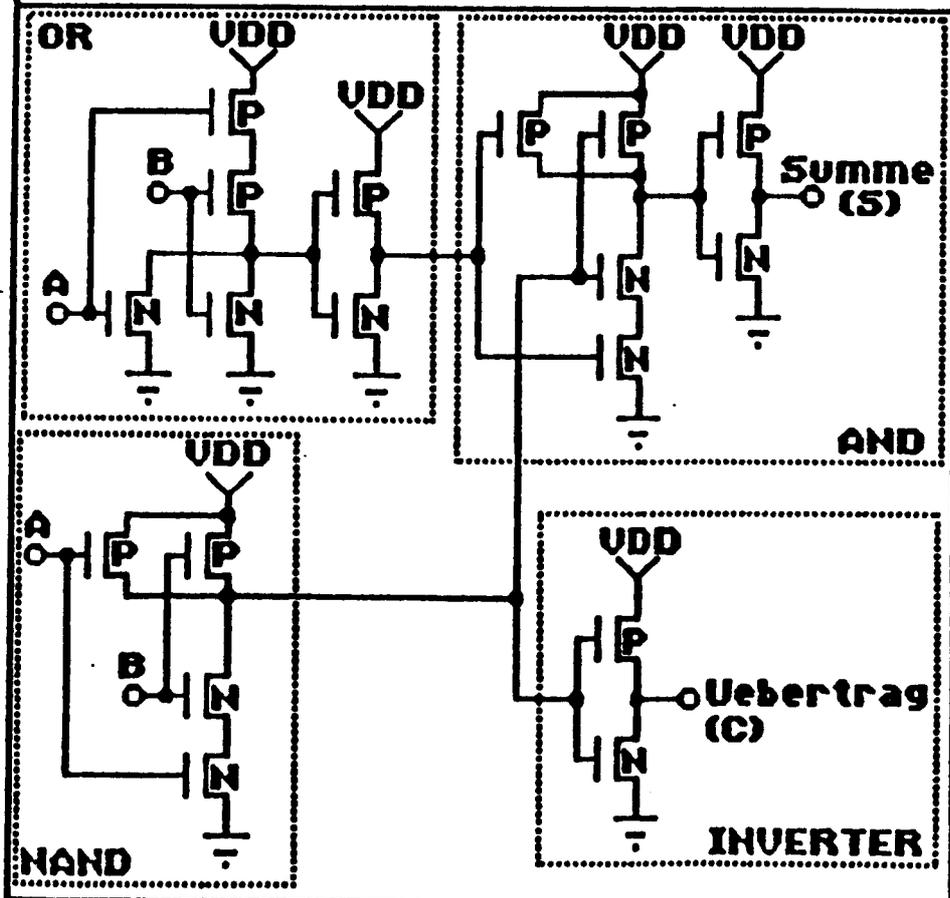


Bild 7

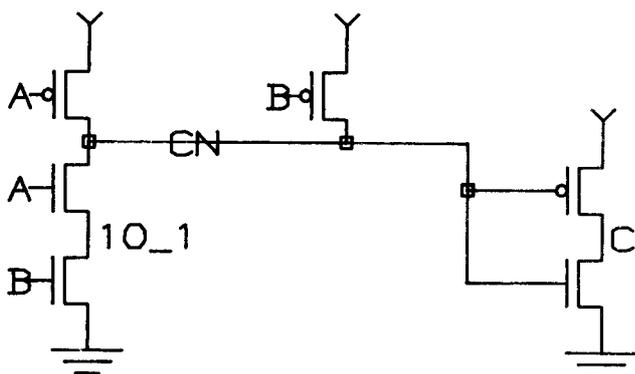
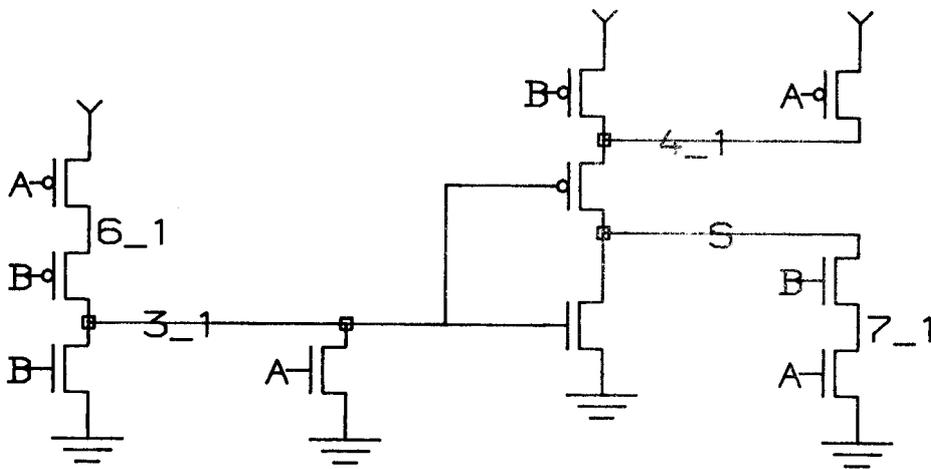
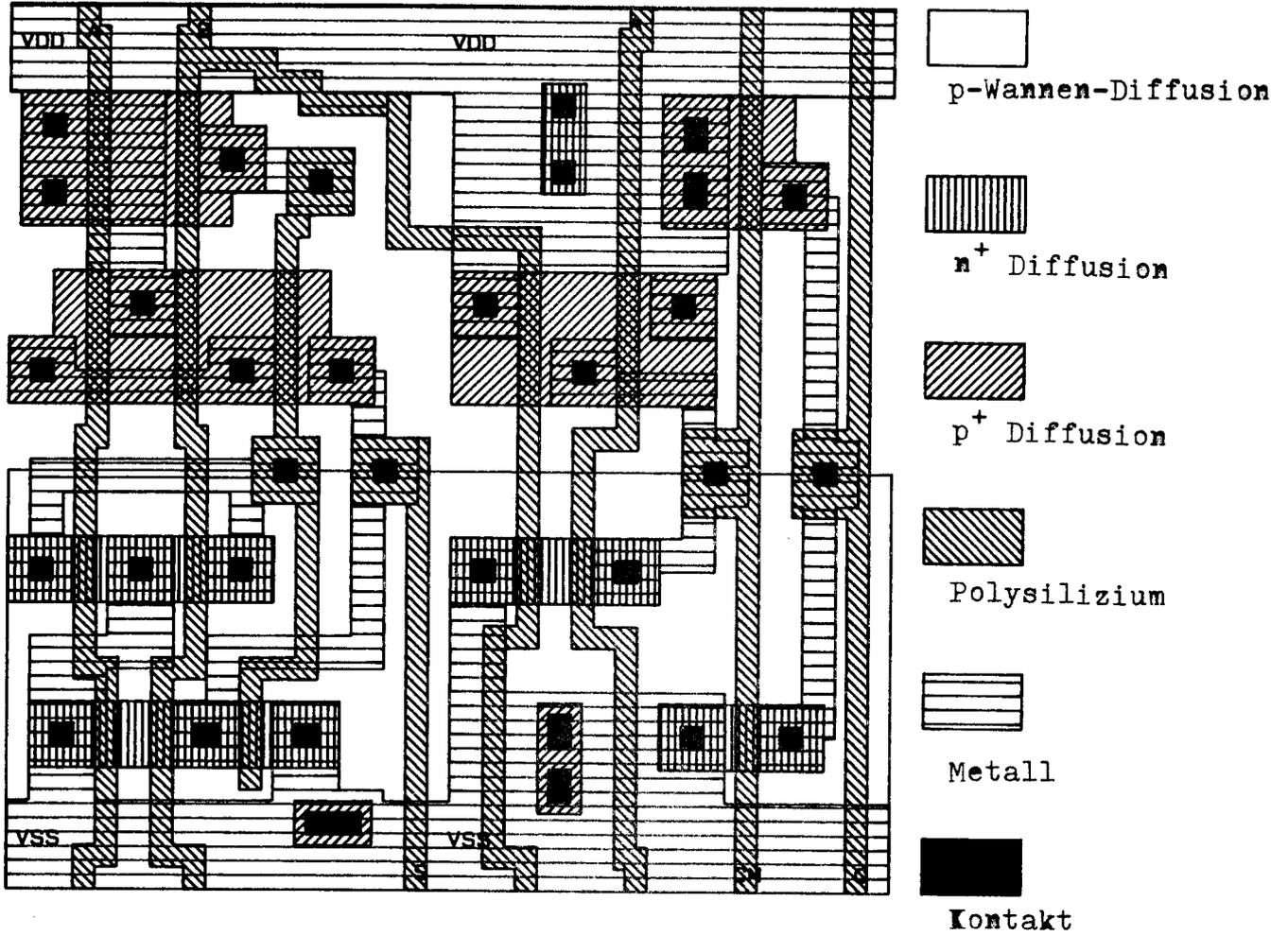


Bild 8

# SPICEPLOT

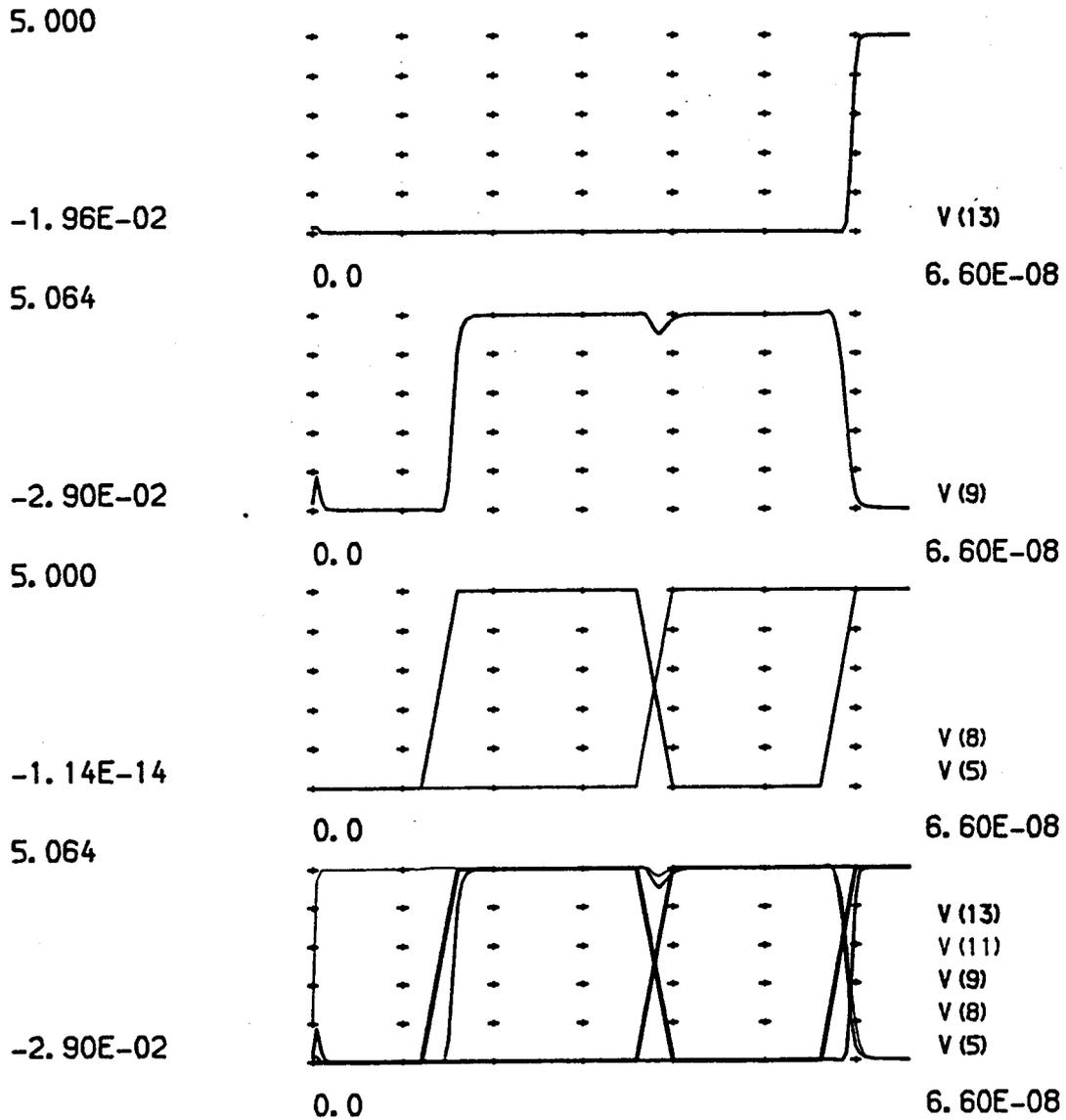
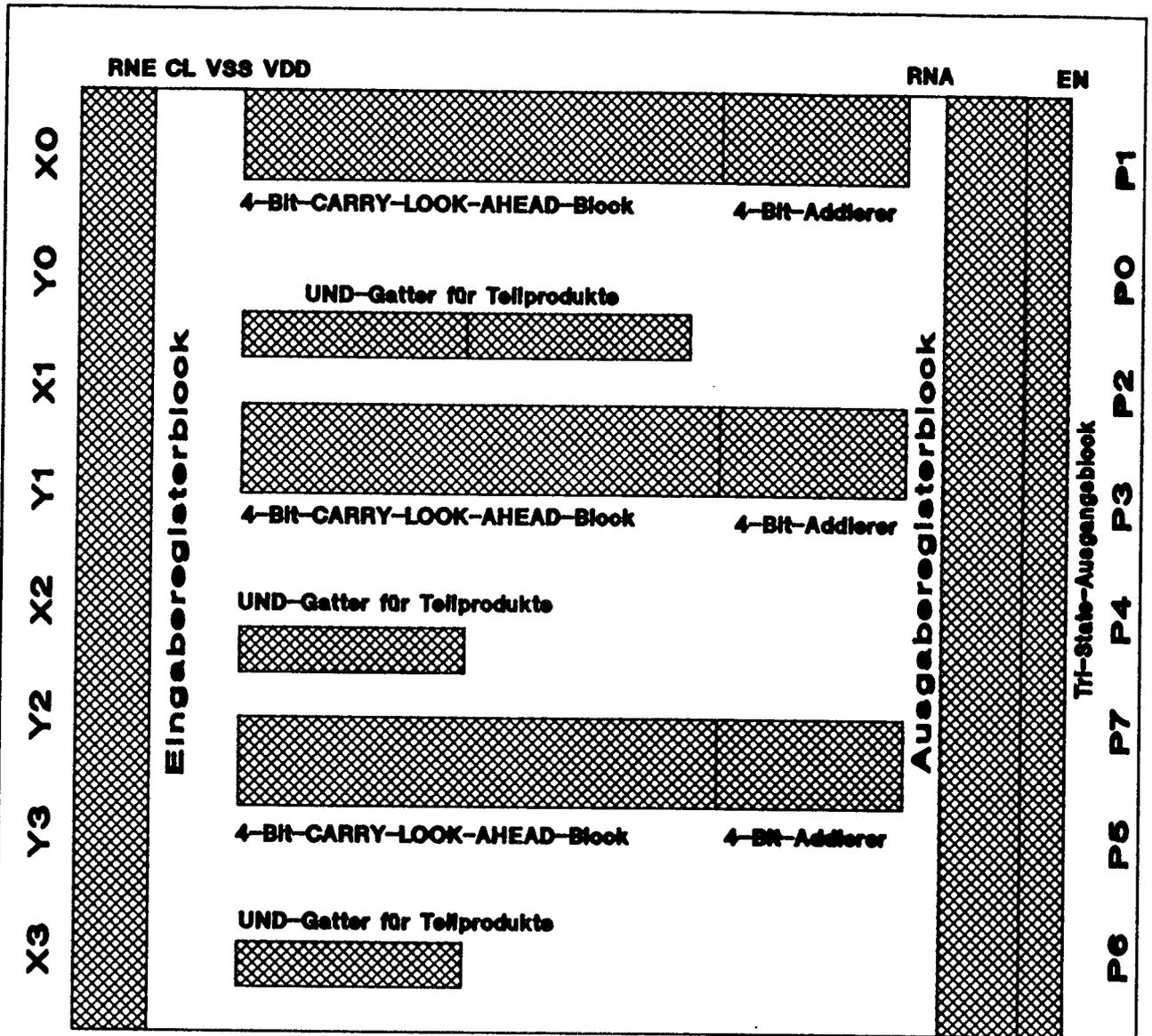
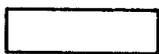


Bild 9



**Logikfläche = 41%**



**Verdrahtungsfläche = 59%**

} Chipfläche = 3.15mm<sup>2</sup>

**Anzahl der Transistoren = 1172**

**Anzahl der Anschlüsse = 22**

"Floorplan" für 4\*4-Bit-CMOS-Multiplizierer

Bild 10

<b>S T A N D A R D Z E L L E N - Ü B E R S I C H T</b>			
	<b>VENUS-Standardzellen</b>	<b>MPC-Standardzellen</b>	
<b>Entwurfswerzeug</b>	<b>VENUS</b>	<b>KICBOX</b>	
<b>Prozeß</b>	<b>Silizium Gate-, p-Wannen CMOS Prozeß</b>	<b>3-um Prozeß</b>	
	<b>2-um Prozeß</b>		
<b>Gateoxiddicke</b>	<b>40nm</b>	<b>40nm</b>	
<b>Verdrahtung</b>	<b>2 Metallebenen</b>	<b>1 Metallebene</b>	
<b>Zellengruppe:</b>	<b>VENUS-</b>	<b>MPC-</b>	<b>Ergänzungen</b>
	<b>Bibliothek F</b>	<b>Bibliothek</b>	
<b>AND/NAND</b>	<b>10</b>	<b>5</b>	<b>-</b>
<b>OR/NOR</b>	<b>10</b>	<b>5</b>	<b>-</b>
<b>AND-OR/AND-NOR</b>	<b>5</b>	<b>-</b>	<b>-</b>
<b>OR-AND/OR-NAND</b>	<b>5</b>	<b>-</b>	<b>-</b>
<b>EXOR/EXNOR</b>	<b>2</b>	<b>1</b>	<b>-</b>
<b>TRANSFERGATTER</b>	<b>-</b>	<b>-</b>	<b>1</b>
<b>MULTIPLEXER</b>	<b>7</b>	<b>1</b>	<b>-</b>
<b>DECODER/ENCODER</b>	<b>4</b>	<b>-</b>	<b>-</b>
<b>INVERTER/BUFFER</b>	<b>5</b>	<b>2</b>	<b>-</b>
<b>LATCH</b>	<b>4</b>	<b>1</b>	<b>2</b>
<b>D-FLIPPLOP</b>	<b>7</b>	<b>1</b>	<b>-</b>
<b>RS-FLIPPLOP</b>	<b>2</b>	<b>0</b>	<b>1</b>
<b>JK/T-FLIPPLOP</b>	<b>5</b>	<b>1</b>	<b>-</b>
<b>SCHIEBEREGISTER</b>	<b>9</b>	<b>-</b>	<b>4</b>
<b>ZÄHLER</b>	<b>7</b>	<b>-</b>	<b>-</b>
<b>ARITHMETISCHE ELEMENTE</b>	<b>5</b>	<b>1</b>	<b>2</b>

### 3. OP-Makromodell für korrekte Simulation des Gleichstromverhalten

Prof. Dr.-Ing. Horst Nielinger

#### 1. Einleitung

Obwohl es prinzipiell keine Schwierigkeiten bereitet, das Schaltbild eines integrierten Operationsverstärkers für die Eingabe eines Simulationsprogramms, z.B. PSPICE, aufzubereiten, scheitert die quantitative Analyse daran, daß die Modellparameter der 20-30 in einem Operationsverstärker verwendeten Transistoren nicht bekannt sind und auch durch Messungen an den Anschlüssen nicht bestimmt werden können. Selbst wenn vom Hersteller aller Modellparameter geliefert werden, so kommen z.B. bei Filtern mit mehreren Operationsverstärkern leicht Schaltungen mit über einhundert Transistoren zustande, die bei der Simulation zu Konvergenzproblemen und zu langen Rechenzeiten führen. Es ist deshalb wünschenswert, ein Ersatzschaltbild eines Operationsverstärkers zu haben, das möglichst alle Eigenschaften dieses wichtigen Bauelements der Analogtechnik unter Verwendung möglichst weniger Nichtlinearitäten (Rechenzeit) zu simulieren gestattet und dessen Parameter leicht durch Messungen an den Anschlüssen bzw. aus Datenblattangaben gewonnen werden können. Ein solches ausführliches Ersatzschaltbild nennt man Makromodell und ist erstmalig in [1] dargestellt worden. In [2] wurde im Rahmen eines hochschulnautischen Projekts dieses Makromodell näher untersucht, ausführlich erläutert und auf SPICE-Simulationen der wesentlichen Eigenschaften von Standard-Operationsverstärkern (nA741) angewendet. Wegen der technischen Bedeutung des Operationsverstärkers wurden die Ergebnisse von [2] in das Buch "SPICE" [3] aufgenommen.

Inzwischen hat die Personal-Computer-Version des Programms SPICE (PSPICE) weite Verbreitung gefunden [4]. Das Programm wird mit einer Bibliothek von verschiedenen Modellen für Bauelemente, unter anderem auch Operationsverstärker, ausgeliefert. Dieser Bibliothek liegt ein modifiziertes Makromodell nach der Originalveröffentlichung [1] zugrunde. In dem Interpretationsprogramm PARTS, das Modellparameter aus Datenblattangaben zu generieren gestattet, wird ebenfalls das modifizierte Makromodell verwendet.

Wie schon in [2] dargestellt, enthält das ursprüngliche Makromodell aus [1] einen Fehler bezüglich der Simulation des Gleichtaktverhaltens, der in der entsprechenden Bibliothek von PSPICE und in dem Programm PARTS ebenfalls auftaucht. Zweck dieses Aufsatzes ist es, eine sehr einfache Korrektur dieses Fehlers anzugeben und das modifizierte Makromodell etwas ausführlicher als in der Benutzeranleitung [4] zu erläutern.

## 2. Erläuterung des modifizierten OP-Makromodells

Bild 1 zeigt das Schaltbild des modifizierten OP-Makromodells, Bild 2 die zugehörige Modellbeschreibung der Teilschaltung (SUBCKT) des Operationsverstärkers ~~741~~ aus der Bibliothek OPNOM.LIB des Programms PSPICE.

In Bild 1 erkennt man unterschiedliche Teilschaltungen, die hier kurz diskutiert werden sollen. Da ist zunächst am Eingang ein Differenzverstärker, der dem tatsächlichen Eingangsteil eines Operationsverstärkers weitgehend entspricht. Damit können alle Effekte, die vom Eingang her bestimmt werden, wie Offset, Rauschen, Gleich- und Gegentaktaufteilung, realistisch simuliert werden. Die vollkommene Symetrie in den Widerständen und den Transistoren (gleiches Modell für Q1 und Q2 in Bild 2!) zeigt allerdings, daß auf die Modellierung von Offset-Erscheinungen verzichtet wurde. Der Differenzverstärker ist so ausgelegt, daß er bei tiefen Frequenzen die Verstärkung  $1$  liefert, d.h. es gilt

$$V_a = \Delta V_1 - \Delta V_2$$

Die eigentliche Verstärkung findet über lineare gesteuerte Quellen statt, die sich im mittleren Teil von Bild 1 befinden.

Der Fußpunkt des Differenzverstärkers (Knoten 99) ist mit einer gesteuerten Spannungsquelle verbunden, die bei einer unsymmetrischen Versorgung des Operationsverstärkers die Spannung des Fußpunktes und auch des Ausgangs auf das arithmetische Mittel der Versorgungsspannung anhebt. Bei symmetrischer Versorgung ist das arithmetische Mittel 0 und der Knoten 99 entspricht der Masse.

Die Spannungsquellen und Dioden am Ausgang dienen zur Simulation der Spannungsbegrenzung des Operationsverstärkers. Wird z.B. die Spannung am Knoten 5 größer als  $V_{CC} - V_C + V_{\text{Diode}}$ , so fließt ein Strom  $-I_C$  durch die Diode  $D_C$  und kompensiert in der mehrdimensionalen stromgesteuerten Stromquelle  $F_B$

die Wirkung des Stromes  $I_B$ , der die lineare Verstärkung repräsentiert und bei positiver Spannung am Ausgang negative Werte hat. Entsprechendes gilt bei großer negativer Spannung am Knoten 5!

Die scheinbar völlig getrennte Schaltung im unteren Teil von Bild 1 dient zur Simulation der Strombegrenzung des Operationsverstärkers. Der Strom  $I_{lim}$  durch die Spannungsquelle  $V_{lim}$  am Ausgang des Operationsverstärkers erzeugt über die stromgesteuerte Spannungsquelle  $H_{lim}$  eine proportionale Spannung. Ist die Spannung z.B. größer als  $V_{LP} + V_{Diode}$ , so fließt ein Strom  $I_{LP}$  durch die Diode  $D_{LP}$  und kompensiert in der mehrdimensionalen stromgesteuerten Stromquelle  $F_B$  die Wirkung des durch die lineare Verstärkung bedingten Stroms  $I_B$ . Entsprechendes gilt bei großem negativem Strom am Ausgang des Operationsverstärkers.

### 3. Gegentakt- und Gleichtaktverstärkung des Operationsverstärkers

Bild 3a zeigt einen Operationsverstärker, der beliebig unsymmetrisch versorgt wird und dessen Eingänge über eine Spannungsquelle  $V_m$  mit ~~Innenwiderstand  $R_i$~~  auf das arithmetische Mittel der Versorgungsspannungen gleichspannungsmäßig angehoben werden. Außerdem liegen an den Eingängen zwei beliebige Signalspannungsquellen  $\Delta V_1$  und  $\Delta V_2$ . Bild 2b zeigt die Zerlegung der Signalspannungen in Gleich- und Gegentaktkomponenten. Bild 2c zeigt die Definition der Gegentaktverstärkung  $a_{vd}$  (Differential Mode Gain), wobei die gleichspannungsmäßige Anhebung der Ausgangsspannung um  $V_m$  zu beachten ist. Bild 3d zeigt die Definition der Gleichtaktverstärkung  $a_{vc}$  (Common Mode Gain), wobei ebenfalls die Anhebung am Ausgang um  $V_m$  berücksichtigt ist.

Operationsverstärker sind so ausgelegt, daß ein großer Unterschied zwischen der Gegentakt- oder Gleichtaktverstärkung besteht, da die Nutzsignale im Gegentaktmodus anliegen, während die Störsignale im Gleichtaktmodus anfallen. Ein Qualitätsmerkmal für Operationsverstärker ist deshalb das Verhältnis der beiden Verstärkungen, das Common Mode Rejection Ratio genannt wird

$$CMRR = \frac{a_{vd}}{a_{vc}}$$

und typisch 90-100 dB beträgt.

#### 4. Fehlerhafter Offset bei der Simulation der Gegentaktverstärkung

Am Bild 1 liest man für tiefe Frequenzen ab, wenn die Gleichtaktkomponente

$$\frac{\Delta V_1 + \Delta V_2}{2} = 0 \text{ ist}$$

$$i_B = -G_a V_a$$

$$V_{out} = -P_1 \cdot i_B \cdot R_{O2}$$

Daraus folgt für die Gegentaktverstärkung bei tiefen Frequenzen

$$a_{vd} = \frac{V_{out}}{\frac{\Delta V_1 - \Delta V_2}{2}} = \frac{V_{out}}{V_a} = G_a \cdot P_1 \cdot R_{O2}$$

Mit den Zahlenwerten aus Bild 1 ergibt sich

$$a_{vd} = 200000$$

der typische Wert für den Operationsverstärker ~~AA~~741.

Bild 4 zeigt die Gleichspannungsübertragungskurve, die sich bei der Simulation der Schaltung in Bild 3c ergibt, wobei das Modell des Operationsverstärkers in Bild 2 verwendet wurde. Die zugehörige Eingabe für PSPICE zeigt Bild 5. Man sieht, daß die Steigung der Kurve im mittleren Teil die Gegentaktverstärkung richtig wiedergibt, daß aber am Ausgang ein Offset von etwa 4V erscheint. Dieser Offset ist bedingt durch ~~die~~ falschen Abgriffe der Gleichtaktkomponenten in dem in Bild 2 dargestellten OP-Makromodell. Die Stromquelle  $G_{cm}$  wird nämlich nicht wie in Bild 1 von der Spannung  $\frac{\Delta V_1 + \Delta V_2}{2}$ ,

sondern von der Spannung zwischen den Knoten 10 und 99, d.h. der Spannung an  $R_{EE}$  gesteuert. Signalmäßig ist zwar an dem Widerstand  $R_{EE}$  die Gleichtaktkomponente abzugreifen, zusätzlich mißt man aber am Knoten 10 eine Gleichspannungskomponente, die durch die Schwellspannungen der Basis-Emitterdioden der Eingangstransistoren bedingt ist. Diese Gleichspannungskomponente verursacht über die gesteuerte Stromquelle  $G_{cm}$  auch bei einer reinen Gegentaktaussteuerung wie in Bild 3c einen fehlerhaften Offset am Ausgang.

## 5. Korrektur des OP-Makromodells zur Vermeidung des fehlerhaften Offsets

Wie schon in Bild 1 dargestellt, wird die Gleichtaktkomponente nicht am Widerstand  $R_{EE}$  abgegriffen, sondern direkt aus den Eingangsspannungen  $V_1$  und  $V_2$  gemäß der Darstellung in Bild 3d errechnet und als steuernde Spannung für die gesteuerte Stromquelle  $G_{cm}$  verwendet. Formal muß dazu das Statement

$$\text{gcm } 0 \ 6 \ 10 \ 99 \ 5.961 \text{E-9}$$

in Bild 2 ersetzt werden durch das Statement

$$\text{gcm } 0 \ 6 \ \text{poly}(2) \ 1 \ 99 \ 2 \ 99 \ 0 \ 2.98\text{N} \ 2.98\text{N}.$$

Bild 6 zeigt die Simulation des Gleichtaktverhaltens gemäß Bild 3c, wobei das korrigierte OP-Makromodell verwendet wurde. Man sieht, daß kein Offset auftaucht und liest eine Gleichtaktverstärkung von

$$a_{vc} = \frac{25\text{V}}{4\text{V}} = 6.25$$

ab. Damit errechnet sich  $\text{CMRR} = \frac{200000}{6.25} = 32000 \approx 90\text{dB}$

## 6. Zusammenfassung und Schluß

Es wurde das auf beliebige unsymmetrische Versorgungsspannungen erweiterte OP-Makromodell aus [1] erläutert und auf einen Fehler bei der Simulation des Gleichtaktverhaltens hingewiesen. Eine Korrektur des Fehlers wurde angegeben. Die grundsätzliche Leistungsfähigkeit des OP-Makromodells ist ausführlich in [1] und [2] diskutiert.

**LITERATUR:**

- 1 Boyle, G.R. et al: Macromodeling of Integrated Circuit Operational Amplifiers. IEEE Journal of Solid-State Circuits Vol. SC-9, No. 6, Dec. 1974, p353-363
- 2 Nielinger, H.: Ein begleitendes simuliertes Labor zu einer Vorlesung "Elektronische Grundschaltungen" unter Verwendung von Makro-Modellen für Operationsverstärker. Beiträge zur Hochschuldidaktik der Fachhochschulausbildung. Report 11, Furtwangen, Karlsruhe 1978
- 3 Hoefler, E.E.E., Nielinger, H.: SPICE-Analyseprogramme für elektronische Schaltungen. Springer Verlag, Berlin, Heidelberg, New York, Tokyo 1985
- 4 Micro Sim Corp. PSPICE-Manual 1988

**BILDUNTERSCHRIFTEN:**

- Bild 1 Modifiziertes OP-Makromodell
- Bild 2 PSPICE-Subcircuit für den OP  $\mu$ A741
- Bild 3 Gleich- und Gegentaktbetrieb bei einem OP
- Bild 4 Gleichspannungsübertragungskurve bei Gegentaktbetrieb  
(fehlerhaftes Makromodell!)
- Bild 5 PSPICE-Eingabe zu Bild 4
- Bild 6 Gleichspannungsübertragungskurve bei Gleichtaktbetrieb  
(korrigiertes Makromodell!)

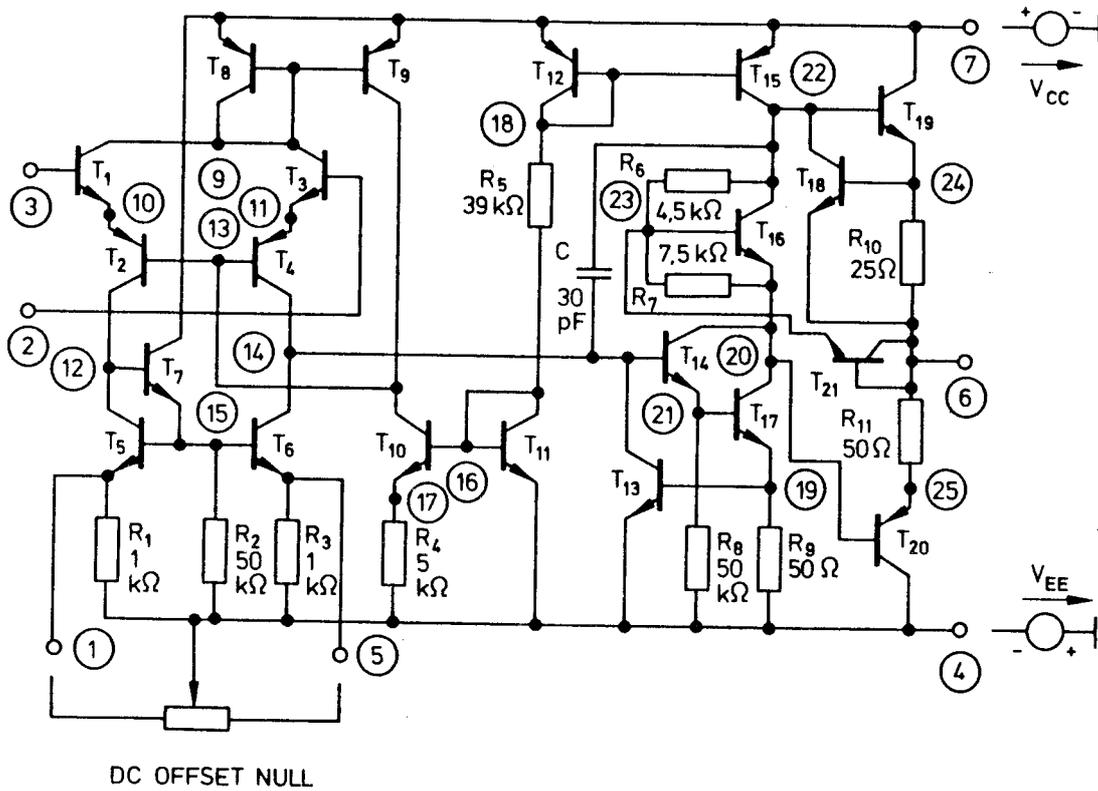
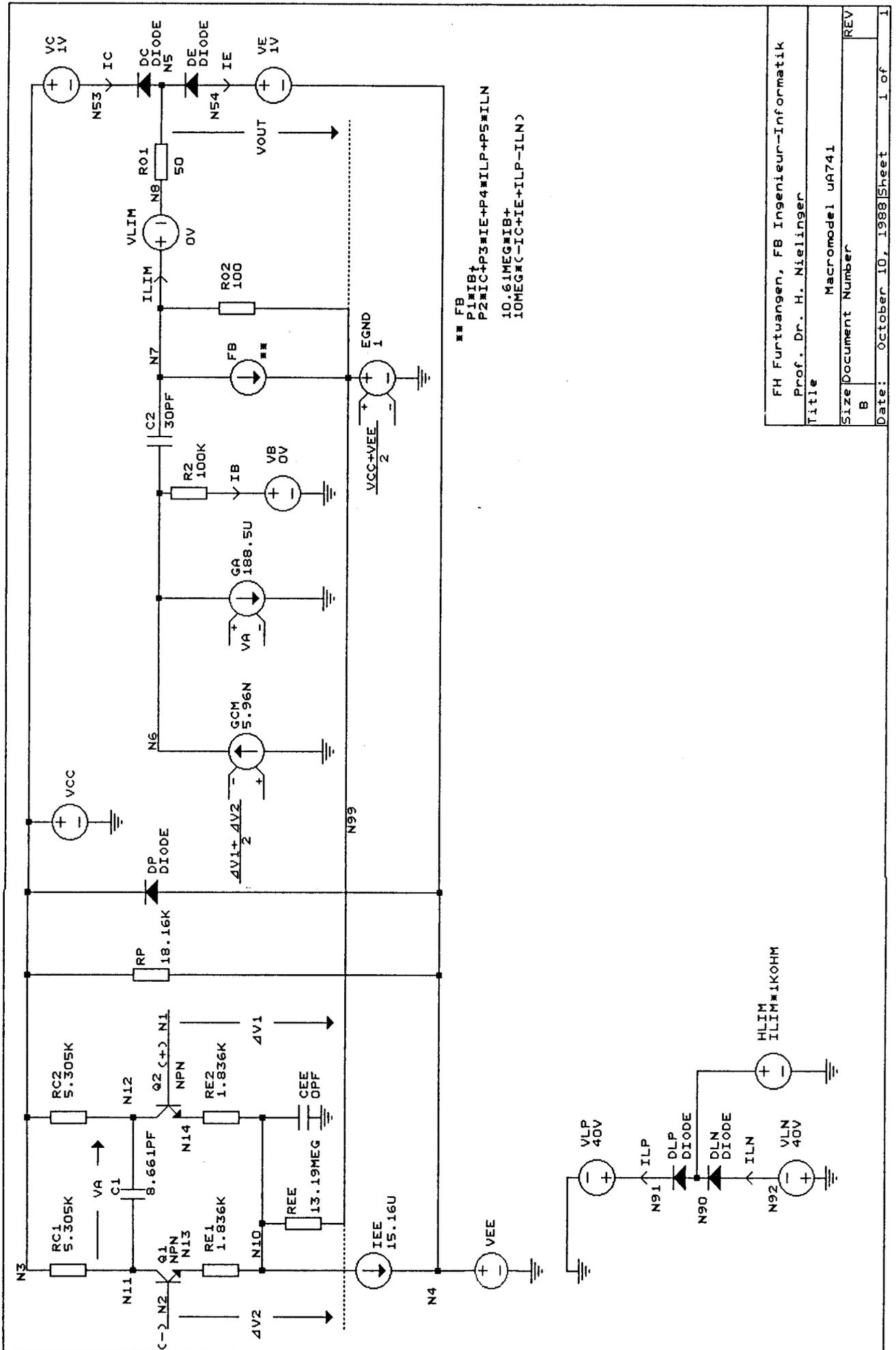


Bild 5.3 : Schaltbild des Operationsverstärkers uA741 (Device-Modell)



\*\* FB  
 P1\*IB+  
 P2\*IC+P3\*IE+P4\*ILP+P5\*ILN  
 10.61MEG\*IB+  
 10MEG\*(C-IC+IE+ILP-ILN)

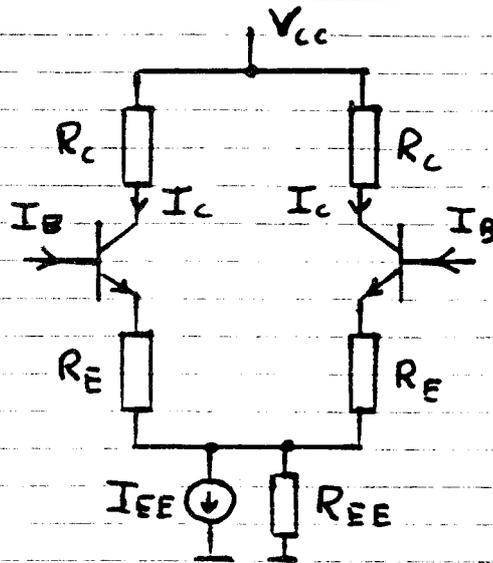
FH Furtuangen, FB Ingenieur-Informatik	
Prof. Dr. H. Nielinger	
Title	
Macromodel uA741	
Size	Document Number
B	
Date:	October 10, 1988 Sheet 1 of 1
REV	

```

* connections:  non-inverting input
*               | inverting input
*               | | positive power supply
*               | | | negative power supply
*               | | | | output
*               | | | | |
.subckt uA741  1 2 3 4 5
*
c1  11 12 8.661E-12
c2  6 7 30.00E-12
dc  5 53 dx
de  54 5 dx
dlp 90 91 dx
dln 92 90 dx
dp  4 3 dx
egnd 99 0 poly(2) (3,0) (4,0) 0 .5 .5
fb  7 99 poly(5) vb vc ve vlp vln 0 10.61E6 -10E6 10E6 10E6 -10E6
ga  6 0 11 12 188.5E-6
gcm 0 6 10 99 5.961E-9
iee 10 4 dc 15.16E-6
hlim 90 0 vlim 1K
q1  11 2 13 qx
q2  12 1 14 qx
r2  6 9 100.0E3
rc1 3 11 5.305E3
rc2 3 12 5.305E3
re1 13 10 1.836E3
re2 14 10 1.836E3
ree 10 99 13.19E6
ro1 8 5 50
ro2 7 99 100
rp  3 4 18.16E3
vb  9 0 dc 0
vc  3 53 dc 1
ve  54 4 dc 1
vlim 7 8 dc 0
vlp 91 0 dc 40
vln 0 92 dc 40
.model dx D(Is=800.0E-18)
.model qx NPN(Is=800.0E-18 Bf=93.75)
.ends
*

```

## Gleichströme u. Arbeitspunkt beim Differenzverstärker



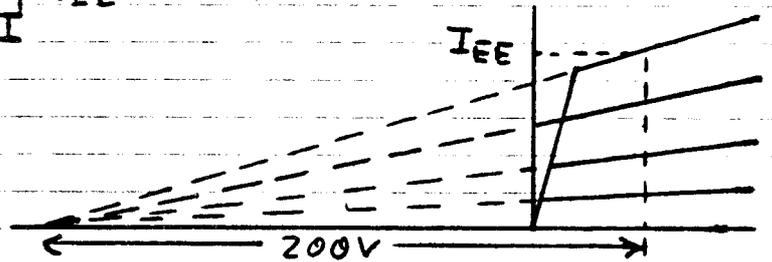
$$R_{EE} = \frac{200V}{I_{EE}}$$

$$I_{EE} = 2I_C + 2I_B$$

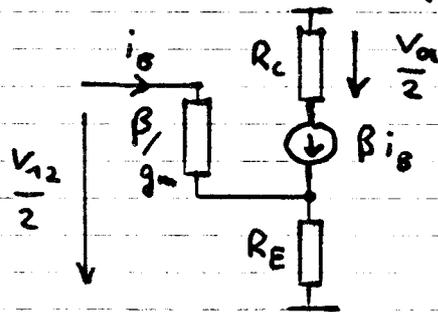
$$\beta = \frac{I_C}{I_B}$$

$$\frac{1}{g_m} = \frac{V_T}{I_C} \quad (V_T = 25,85 \text{ mV bei } 300 \text{ K})$$

$$I_C = I_S e^{V_{BE}/V_T} \quad (I_S = 800 \cdot 10^{-18} \text{ A}) \rightarrow I_C = 0,8 \text{ mA bei } V_{BE} = 714 \text{ mV}$$



## Gegentaktverstärkung des Differenzverstärkers

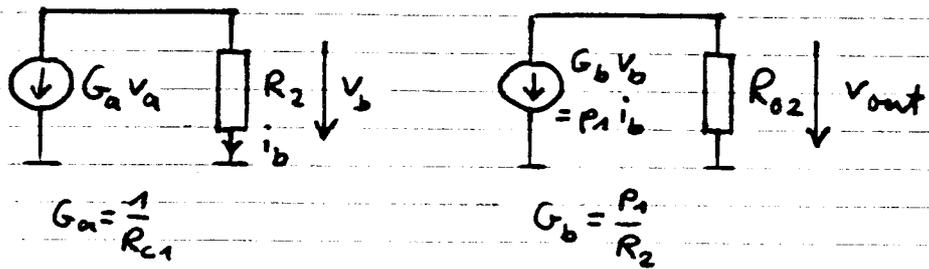


$$\frac{V_{12}}{2} = \frac{\beta i_B}{g_m} + (\beta + 1) i_B R_E$$

$$\frac{V_a}{2} = \beta i_B R_C$$

$$\frac{V_a}{V_{12}} \stackrel{!}{=} 1 = \frac{\beta i_B R_C}{\frac{\beta i_B}{g_m} + (\beta + 1) i_B R_E} \rightarrow \underline{\underline{R_E = \frac{\beta}{\beta + 1} \left( R_C - \frac{1}{g_m} \right)}}$$

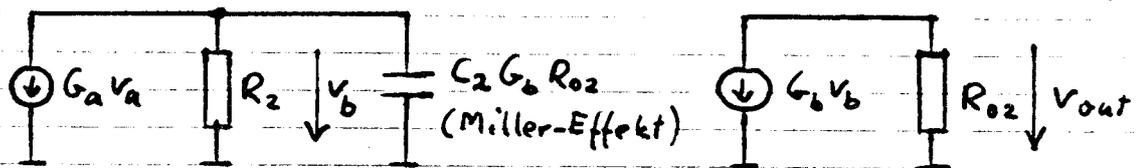
## Gegentaktverstärkung bei tiefen Frequenzen



$$v_{out} = -G_b v_b R_{o2} = +G_b G_a v_a R_2 R_{o2}$$

$$a_{VD} = \frac{v_{out}}{v_a} = G_b G_a R_2 R_{o2} = G_b \frac{R_2 R_{o2}}{R_{c1}}$$

## Gegentaktverstärkung bei höheren Frequenzen



$$v_{out} = -G_b v_b R_{o2} = +G_b R_{o2} \frac{G_a v_a}{\frac{1}{R_2} + j\omega C_2 G_b R_{o2}}$$

$$\frac{v_{out}}{v_a} = \frac{G_b G_a R_2 R_{o2}}{1 + j\omega C_2 G_b R_2 R_{o2}} = \frac{a_{VD}}{1 + j\omega C_2 R_{c1} a_{VD}}$$

$$\text{Für } \omega \gg \omega_{3dB} \longrightarrow \left| \frac{v_{out}}{v_a} \right| = \frac{1}{\omega C_2 R_{c1}}$$

$$\text{Für } \omega = \omega_{0dB} \longrightarrow \left| \frac{v_{out}}{v_a} \right| \stackrel{!}{=} 1 = \frac{1}{\omega_{0dB} C_2 R_{c1}}$$

$$\omega_{0dB} = \frac{1}{C_2 R_{c1}}$$

## Berücksichtigung des zweiten Pols

$$\frac{V_a}{V_{i2}} = \frac{1}{1 + j\omega C_1 \cdot 2R_{c1}}$$

$$\frac{V_{out}}{V_{i2}} = \frac{V_{out}}{V_a} \cdot \frac{V_a}{V_{i2}} = \frac{a_{VD}}{1 + j\omega C_2 R_{c1} a_{VD}} \cdot \frac{1}{1 + j\omega C_1 \cdot 2R_{c1}}$$

Für  $\omega = \omega_{0dB}$

$$\frac{V_{out}}{V_{i2}} = \frac{-j}{1 + j\omega_{0dB} C_1 \cdot 2R_{c1}} = \frac{-j}{1 + j \frac{2C_1}{C_2}}$$

Mit  $\Delta\phi$  als Abweichung von  $-90^\circ$  (bedingt durch 1. Pol) gilt:

$$\Delta\phi = \arctan \frac{2C_1}{C_2} \rightarrow \underline{\underline{C_1 = \frac{C_2}{2} \cdot \tan \Delta\phi}}$$

## Slew Rate

Übersteuerung am +-Eingang:

$$V_a = 2I_c \cdot R_{c1}$$

Da  $v_{out}$  praktisch an  $C_2$  wirksam ist, gilt:

$$\frac{dV_{out}}{dt} \cdot C_2 = G_a \cdot V_a = 2I_c$$

$$\underbrace{\quad}_{SR} \quad \underline{\underline{I_c = \frac{SR}{2} \cdot C_2}}$$

## Gleichtaktverstärkung bei tiefen Frequenzen



$$a_{VC} = \frac{V_{out}}{\frac{\Delta V_1 + \Delta V_2}{2}} = -G_{cm} R_2 G_b R_{02} = -\frac{G_{cm}}{G_a} a_{VD}$$

$$\underline{\underline{CMRR = \left| \frac{a_{VD}}{a_{VC}} \right| = \frac{G_a}{G_{cm}} = \frac{1}{R_{c1} G_{cm}}}}$$

## Bestimmung der Modellparameter aus Datenblattangaben

Datenblatt:  $SR = 0,5 \text{ V}/\mu\text{s}$ ;  $C_2 = 30 \text{ pF}$ ;  $I_B = 80 \text{ nA}$

Modellparameter:  $I_C = SR \cdot C_2 / 2 = \underline{\underline{7,5 \mu\text{A}}}$

$$I_{EE} = 2I_C + 2I_B = \underline{\underline{15,16 \mu\text{A}}}$$

$$R_{EE} = 200 \text{ V} / I_{EE} = \underline{\underline{13,19 \text{ M}\Omega}}$$

$$\beta = I_C / I_B = \underline{\underline{93,75}}$$

$$\frac{1}{g_m} = \frac{V_T}{I_C} = \underline{\underline{3,467 \text{ k}\Omega}}$$

Datenblatt:  $f_{0dB} = 1 \text{ MHz}$ ;  $\Delta\phi = 30^\circ$

Modellparameter:  $R_{C1} = R_{C2} = \frac{1}{2\pi f_{0dB} C_2} = \underline{\underline{5,305 \text{ k}\Omega}}$

$$R_{E1} = R_{E2} = \frac{\beta}{\beta+1} \left( R_{C1} - \frac{1}{g_m} \right) = \underline{\underline{1,838 \text{ k}\Omega}}$$

$$C_1 = \frac{C_2}{2} \tan \Delta\phi = \underline{\underline{8,66 \text{ pF}}}$$

Datenblatt:  $P_d = 50 \text{ mW}$ ;  $R_{outdc} = 150 \Omega$ ;  $R_{outac} = 50 \Omega$

Modellparameter:  $R_p = \frac{(V_{CC} - V_{EE})^2}{P_d - 2I_C V_{CC} + I_{EE} \cdot V_{EE}} = \underline{\underline{18,16 \text{ k}\Omega}}$

$$R_{o1} = R_{outac} = \underline{\underline{50 \Omega}}$$

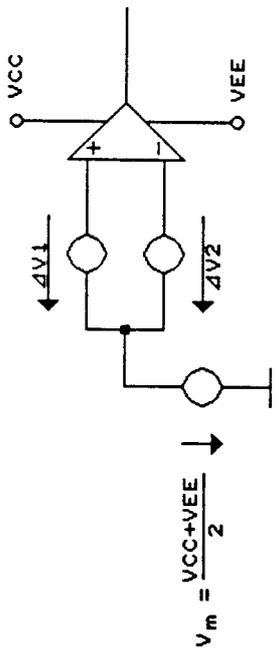
$$R_{o2} = R_{outdc} - R_{outac} = \underline{\underline{100 \Omega}}$$

Datenblatt:  $\alpha_{VD} = 200000$ ;  $R_2 = 100 \text{ k}\Omega$  (Vorgabe!)

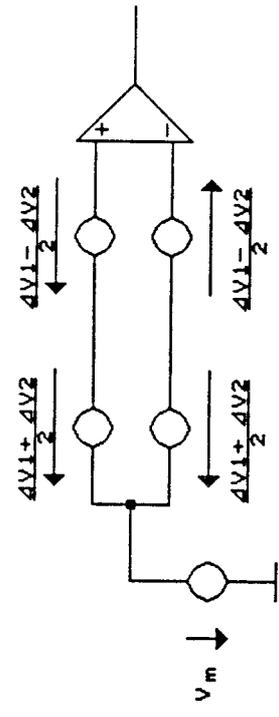
Modellparameter:  $G_b = \frac{\alpha_{VD} R_{C1}}{R_2 R_{o2}} = \underline{\underline{106,15}} \rightarrow P_i = G_b \cdot R_2 = \underline{\underline{10,61 \text{ E}6}}$

Datenblatt:  $CMRR = 31623 \hat{=} 90 \text{ dB}$

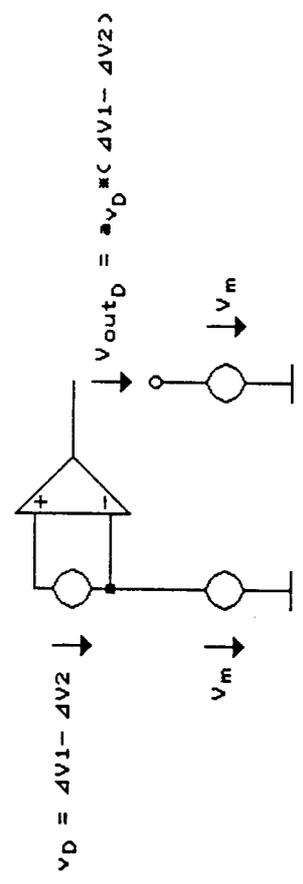
Modellparameter:  $G_{cm} = \frac{1}{R_{C1} \cdot CMRR} = \underline{\underline{5,96 \text{ E} - 9}}$



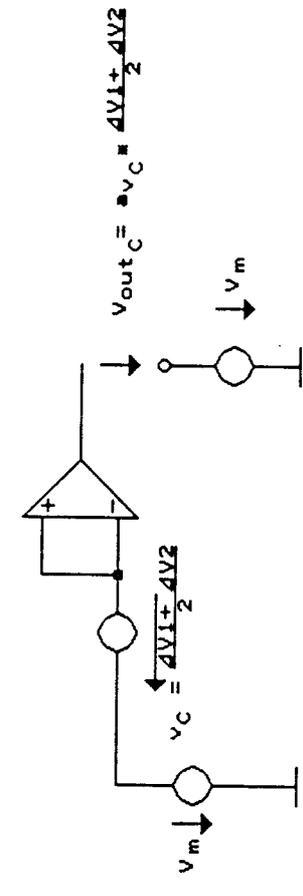
a) OP mit beliebigen Spannungen an den Eingängen



b) Zerlegung der Spannungen in Gleich- und Gegentaktkomponenten



c) Gesamtverstärkung des OP

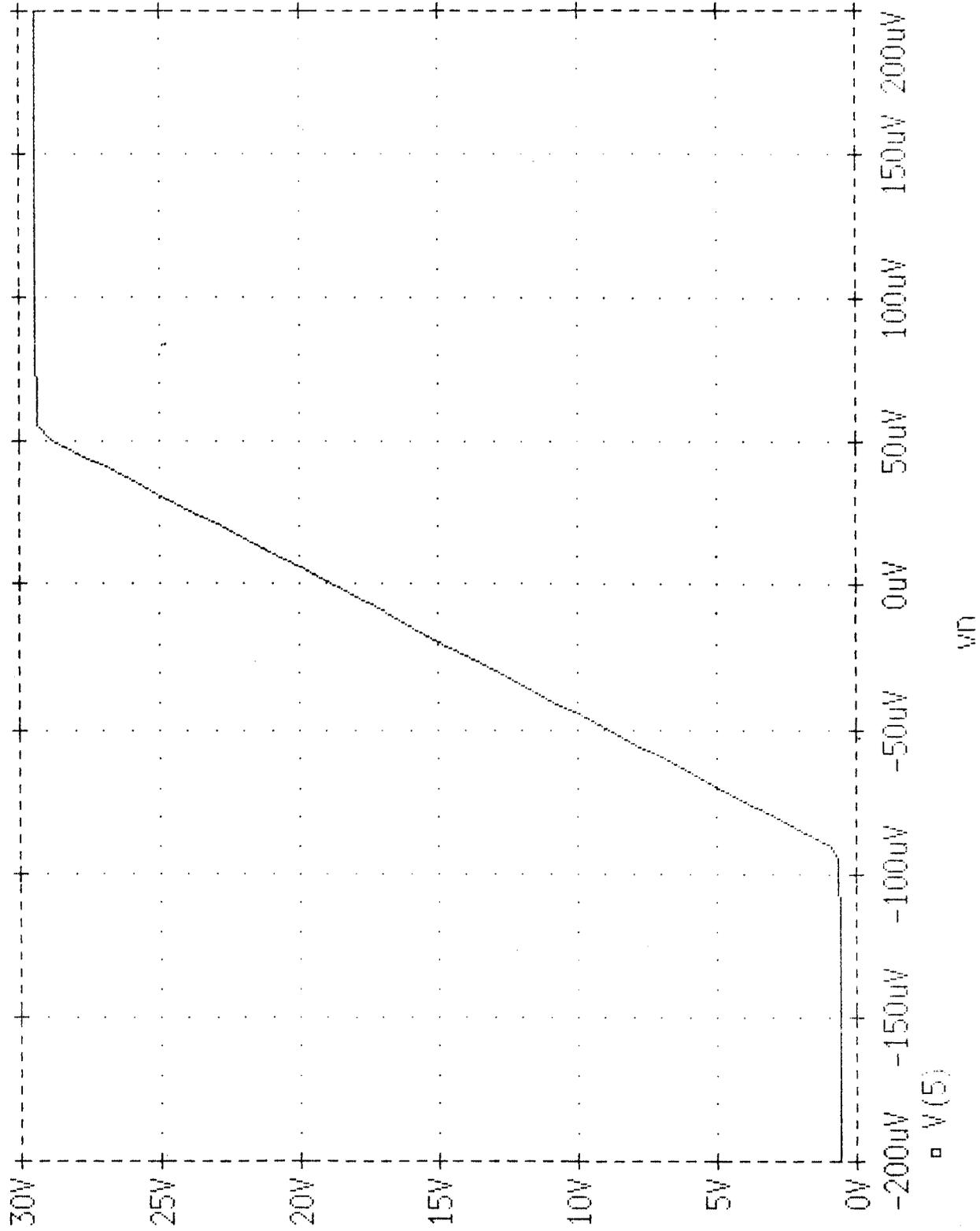


d) Gleichtaktverstärkung des OP

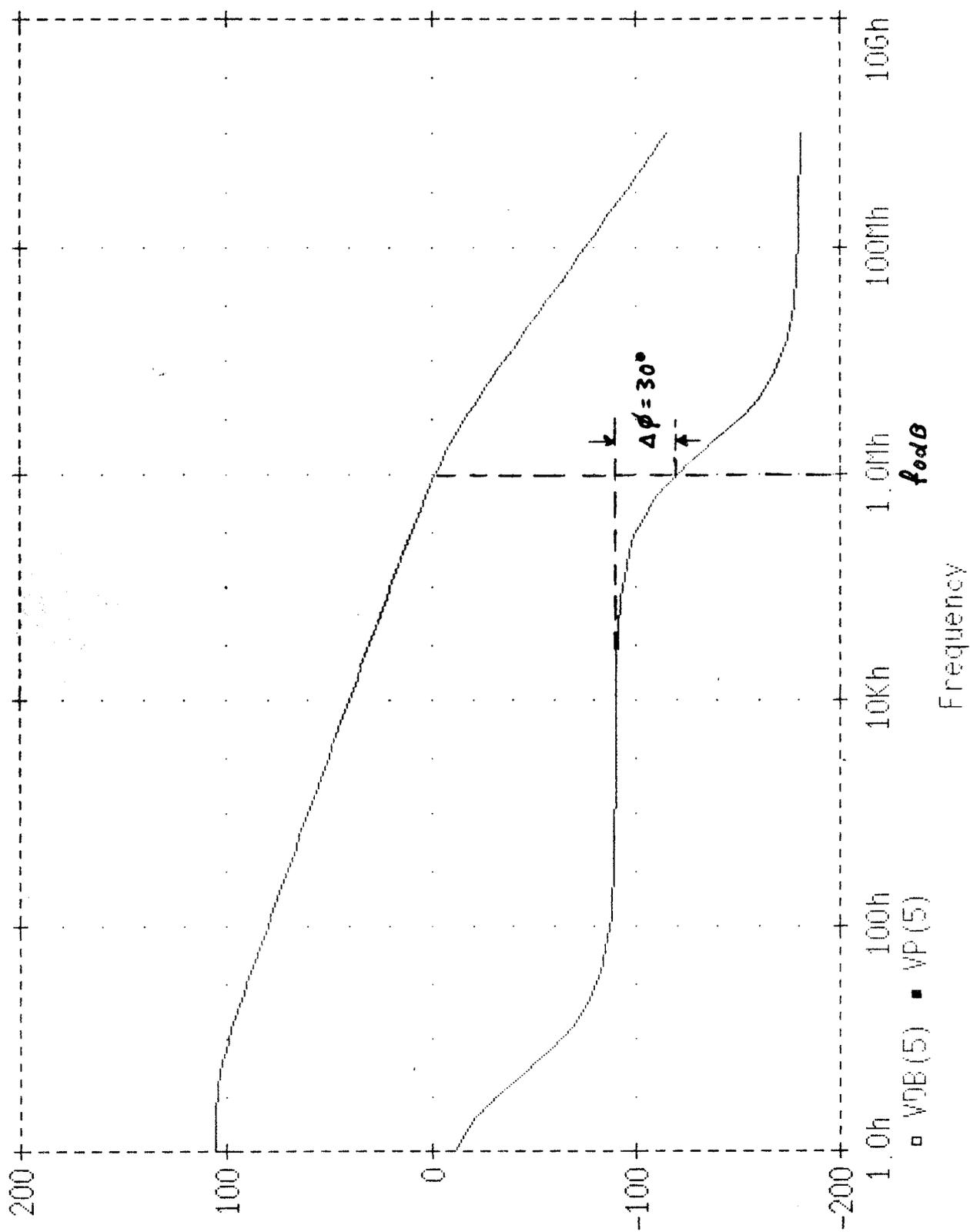
FH Furtwangen, FB Ingenieur-Informatik	
Prof. Dr. H. Nielinger	
Title Differential and Common Mode Gain	
Size A	Document Number Bild 3
Date: October 21, 1988	Sheet of REV

```
GEGENTAKTVERSTAERKUNG UA741
.LIB OPNOM.LIB
X1 1 2 3 0 5 UA741
VCC 3 0 30
VD 1 2 AC 1 PULSE(0 1)
VM 2 0 15
.DC VD -200U 200U 5U
.TF V(5) VD
.AC DEC 10 1 1G
.TRAN .5U 50U
.PROBE
.END
```

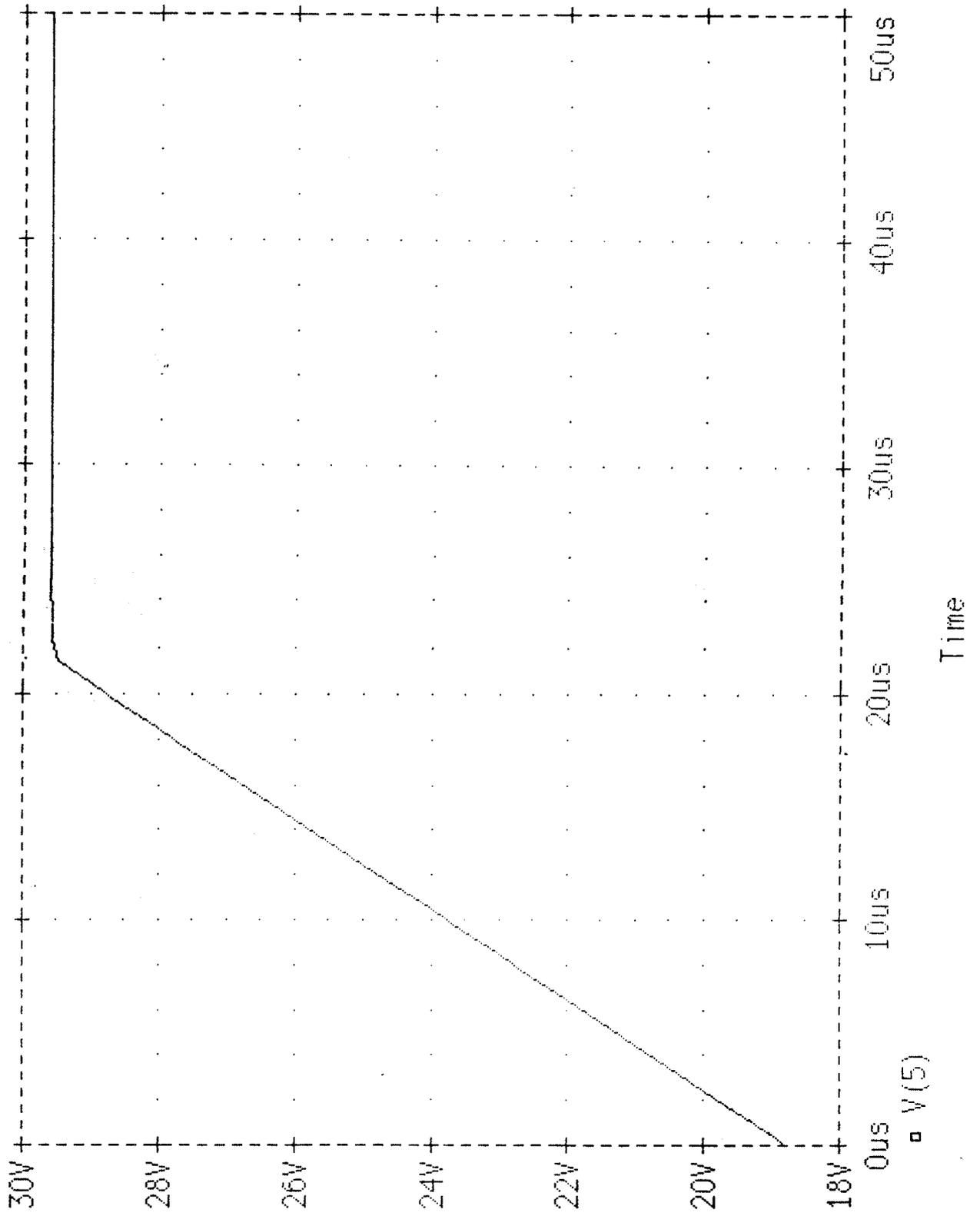
Date/Time run: 01/01/80 07:44:46 Temperature: 27.0



Date/Time run: 01/01/80 07:44:46 Temperature: 27.0



Date/Time run: 01/01/80 07:44:46 Temperature: 27.0



```

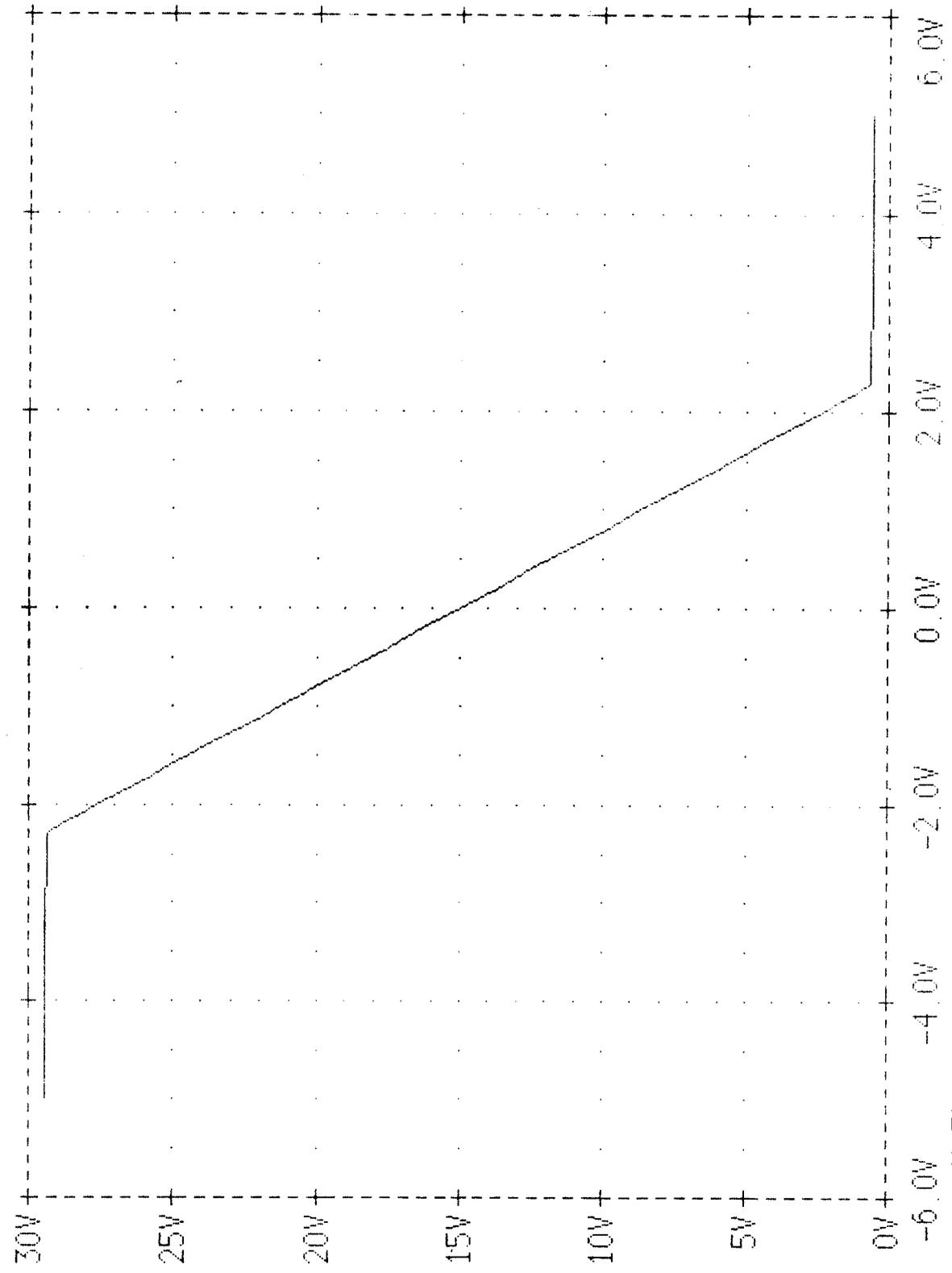
* connections:  non-inverting input
*               | inverting input
*               | | positive power supply
*               | | | negative power supply
*               | | | | output
*               | | | | |
.subckt uA741  1 2 3 4 5
*
  c1  11 12 8.661E-12
  c2  6 7 30.00E-12
  dc  5 53 dx
  de  54 5 dx
  dlp 90 91 dx
  dln 92 90 dx
  dp  4 3 dx
  egnd 99 0 poly(2) (3,0) (4,0) 0 .5 .5
  fb  7 99 poly(5) vb vc ve vlp vln 0 10.61E6 -10E6 10E6 10E6 -10E6
  ga  6 0 11 12 188.5E-6
  gcm  0 6 poly(2) 1 99 2 99 0 2.98E-9 2.98E-9
  iee 10 4 dc 15.16E-6
  hlim 90 0 vlim 1K
  q1  11 2 13 qx
  q2  12 1 14 qx
  r2  6 9 100.0E3
  rc1  3 11 5.305E3
  rc2  3 12 5.305E3
  re1  13 10 1.836E3
  re2  14 10 1.836E3
  ree  10 99 13.19E6
  ro1  8 5 50
  ro2  7 99 100
  rp  3 4 18.16E3
  vb  9 0 dc 0
  vc  3 53 dc 1
  ve  54 4 dc 1
  vlim 7 8 dc 0
  vlp 91 0 dc 40
  vln 0 92 dc 40
.model dx D(Is=800.0E-18)
.model qx NPN(Is=800.0E-18 Bf=93.75)
.ends
*
* End of library file

```

20  
GLEICHTAKTVERSTAERKUNG UA741  
.LIB OPNOM.LIB  
X1 1 1 3 0 5 UA741  
VCC 3 0 30  
VC 1 2  
VM 2 0 15  
.DC VC -5 5 0.1  
.PROBE  
.END

01/01/80 08:33:52

Date/Time run: 01/01/80 08:33:52 Temperature: 27.0



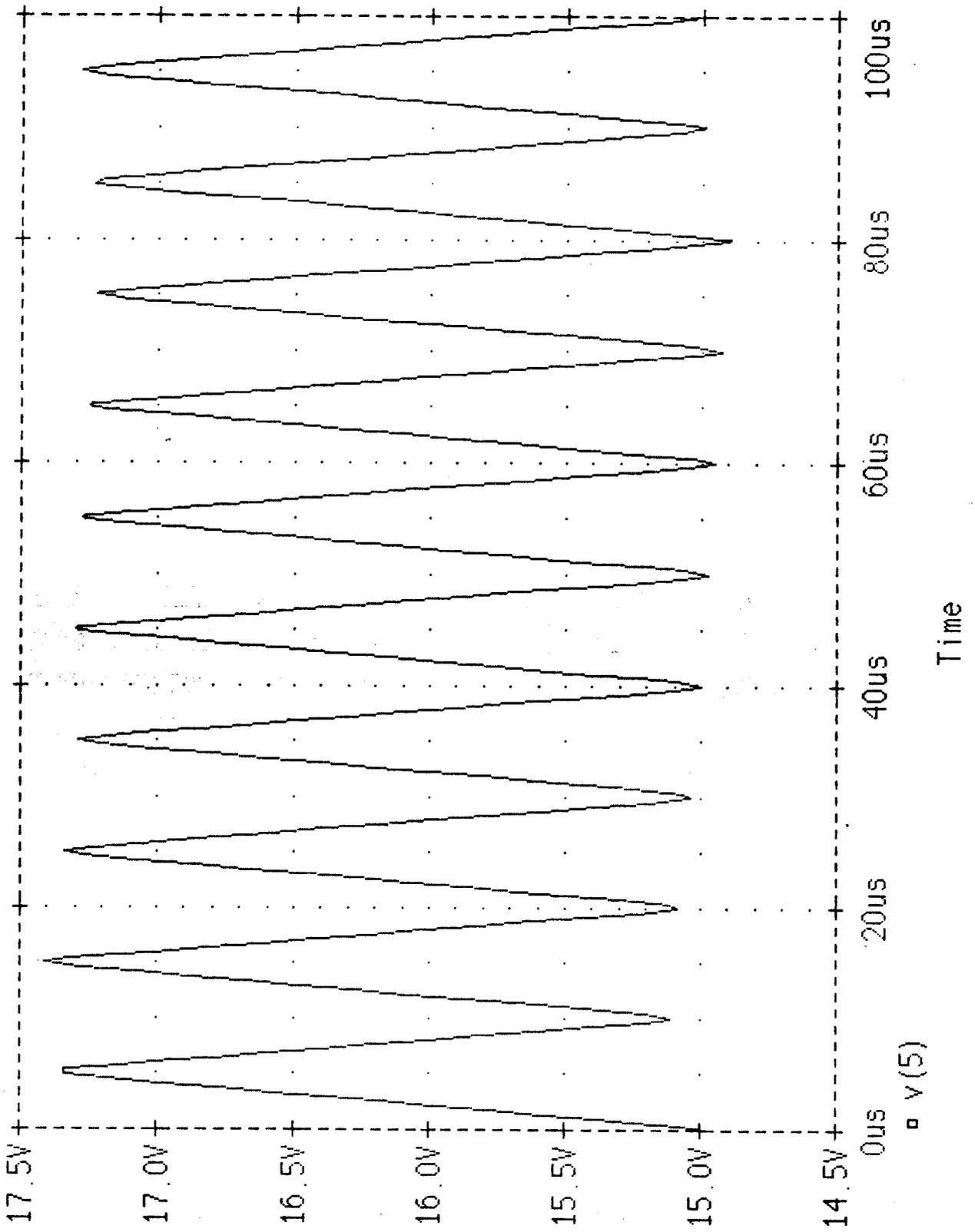
VC

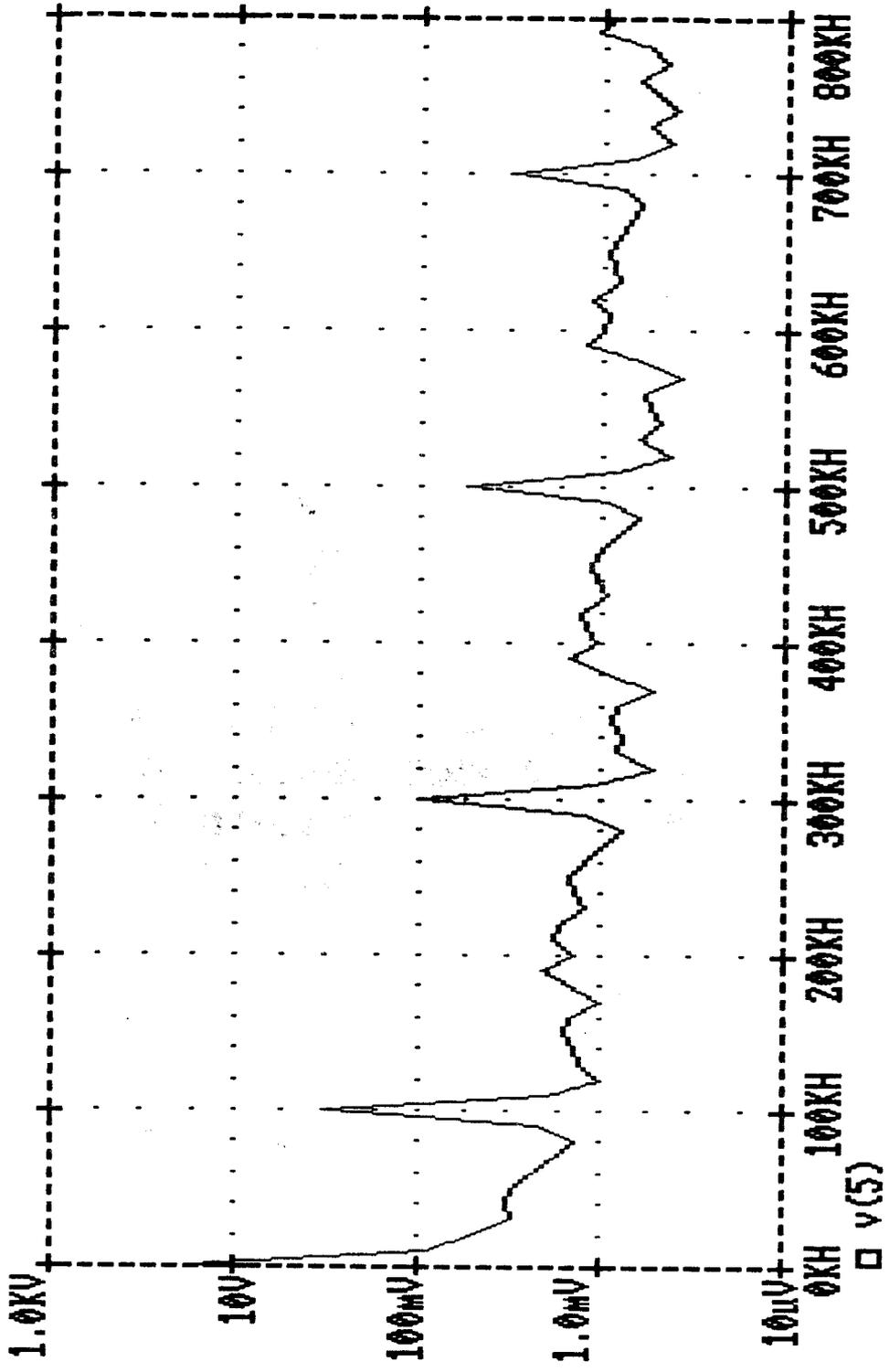
□ V \* 5

GROSSIGNALVERSTAERKUNG UA741

Date/Time run: 01/03/80 03:15:10

Temperature: 27.0





0)Exit 1)Log 3)Auto-range 4)Set range 7)End Fourier : 0



4. RESEARCH-MASTER-PROGRAMM in Zusammenarbeit mit dem  
LEICESTER POLYTECHNIC in England

Dezember 1988, G. Angst

Zwischen der Fachhochschule Furtwangen und dem Leicester Polytechnic bestehen schon seit längerer Zeit sehr gute Kontakte. So erfolgen regelmäßig Besuche von Professoren und Studenten bei der jeweiligen Partnerhochschule.

Beim einem Engländeraufenthalt (28.März - 5.April) fanden zwei Gespräche mit englischen Professoren statt (Teilnehmer: Prof. Dr. Nielinger; Prof. Dr. Horley; Prof. Dr. Oxley; G. Angst). Bei diesen Gesprächen ging es darum, einem Mitarbeiter der Fachhochschule Furtwangen (G. Angst) ein Teilzeit MASTER-Studium in England zu ermöglichen.

Trotz zunächst optimistischer Sachlage ergaben sich doch noch einige formale Schwierigkeiten, wie z.B. die Anerkennung des Dipl.-Ing. (FH) als gleichwertiges Äquivalent zum englischen Bachelor of Science, welcher ja Voraussetzung für die Zulassung zu einem postgraduate program ist.

Diese Probleme sind jedoch mittlerweile alle gelöst und Herr Angst ist seit November '87 am Leicester Polytechnic als Part-Time Student im Fachbereich Applied Physics eingeschrieben. Der Master's degree (M.Phil) wird durch eine längere Forschungsarbeit (hier 3 Jahre Dauer) erworben. Ziel dieser Forschungsarbeit ist der Entwurf und die Realisierung einer anwendungsspezifischen integrierten Schaltung (ASIC). Der größte Teil dieser Forschungsarbeit kann in Furtwangen an der Fachhochschule durchgeführt werden.

Fester Bestandteil des Studiums ist ein einmonatiger Aufenthalt in England (pro Jahr). Während der ganzen Projektlaufzeit sind drei solche Aufenthalte für Herrn Angst vorgesehen.

Pro Jahr wird eine Studiengebühr in Höhe von etwa 300 Pfund (900 DM) bezahlt.

Das Research-Programm wird mit der Abgabe der Thesis und einer mündlichen Prüfung abgeschlossen. Daraufhin wird der Master-degree verliehen (M.Phil).

G.Angst, Fachhochschule Furtwangen

**MASTER-AUSBILDUNG IN  
ZUSAMMENARBEIT MIT  
DEM LEICESTER POLYTECHNIC**

- Wie kam es zu einer Kooperation ?
- Der "MPHIL MASTERS DEGREE"
- DAS "RESEARCH PROJECT"
- 4 Wochen Mitarbeit am LP  
(DIAS)

## Wie kam es zu einer Kooperation ?

- LP ist Partnerhochschule von FT
- Bestehende Kontakte, gegenseitige Besuche seit einigen Jahren
- Es gibt (part-time) Research-Projekte
- Erste Briefe an CNAA & LP (Jan. 87)
- Besuch des LP, Application Form  
(Dr Nielinger, Dr Horley, Dr Oxley, G Angst)
- Probleme: Formalitäten  
Letters of support  
Dipl.-Ing (FH) ≠ BSc
- Bewerbung komplett (Nov. 87)
- Zusage von CNAA (Jan. 88)
- Seit Nov. 87 Student am LP

## Der "MPHIL MASTERS DEGREE"

Tought Masters degree (MSc, MA, MEd)

Mphil-Research degree

Full-Time (24 Monate)

Part-Time (36-48 Monate)

PhD (60 Monate)

Part-Time=12h/Woche

MSc . . . . . Mphil . . . . . PhD

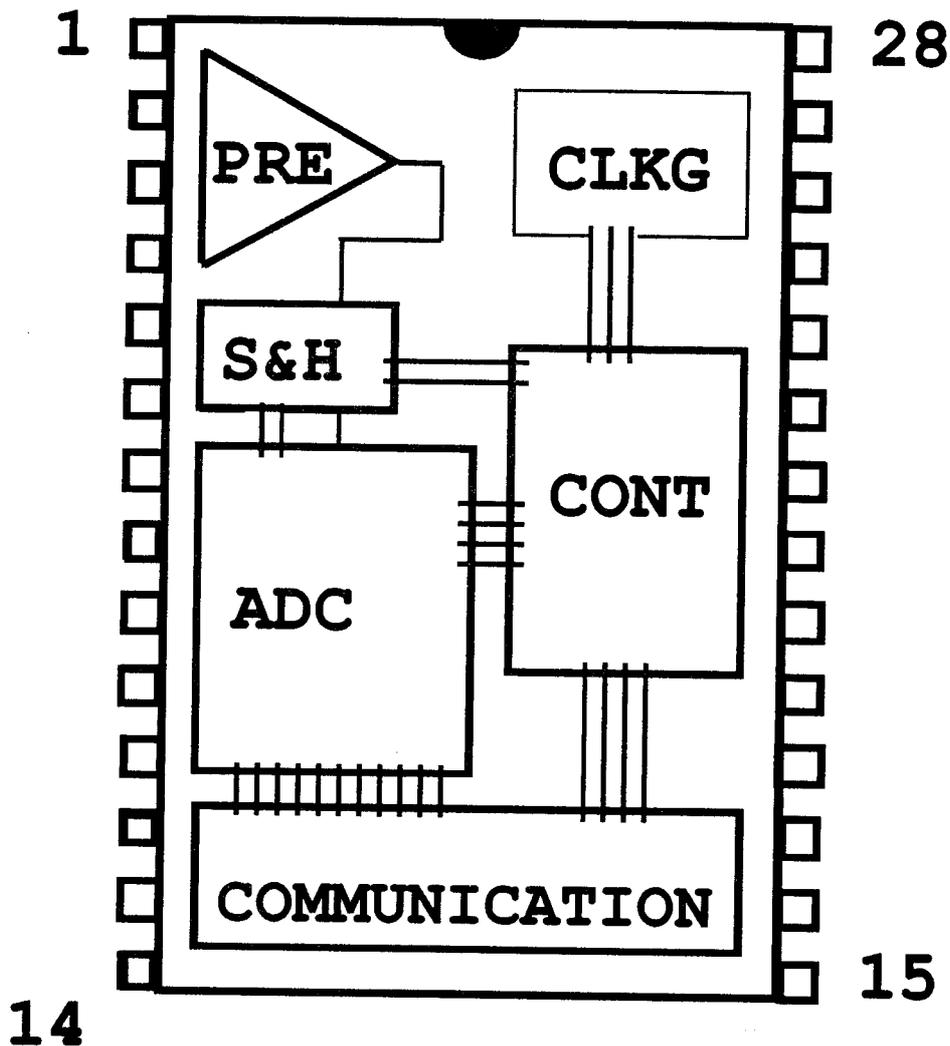
Mphil-Ausbildung

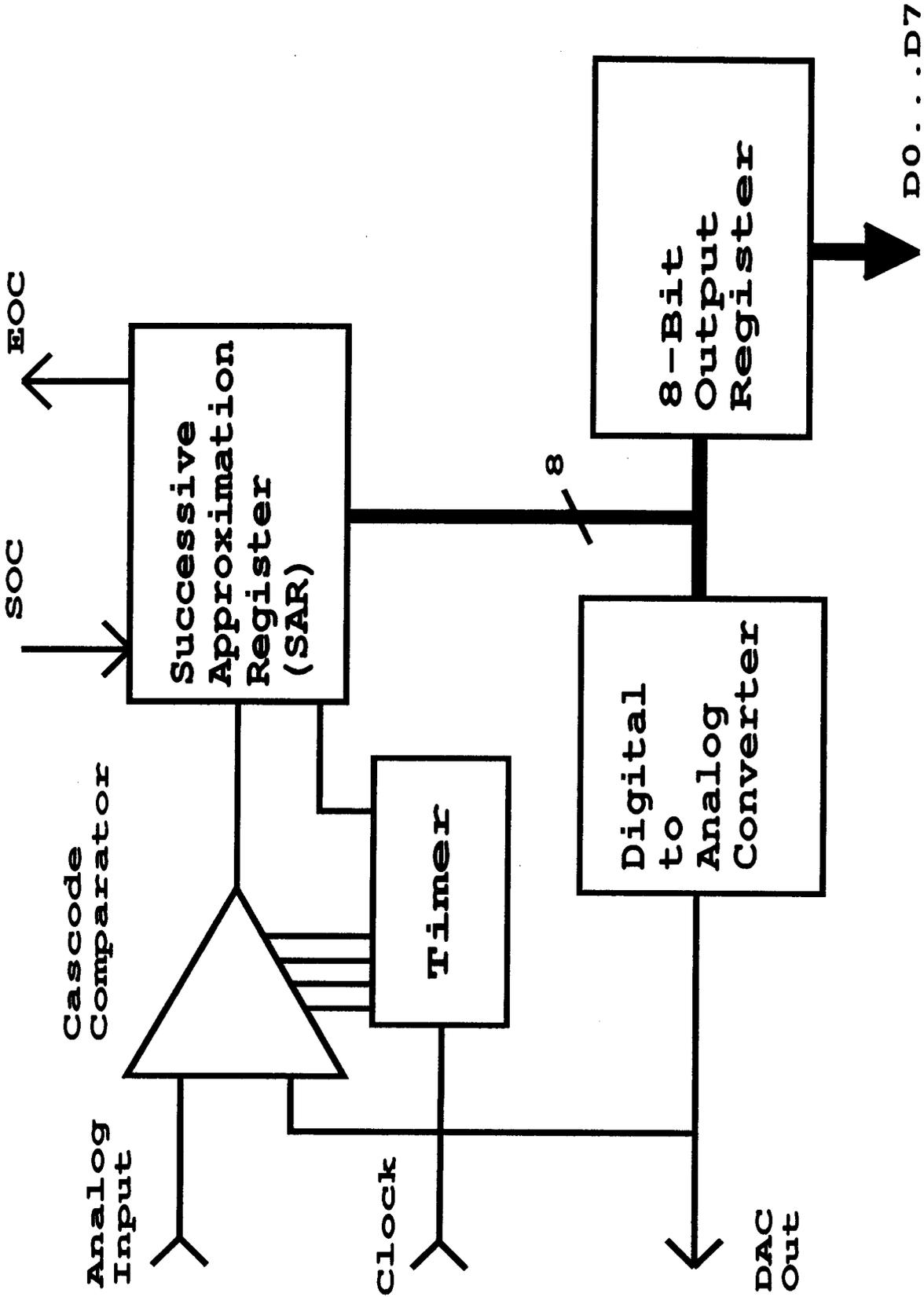
- supervisors (Dr. Niel., Dr. Ho.)
- 4 Wochen pro Jahr in England
- Internationale Konferenzen
- Zwischenberichte
- Thesis
- Mündliche Prüfung

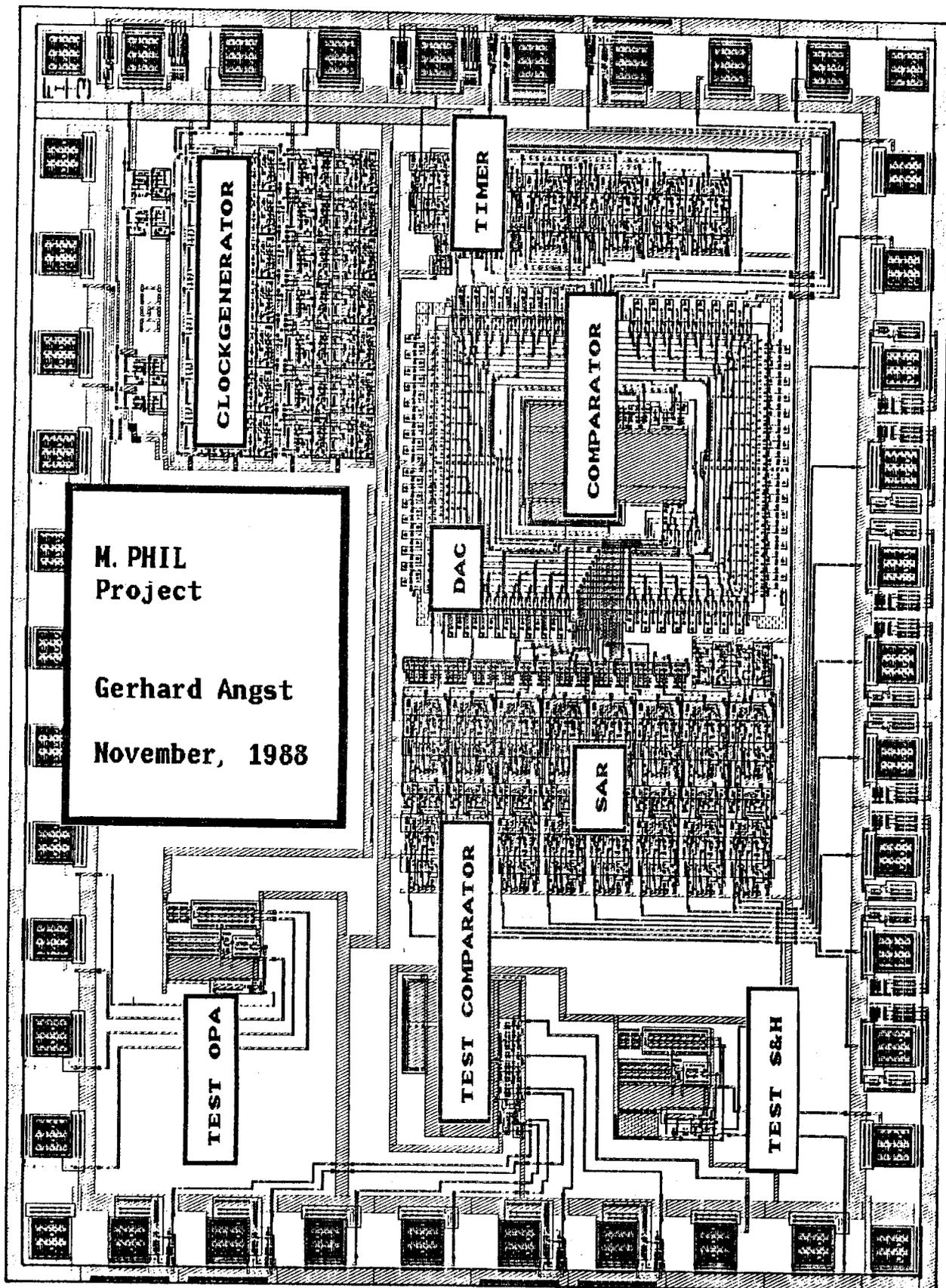
Mphil Degree

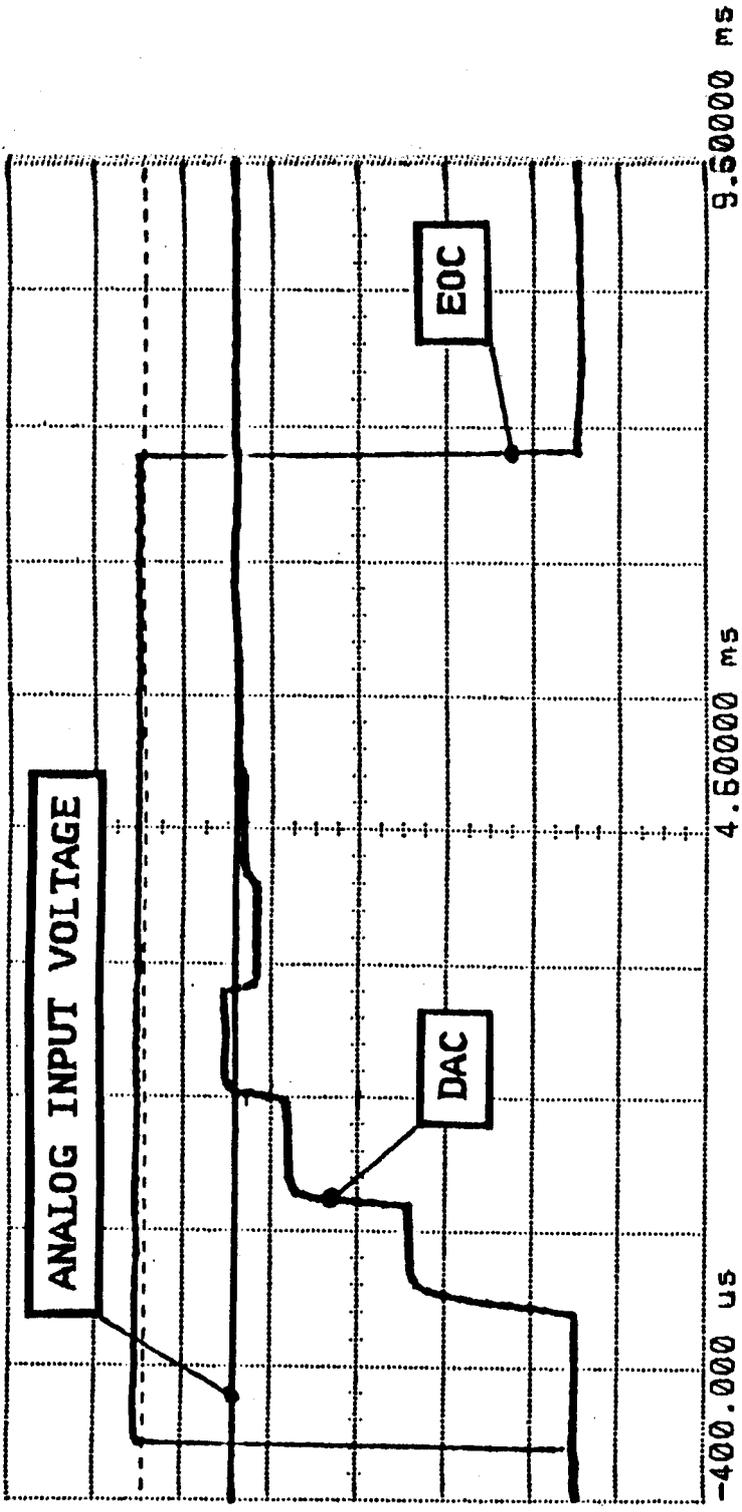
# Das "RESEARCH-PROJECT"

THE DESIGN AND MANUFACTURE  
OF A FULL CUSTOM INTEGRATED  
CIRCUIT FOR INCORPORATION  
INTO FIRE ALARMS





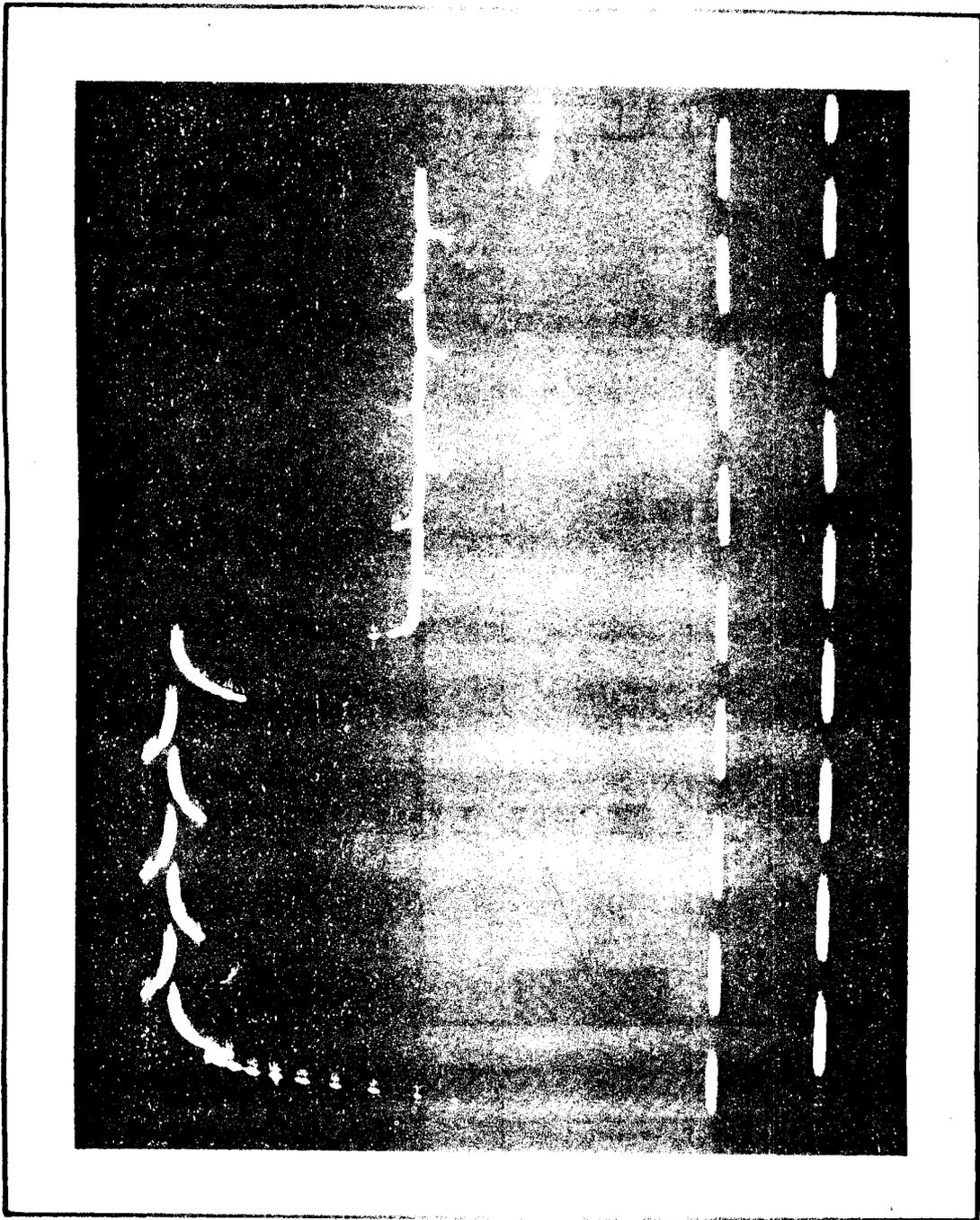




Ch. 1 = 1.000 volts/div  
 Ch. 2 = 1.000 volts/div  
 Timebase = 1.00 ms/div  
 Delta V = 1.020 volts  
 Vmarker1 = 3.980 volts

Offset = 2.560 volts  
 Offset = 2.560 volts  
 Delay = -400.000 us  
 Vmarker2 = 5.000 volts

Trigger mode : Edge  
 On Pos. Edge on Chan2  
 Trigger Levels  
 Chan2 = 600.0 mvolts  
 Holdoff = 70.000 ns

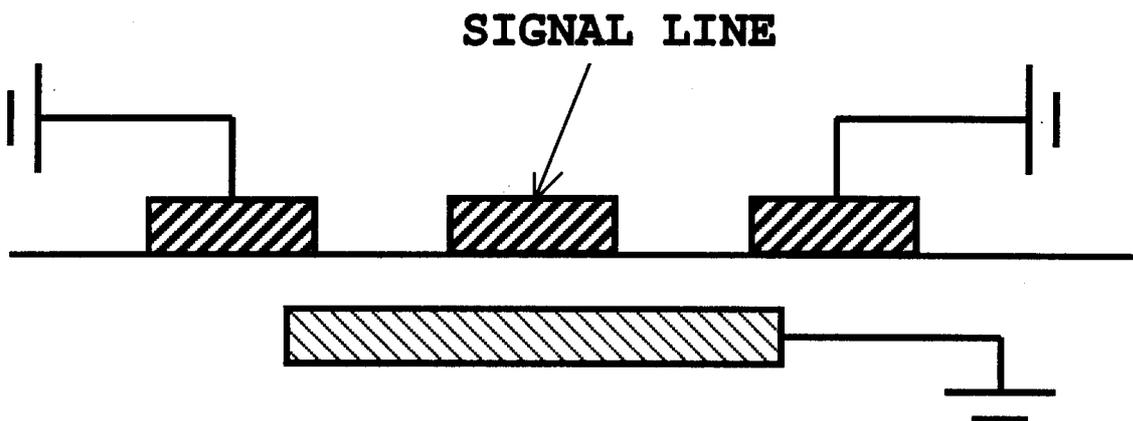


Noise signal on the DAC output

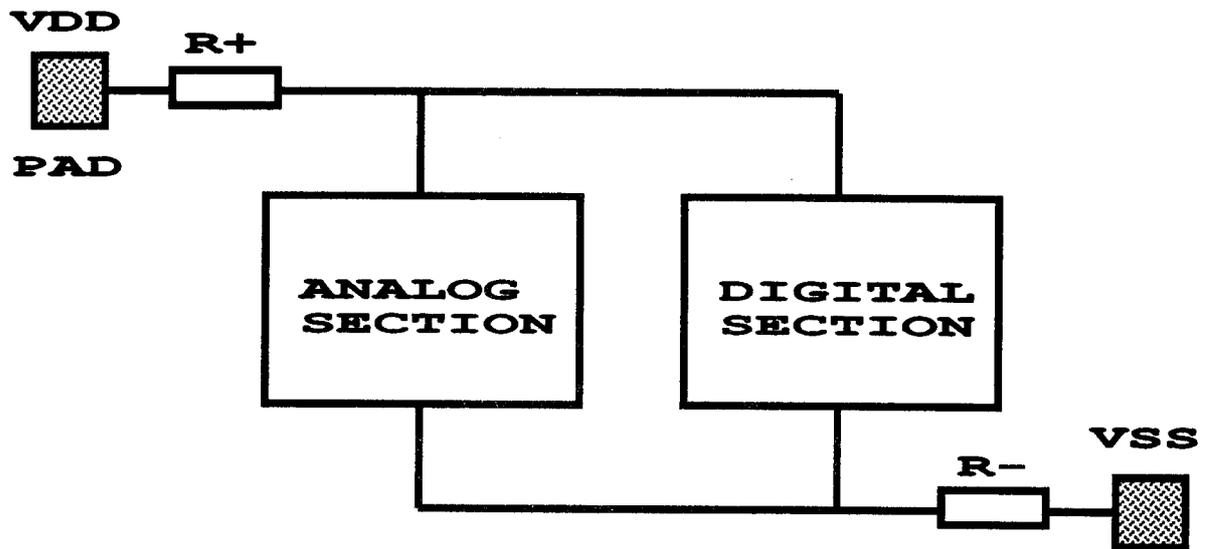
# SHIELDING ARRANGEMENT FOR METAL LINES

 METAL LINES

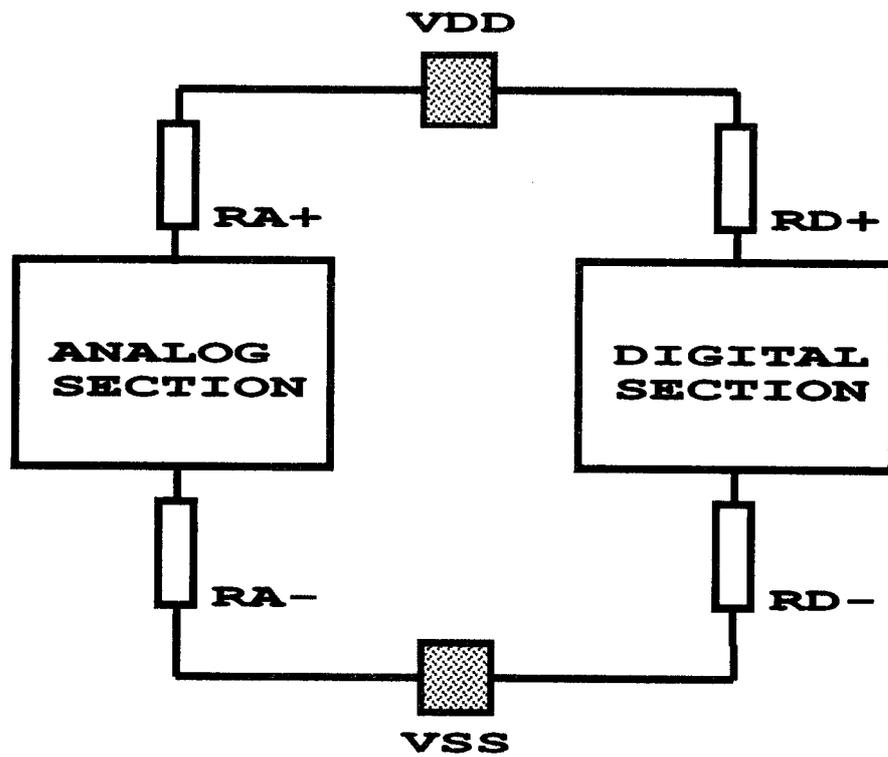
 POLY



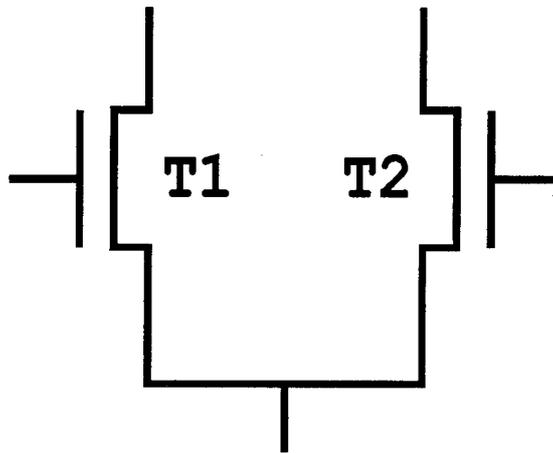
### NORMAL BIASING ARRANGEMENT



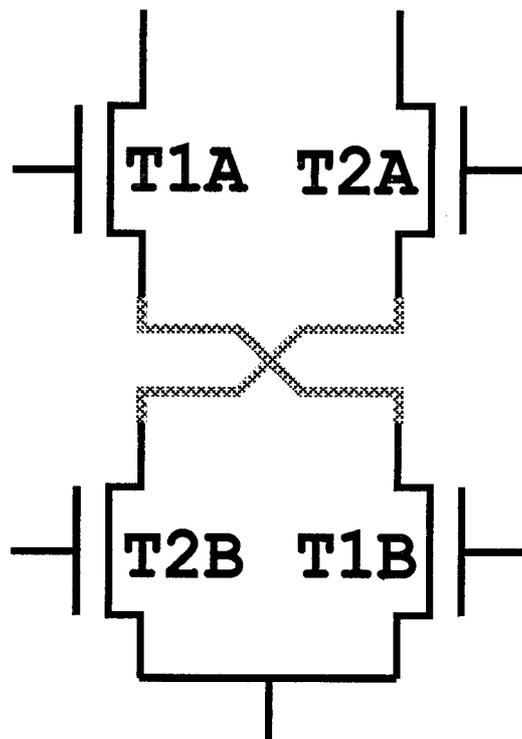
### IMPROVED BIASING ARRANGEMENT

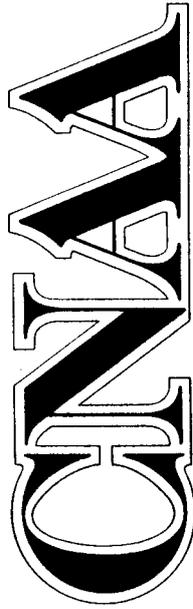


# NORMAL ARRANGEMENT



# COMMON CENTROID ARRANGEMENT





## RESEARCH DEGREES

# RESEARCH DEGREES

?

### What is CNA A?

The Council for National Academic Awards (CNA A) was established in 1964 by Royal Charter as the main degree awarding body in the United Kingdom to serve the non-university sector of Higher Education. CNA A awards degrees, diplomas and other academic distinctions to students who have successfully completed approved courses of study or research. CNA A's Charter and

Statutes require it to ensure that the awards are comparable in standard to the awards made by universities in the United Kingdom and they are held as such by professional institutions, employers, universities and Research Councils for the purposes of professional membership, employment, entry to higher degrees, and the award of postgraduate bursaries and studentships.

?

### What is a research degree?

A higher degree by research involves a training in research methods and the execution of a piece of supervised research – the systematic high-level study of a problem or topic and the presentation of the results in the form of written thesis. Following the submission of the research degree

thesis, the candidate is examined orally on the programme of work and on the field of study in which the programme lies. A research degree is time-consuming and demanding. Persistence and dedication are needed to bring it to a successful completion.

?

### What is the difference between a research degree and a taught postgraduate degree?

A taught Master's degree (MA, MSc or MEd) is an award granted on the basis of a taught course offered by an institution as a common experience. The course may include substantial individual study derived from and building upon the taught component. A research degree is awarded on the basis of an individually initiated and registered

research project (which may be supported by taught programmes which could form common experiences for groups of individual research students and/or be shared with students on taught courses.) Applicants should consider carefully whether a taught Master's degree or a research degree would be more appropriate to their needs.

## ? What is the difference between the degrees of MPhil and PhD?

To obtain the degree of Doctor of Philosophy (PhD), a candidate is expected to investigate a topic and to make an original contribution to knowledge. Research at MPhil level should represent an extension of existing knowledge although the demands of originality and sustained systematic inquiry are less than those obtaining for PhD.

In terms of length of thesis an MPhil is expected to be in the range 20,000-40,000 words (according to

subject) whereas a PhD thesis would be in the 40,000-70,000 word range.

Study for a PhD takes about one year longer than MPhil. Under CNA A regulations candidates normally register for MPhil in the first instance and decide whether or not to transfer to PhD after about one year of full-time study or its part-time equivalent. Only holders of a relevant UK Master's degree are eligible to apply for direct PhD registration.

## ? What are the entry requirements?

The normal entry requirement for a research degree is a UK Honours degree (first or second class) or a UK Master's degree. Candidates with other qualifications are considered on their merits. In such cases CNA A seeks evidence of academic ability

which might be demonstrated by publications or other means. CNA A is particularly sympathetic to applicants of mature years whose experience of research might be judged to compensate for the lack of formal academic qualifications.

## ? How long does it take to obtain a research degree?

The minimum full-time registration period for MPhil is 21 months and for PhD 33 months. Where registration is for PhD direct the

minimum registration period is 24 months full-time. In practice however most candidates take longer than the normal minimum periods.

## ? Is it possible to study for a research degree on a part-time basis?

Yes. The minimum registration period is one year longer in each case than those quoted above. Realistically however a part-time MPhil is likely to take 3-4 years and

a part-time PhD about 5 years. Part-time students are expected to be able to devote an average of at least 12 hours per week to their research project.

## ? How do I apply?

This will normally be through a polytechnic or college. The first stage is to choose a convenient college/polytechnic and to write outlining the area of research which interests you. If the college is willing to accept you as a postgraduate research student it will assist in finding supervisors and guide you in preparing your application to

register with CNA A. If you have trouble finding a suitable college you may find it useful to obtain copies of CNA A's Directory of First Degree courses and Directory of Post-graduate and Post-Experience courses which list institutions associated with CNA A. These are available from CNA A's Publications Unit.

## ? Must I register through a college?

While most applications are made via a college/polytechnic applications may be accepted through an industrial, commercial or research establishment which is able and willing to take responsibility for a research degree candidate and to provide a suitable environment for his or her work.

## ? How can I get funding for a full-time research degree?

CNA A does not provide funding for research degree students. There are however, a number of sources of funds for full-time research degree study, according to subject and circumstances. The college you hope to attend may be able to give you advice. The following addresses may be helpful.

Natural Environment Research Council

Polaris House  
North Star Avenue  
Swindon SN2 1ET

Economic and Social Research Council  
1 Temple Avenue  
London EC4Z 0BD

(For Arts and Humanities only)  
Department of Education and Science  
Room 2/11  
Elizabeth House  
York Road  
London SE1 7PH

Medical Research Council  
20 Park Crescent  
London W1

Science and Engineering Research Council  
Polaris House  
North Star Avenue  
Swindon NS2 1ET

## ? CNA A research degree regulations

While this leaflet provides basic information about research degrees and how to take the first steps towards making an application to register, it is likely that anyone who decides to register for a research degree will need to have a copy of CNA A's Research Degree regulations (Regulations for the

award of the Council's degrees of Master of Philosophy and Doctor of Philosophy 1983) which are available from the college/polytechnic or from CNA A's Publications Unit. The booklet includes Notes of Guidance which give information on the interpretation of the Regulations and on the validation procedures involved.

OCTOBER 1984

COUNCIL FOR NATIONAL ACADEMIC AWARDS  
344-354 GRAY'S INN ROAD  
LONDON WC1X 8BP  
01-278 4411

PRINTED BY TAS PRINT, LONDON

# Regulations for the award of the Council's degrees of Master of Philosophy and Doctor of Philosophy

## 1983

Council for National Academic Awards  
344-354 Gray's Inn Road, London WC1X 8BP  
01-278 4411

January 1983

# CNA

## STUDIUM IM AUSLAND

Hinweise  
für Studenten



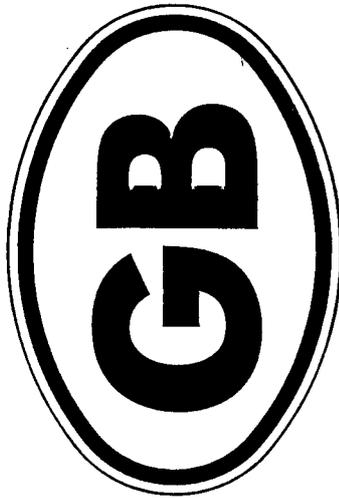
Der Bundesminister für Bildung und Wissenschaft

**DAAD**

Deutscher  
Akademischer Austauschdienst

" Kennedyallee 50  
D-5300 Bonn 2 "

# Studienführer Großbritannien



" Sekretariat der Ständigen Konferenz der  
Kultusminister der Länder in der BRD  
Nassestr. 8 "  
5300 Bonn 1 "

Die Bedeutung der Fachhochschulausbildung  
und ihrer Abschlüsse in der Bundesrepublik Deutschland  
und im internationalen Rahmen

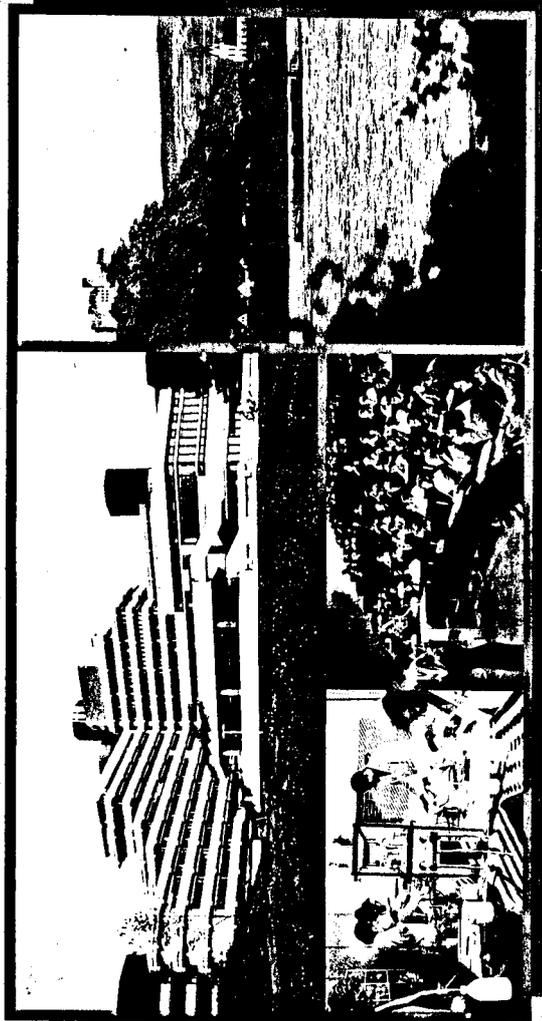
The significance of Fachhochschule studies  
and degrees both in the Federal Republic of Germany  
and in an international context

L'importance de la formation dans les Fachhochschulen  
et des certificats de fin d'études auxquels elle conduit en  
République fédérale d'Allemagne et dans le cadre international

**cdg** Carl Duisberg  
Gesellschaft eV.

# Fachhochschulen in the Federal Republic of Germany

**Twelve Answers to Twelve Questions**

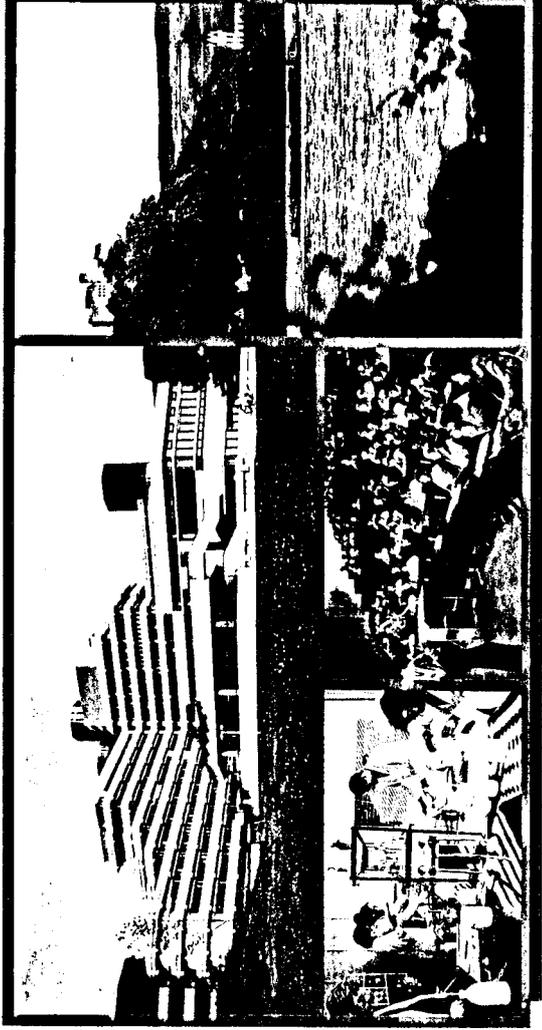


" cdg Hohenstaufenring 30-32  
5000 Köln 1  
0221 / 2098-0 "

**cdg** Carl Duisberg  
Gesellschaft eV.

# Fachhochschulen in der Bundesrepublik Deutschland

**12 Antworten auf 12 Fragen**



Duisberg Heft 19/84

**SEKRETARIAT DER STÄNDIGEN KONFERENZ DER KULTUSMINISTER DER LÄNDER IN DER  
BUNDESREPUBLIK DEUTSCHLAND**

- ZENTRALSTELLE FÜR AUSLÄNDISCHES BILDUNGSWESEN -

**SECRETARIAT OF THE STANDING CONFERENCE OF MINISTERS OF EDUCATION AND  
CULTURAL AFFAIRS OF THE LAENDER IN THE FEDERAL REPUBLIC OF GERMANY**

- CENTRAL OFFICE FOR FOREIGN EDUCATION -

Nassestrasse 8 · D-5300 Bonn 1 · Telefon: (0228) 501-1

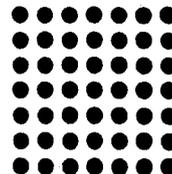
Mr. Gerhard Angst  
born on 17th November 1961  
at Schwenningen

**BESCHEINIGUNG · TO WHOM IT MAY CONCERN**

The Central Office for Foreign Education is an institution of the Ministries of Education and Cultural Affairs of the Länder in the Federal Republic of Germany concerned with the establishment of standards of equivalence between foreign and German educational qualifications. Its main task is to assist German universities, ministries and other state institutions in the recognition of foreign qualifications. The Central Office for Foreign Education also issues certifications regarding German qualifications in order to facilitate their recognition by foreign authorities.

The following certification is given with regard to the "Diplomzeugnis" of the "Fachhochschule Furtwangen" in Baden-Württemberg certifying that Mr. Gerhard Angst successfully completed a degree course in Electrical Engineering in the field of Computer Science and Data Processing on 8th December 1986. By virtue of this "Diplomzeugnis" he will receive the official graduation diploma certifying that he has been admitted to the academic degree of "Diplom-Ingenieur (Fachhochschule)" (abbr.: "Dipl.-Ing. (FH)").

usw. ....  
insgesamt 3 Seiten  
(Dipl.-Ing. (FH) = BSc)



Our ref GER/631/9

Your ref

Tel ext 2693

Mr G Angst  
c/o Fachhochschule Furtwangen  
EIS-Projekt  
Mulan Postfach 28  
D-7743 Furtwangen  
FEDERAL REPUBLIC OF GERMANY

Promoting cultural, educational  
and technical co-operation between  
Britain and other countries

**Committee for International  
Co-operation in Higher Education**

Higher Education Division  
10 Spring Gardens  
London SW1A 2BN  
Telephone 01-930 8466  
Telex 8952201 BRICON G  
FAX 01-839 6347 (series 3)

21 July 1987

Dear Mr Angst

Thank you for your recent enquiry.

I should first explain that there is no official equivalence of overseas and British qualifications in Britain. British educational and professional institutions are autonomous and as such reserve the right to make their own decisions on the acceptability and recognition to be accorded to any overseas qualification. We in the National Academic Recognition Information Centre can only pass on information which is based on our experience of the attitudes of these institutions to certain overseas qualifications. Our information should not be treated as an authoritative ruling as to the standard at which the qualifications mentioned below will always be considered in Britain.

The Diplom Ingenieur (Dipl. Ing. SH) is obtained after a course lasting three-four years (inclusive of a period of practical training). The course emphasises the practical orientation and application of the subjects studied. It is generally compared to the (BTEC) Higher National Diploma.

I do hope the above information is of some assistance. I must stress, however, that the final decision on overseas qualifications always rests entirely with the individual institution or employer concerned.

Yours sincerely

*Fiona Cartmell*  
Mrs Fiona Cartmell  
National Academic Recognition  
Information Centre  
Higher Education Division

fc.sp



5. **SZLib**

**Standardzellen-Bibliothek  
für den  
CMOS-Prozess  
des IMS**

**von Martin Kuhner  
und Detlef Ruppert**

**an der  
Fachhochschule Furtwangen**



## Entwicklung einer Standardzellen-Bibliothek von D. Ruppert

Bild 1 zeigt wie eine Standardzelle nach außen beschrieben ist. Mit diesen Daten wird ein Standardzellen-Placer&Router arbeiten. Bild 2 zeigt, daß die Design-Rules am besten unsymmetrisch auf die Zellenränder aufgeteilt werden. Die p-Wanne kann über die Ränder stehen, damit keine Rules verletzt werden. Aus Bild 3 kann man die benutzten unsymmetrischen Maße entnehmen.

Beispiel mit einem Antivalenz-Gatter:

Bild 4 zeigt die Schaltung, eingegeben mit dem an der FH Furtwangen entwickelten Programm FUSE. Bild 5 zeigt das Layout der KICbox. Mit diesem VLSI-Entwicklungs-Paket kann man auch eine SPICE-Netzliste (Tabelle 1) extrahieren und eine grafische Simulations-Ausgabe (Bild 6) erzeugen. In Bild 6 sieht man eine Kurvenschar, die durch unterschiedliche Ausgangskapazitäten begründet ist. Daraus kann man mit linearer Regression die Lastabhängigkeit des Gatters bestimmen, wie sie in Tabelle 2 wiederzufinden ist. Diese Formeln sind Grundlage für die Delay-Parameter der digitalen Simulations-Beschreibung.

Bild 7 zeigt ein Beispiel wie CAL-MP von Silver-Lisco die Standardzellen platziert und verdrahtet. Dabei wurde ein Subchip-Entwurf gewählt. Die Striche am Rand der Macro-Zelle markieren die Anschlüsse für die spätere CAL-MP-Verdrahtung. Bild 8 zeigt eine doppelt hohe Standardzelle, d.h. plus drei Lambda in der Mitte. Auf Spiegelung an der x-Achse wurde verzichtet. Dafür kann man mit KIC zwei einfach hohe Zellreihen direkt an eine doppelt hohe platzieren. CAL-MP kann zwar in den Schattenbereichen der Zellen routen, platziert aber die Zellen in einer Reihe nur nebeneinander. Ein anderer Nachteil ist das Power&Ground-Routing. VDD bzw. VSS werden nur an den Randzellen angeschlossen. Tauchen doppelte Zellen innerhalb einer Reihe auf, so sind nur die unteren Versorgungsleitungen durch die einfachen Nachbarzellen angeschlossen. Man muß also doppelt hohe Zellen in getrennten Reihen platzieren, oder mit KIC die Leitungen nachträglich legen. Letzteres kann durch das eigentlich gute Schattenrouten schwierig werden.

# Der Abdruck einer Standardzelle

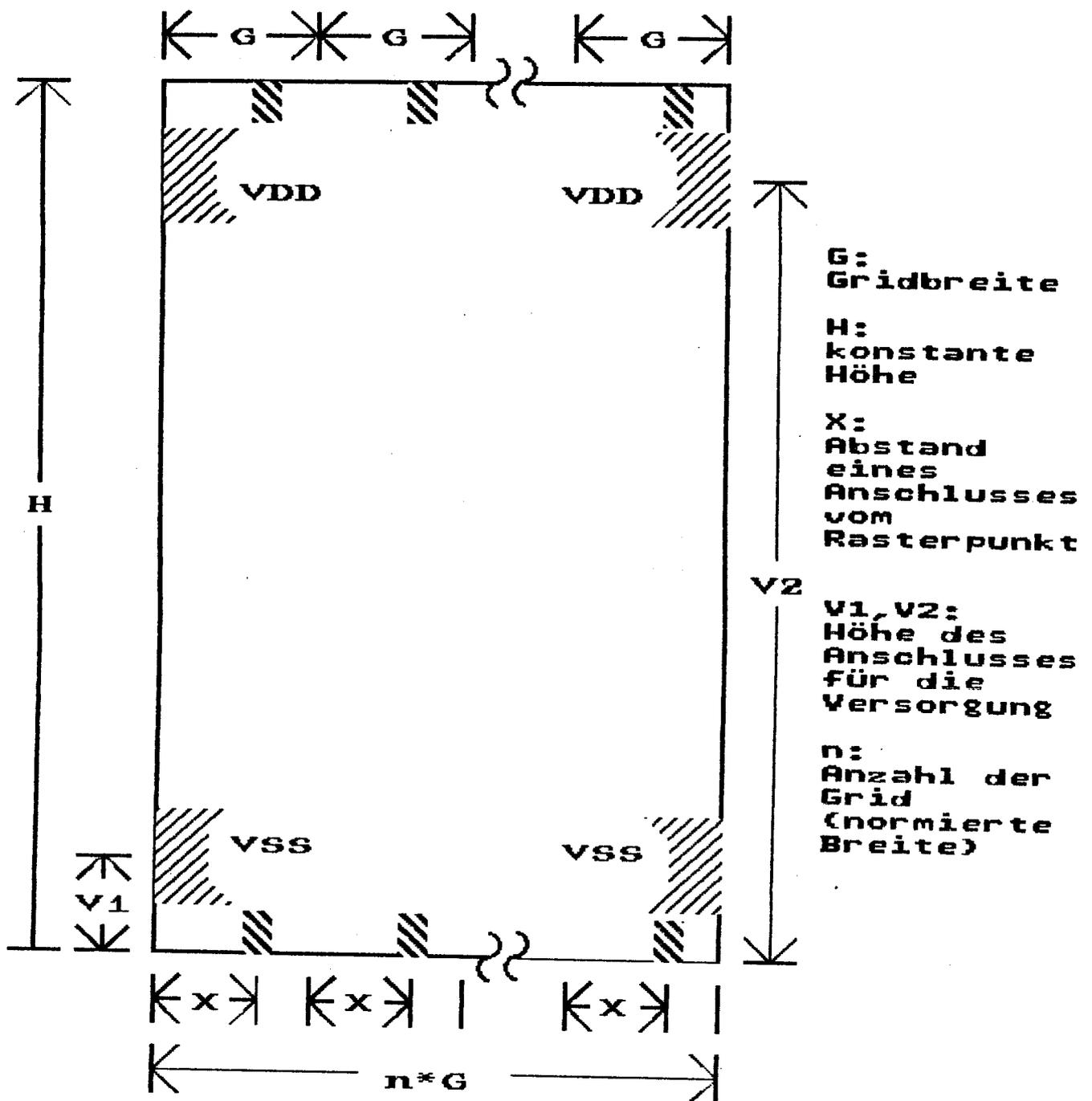
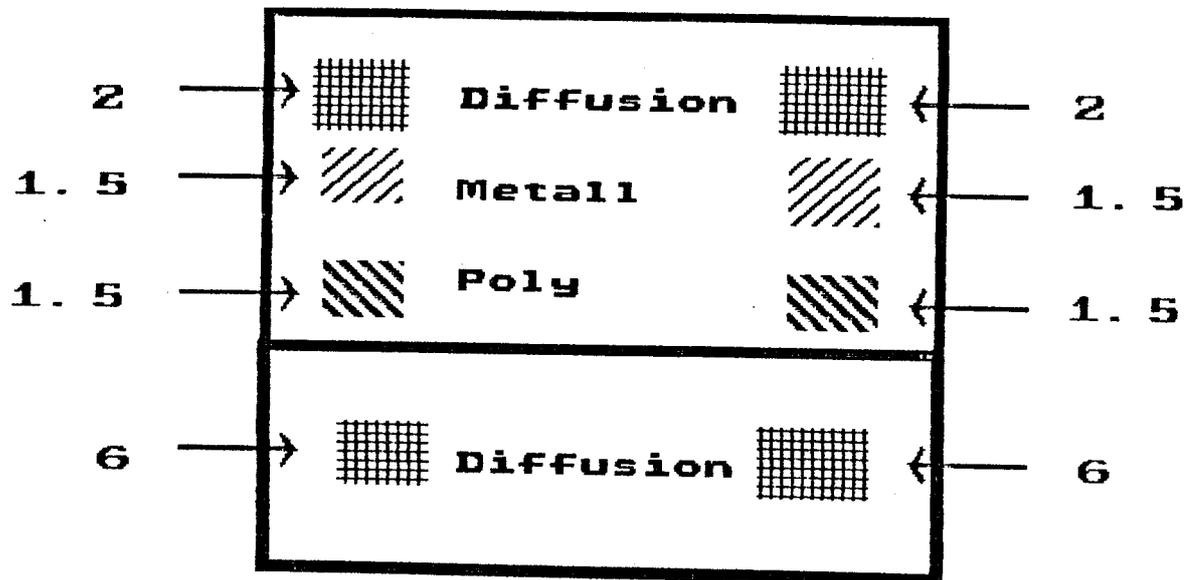


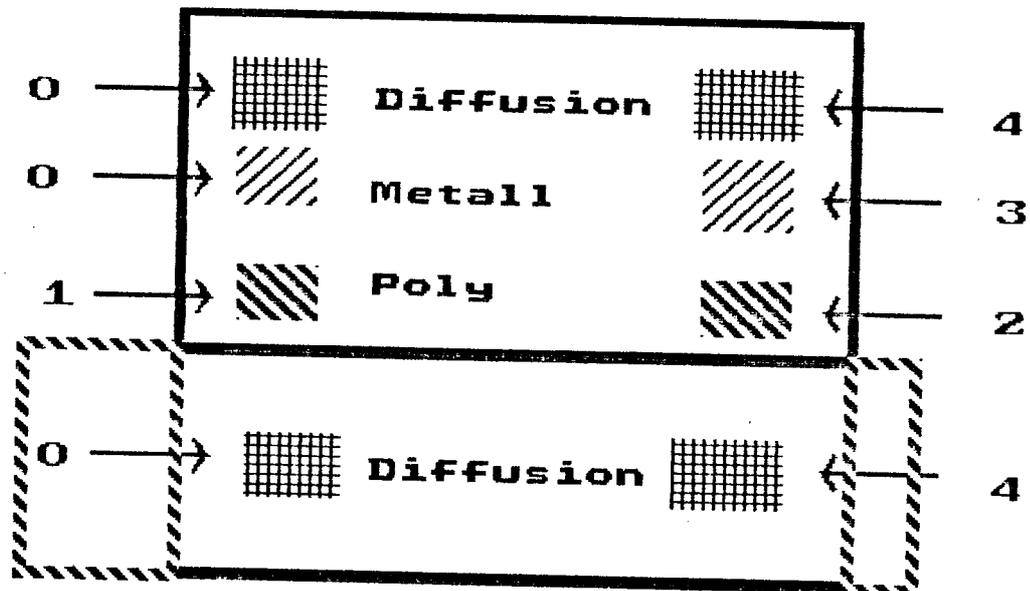
Bild 1

# Probleme mit Designrules

normal:



real:



alle Maße in Lambda !!

Bild 2

# Die Maße einer Standardzelle

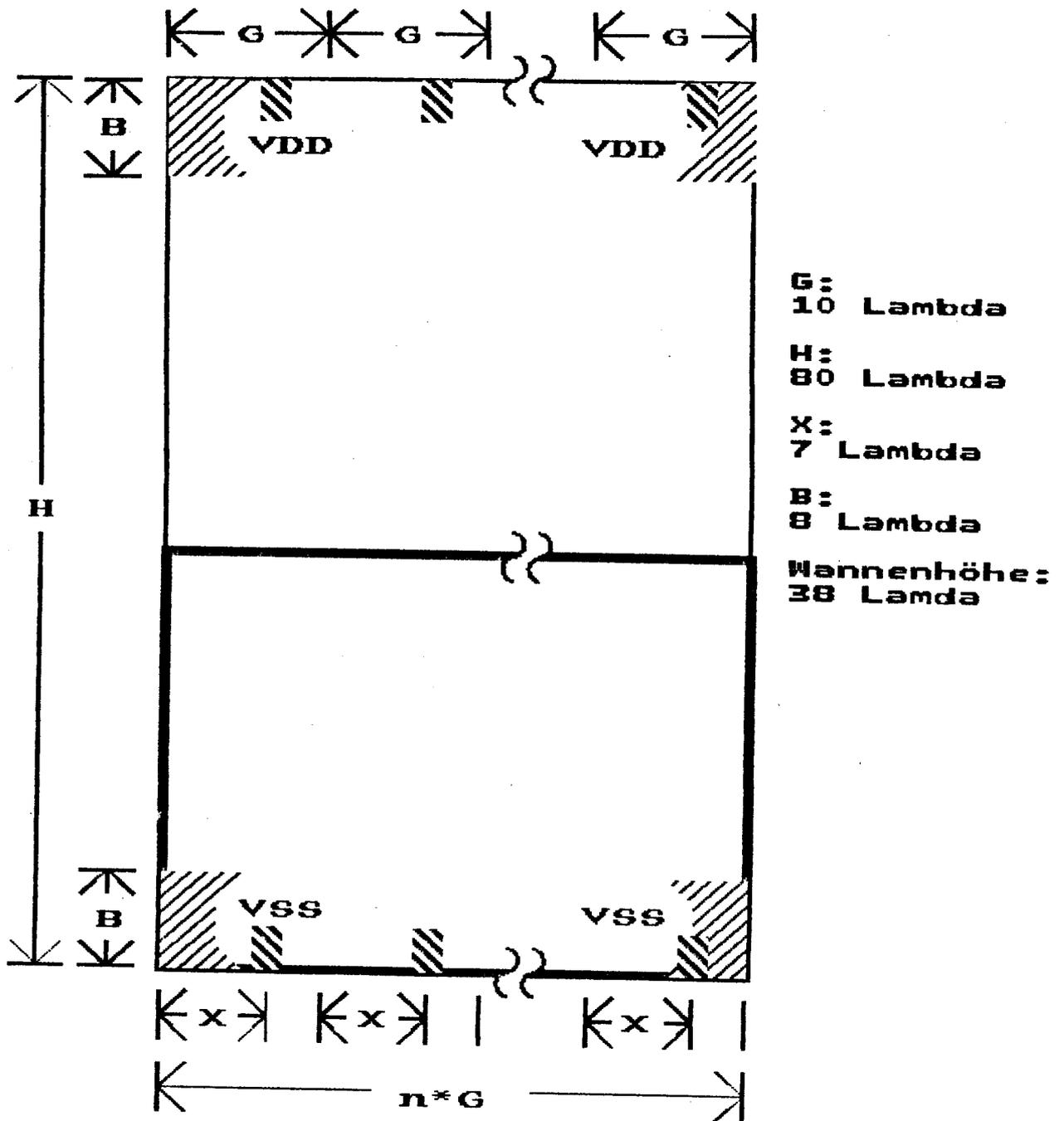
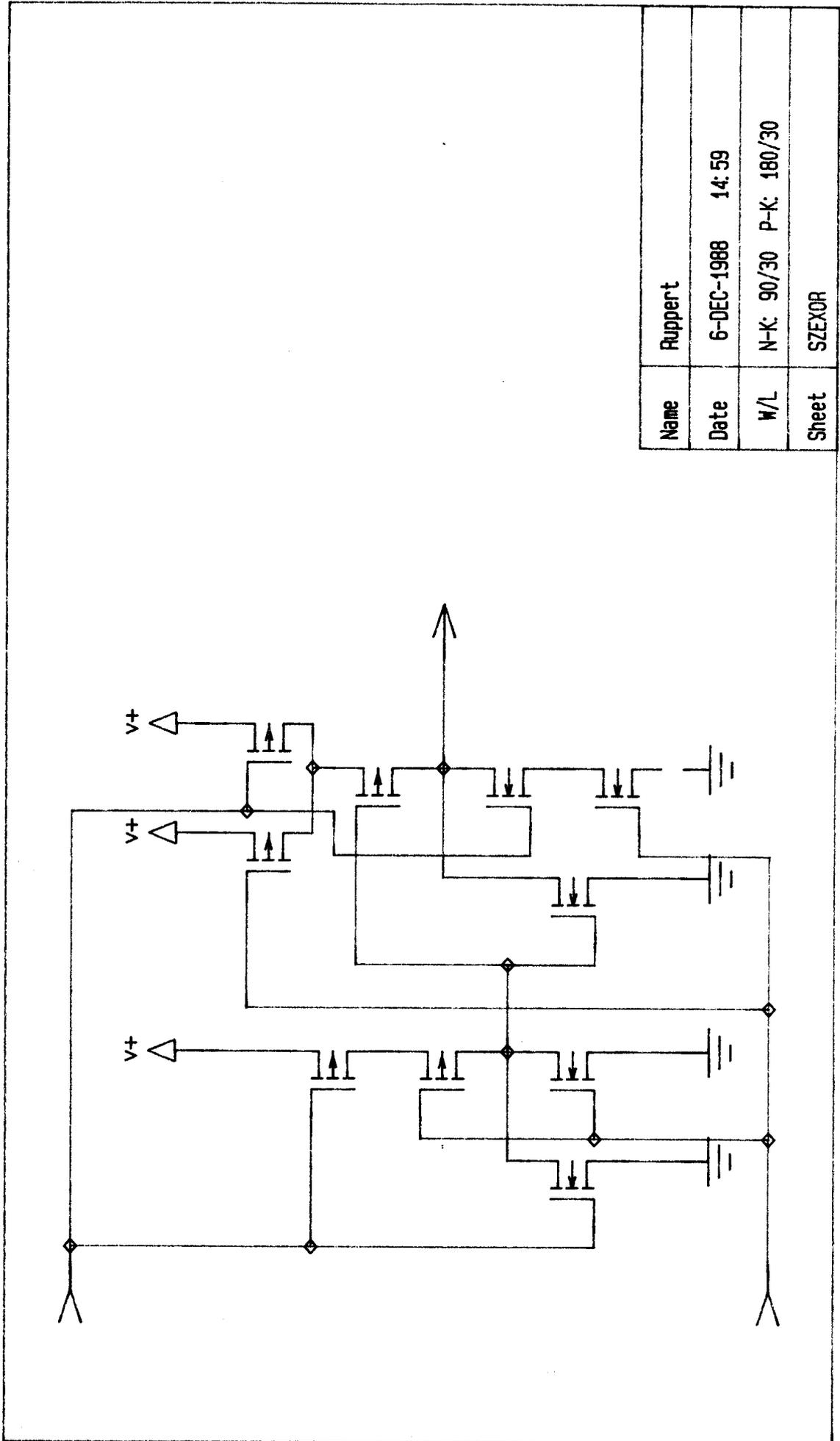


Bild 3



Name	Ruppert
Date	6-DEC-1988 14:59
W/L	N-K: 90/30 P-K: 180/30
Sheet	SZEXOR

Bild 4: Schaltungsentwurf mit FUSE

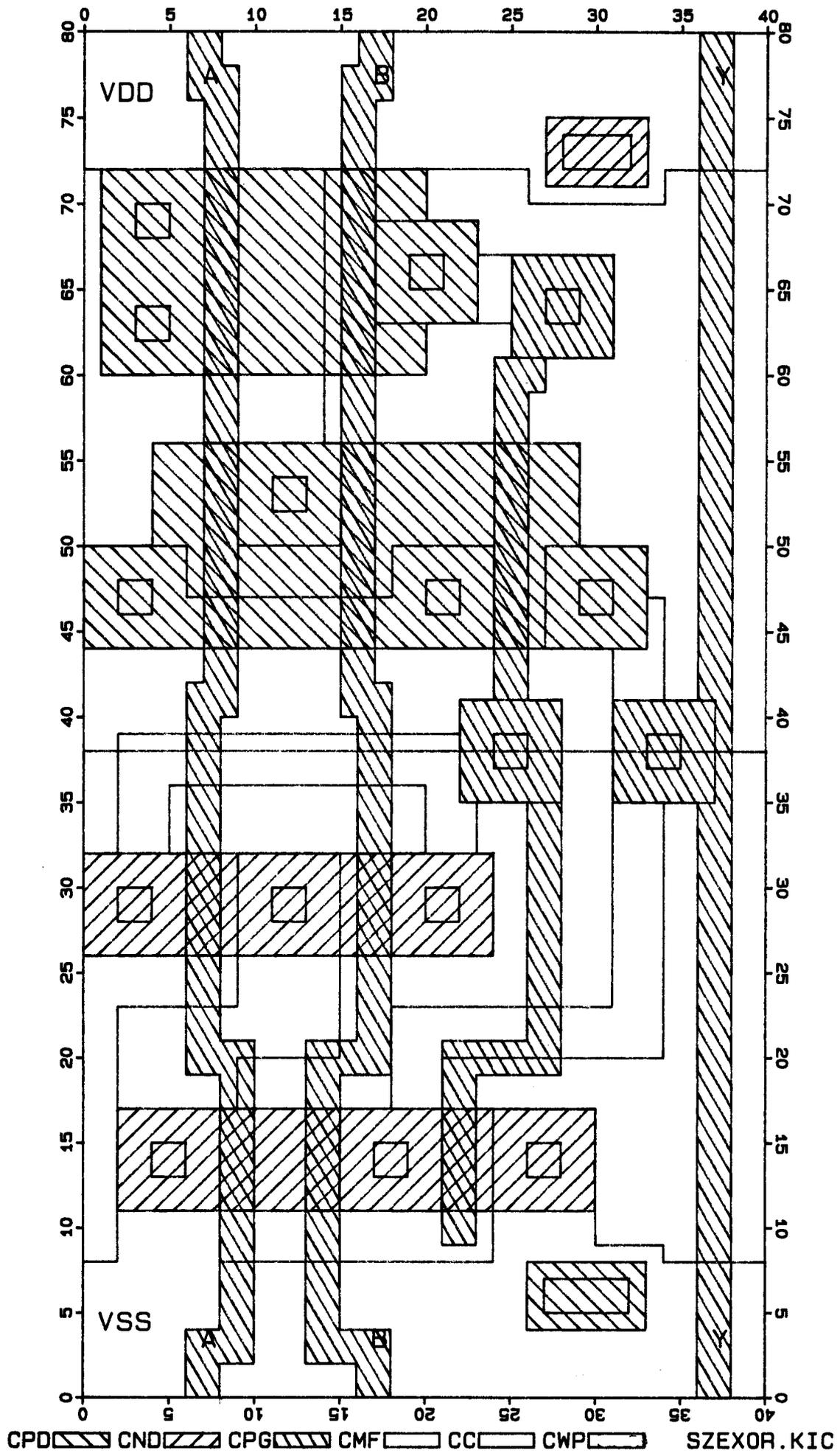


Bild 5: Layout mit der KICbox

```

szexor.kic CEXT NETLIST
.SUBCKT SZEXOR 1 2 5 8 9
M1      9  3  4  2 MODPKAN (L=3.0U W=18.0U)
M2      1  3  9  1 MODNKAN (L=3.0U W=9.0U)
M3      3  8  1  1 MODNKAN (L=3.0U W=9.0U)
M4      3  8  6  2 MODPKAN (L=3.0U W=18.0U)
M5      4  8  2  2 MODPKAN (L=3.0U W=18.0U)
M6      9  8  7  1 MODNKAN (L=3.0U W=9.0U)
M7      7  5  1  1 MODNKAN (L=3.0U W=9.0U)
M8      6  5  2  2 MODPKAN (L=3.0U W=18.0U)
M9      2  5  4  2 MODPKAN (L=3.0U W=18.0U)
M10     1  5  3  1 MODNKAN (L=3.0U W=9.0U)
C1              1      0      59F
C2              2      0      59F
C3              3      0      59F
C4              4      0      38F
C5              5      0      13F
C6              5      1      3F
C7              6      0      16F
C8              5      2      5F
C9              7      0      5F
C10           6      2      4F
C11           8      0      14F
C12           8      1      2F
C13           9      0      49F
C14           8      2      2F
.ENDS
*X1 VSS VDD A B Y SZEXOR
.INCLUDE MOS2_IMS.MOD
.END

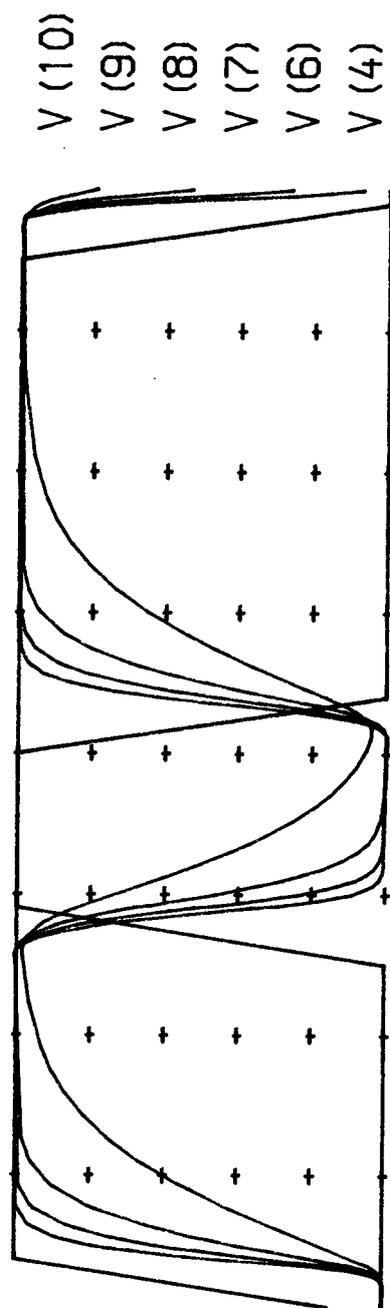
```

Tabelle 1: SPICE-Extraktion mit der KICbox

szexor.kic CEXT NETLIST

5.030

-1.57E-02



6.00E-10

8.00E-08

Bild 6: Grafische SPICE-Ausgabe mit der KICbox

S Z E X O R		Höhe	Breite
Exklusiv-Oder / Antivalenzgatter		80	40
<b>Ein- und Ausgangstabelle</b>			
Name	Beschreibung	Fan-In/Out	
A	Eingang	2	
B	Eingang	2	
Y	Ausgang	4	
<b>Logisches Symbol</b>			
<b>Wahrheitstabelle</b>			
A	B	Y	
0	0	0	
0	1	1	
1	0	1	
1	1	0	
<b>Charakteristik</b>			
von	zu	Parameter	
	Y	$t_r = (1.3 + 11.7 \cdot C/pF) \text{ ns}$	
	Y	$t_f = (2.0 + 8.2 \cdot C/pF) \text{ ns}$	
A, B	Y	$t_{dLH} = (1.6 + 5.0 \cdot C/pF) \text{ ns}$	
		$t_{dHL} = (1.3 + 3.9 \cdot C/pF) \text{ ns}$	

Tabelle 2: Gesamtbeschreibung der Antivalenz-Standardzelle

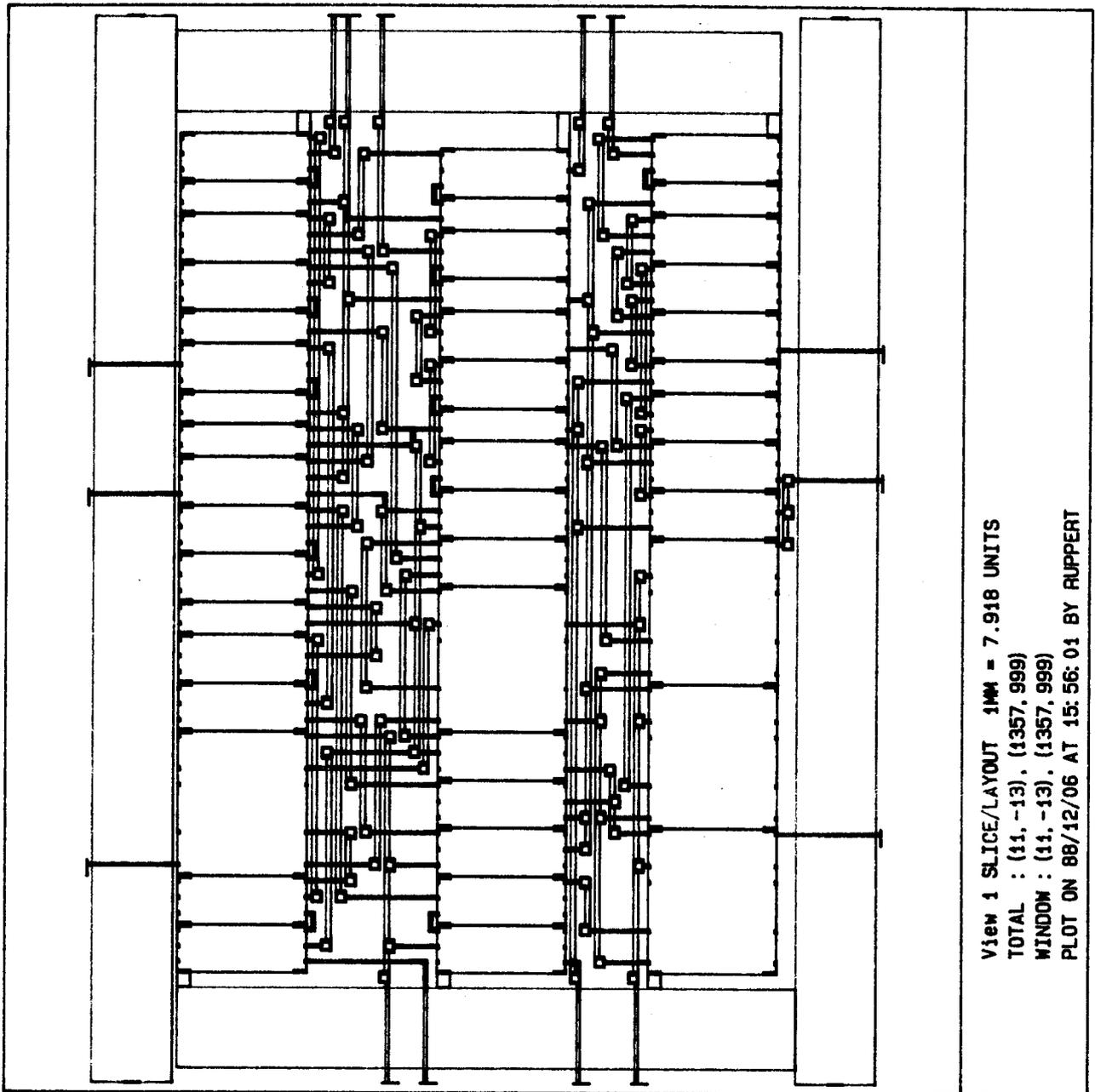
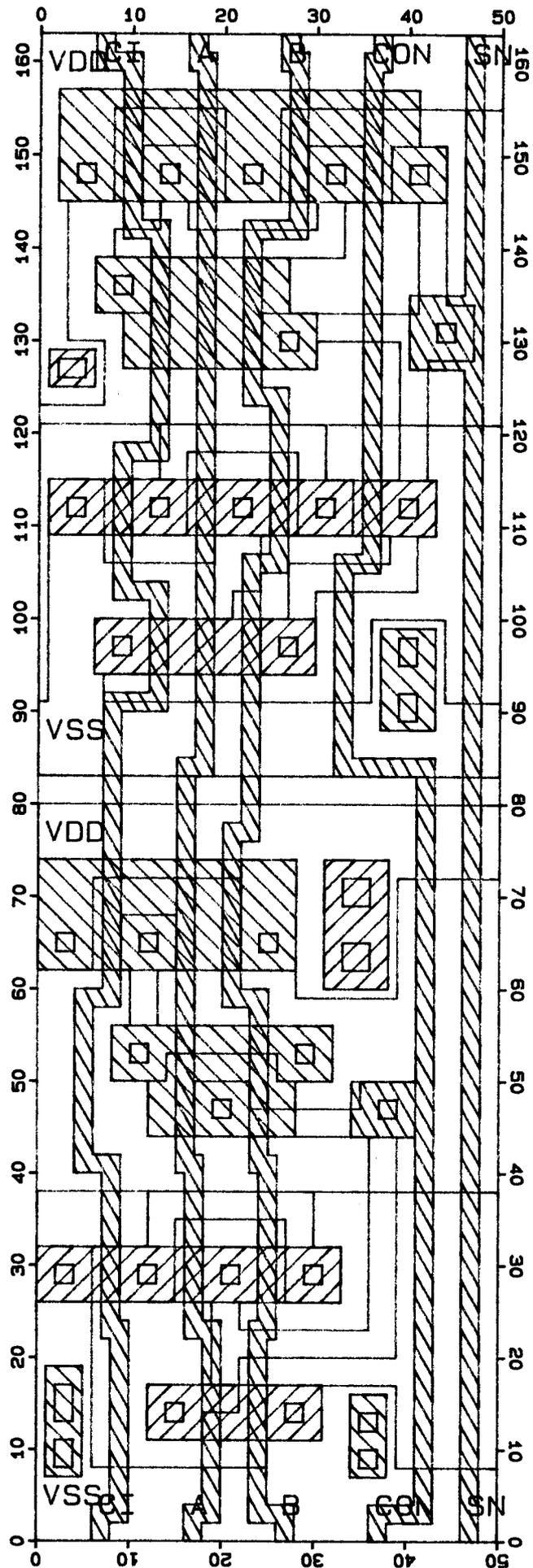


Bild 7: Beispiel eines Standardzellen-Entwurfes mit CAL-MP



CPD CND CPG CMF CC CWP SZIFA.KIC

Bild 3: Layout einer doppelt hohen Standardzelle

Tabelle 3 : Die Standardzellen-Bibliothek

=====

SZINV	Inverter
SZBUF	Treiber
SZ NAND2	2-fach Nand
SZ NAND3	3- " "
SZ NAND4	4- " "
SZ NAND8	8- " "
SZ NOR2	2-fach Nor
SZ NOR3	3- " "
SZ NOR4	4- " "
SZ NOR8	8- " "
SZ AND2	2-fach And
SZ OR2	2- " Or
SZMUX	analog Multiplexer
SZ EXOR	Antivalenz-Gatter
SZIFA	invertierender Volladdierer
SZ RSLATCH	RS-Latch
SZ DLATCH	D-Latch
SZ DFF	D-Flipflop
SZ JKFF	JK-Flipflop

Tabelle 4 : analoge Standardzellen

=====

SZSCHM	digitaler Schmitt-Trigger
SZOPSTR	Schmitt-Trigger mit OP
SZOSZI	One-Pin-Oszillator
SZOPN	abschaltbarer OP
SZDINV	Verzögerungs-Inverter
SZSPIKE	Impuls-Geber
SZPOR	Einschaltreset

Tabelle 5 : IMS Produktion

=====

MPC-Nr.	FIT-Nr.	FH	Schaltung	Layout
MPC3	FIT1	Furtw.	Standardzellen-Test	SZLib
	FIT2	Furtw.	4x4 Multiplizierer	SZLib
		Furtw.	4-Bit Komparator	SZLib
	FIT3	Furtw.	8-Bit ADC	Full
	FIT4	Ulm	Komparator	Full
MPC5	FIT5	Essl.	Test-Schaltungen	Full
		Furtw.	analoge SZ	SZLib
		Furtw.	Johnson-Zähler	Full
		Furtw.	8-Bit DAC	Full
MPC7	FIT6	Essl.	4-Bit ALU	Full
		Ulm	6-Bit Shift-Register	SZLib
		Ulm	9-Bit Shift-Register	SZLib
		Furtw.	16x4-Bit RAM	Full/SZLib
geplant	FIT7	Essl.	4x4 Multiplizierer	?
		Furtw.	6x4-Bit FIFO	SZLib
		Furtw.	7-Bit DAC	Full
		Furtw.	analog Komparator	Full



## 6. Vorarbeiten für ein Gate-Array- oder Standardzellen-Design auf einer Mentor-Workstation

In der modernen Elektronik-Entwicklung geht der Trend eindeutig zu immer komplexeren Schaltungen bei gleichzeitiger Reduzierung des Platzbedarfes. Um diesem Trend Rechnung zu tragen, kann sich heute der einzelne Entwickler unter Verwendung eines CAE-Systems einen für seine Schaltung maßgeschneiderten Chip erstellen. Die Wahl des Design-Verfahrens (PLD, Gate-Array, Standardzellen oder vollkundenspezifisches IC) bleibt dabei dem Entwickler überlassen. Dieser fällt, nach Abwägung aller technischen und wirtschaftlichen Gesichtspunkte, die für sein Produkt günstigste Entscheidung.

### Ausgangssituation

Es steht eine Mentor-Workstation DN4000 mit dem Betriebssystem AEGIS Version 9.7 zur Verfügung. Außerdem sind die Softwarepakete für ein Gate-Array-Design (GATESTATION) wie auch für ein Standardzellen-Design (CELLSTATION) auf der Workstation installiert.

Des Weiteren steht ein Chip-Hersteller bereit, der das ausgewählte Design-Verfahren unterstützt.

Entwicklungsablauf bei einem Gate-Array-Design

In diesem Teil wird nun kurz die Reihenfolge eines Gate-Array-Designs auf der Mentor-Workstation angeschnitten.

Die Umsetzung der Schaltungsidee (Bild 1) beginnt mit der Benützung des Stromlaufplan-Editors NETED. Mit Hilfe dieses Programmes wird der Stromlaufplan an der Workstation graphisch eingegeben und als ein Schematic-File abgespeichert. Der Aufruf lautet: ' NETED <design> '. Auf den Gebrauch des Stromlaufplan-Editors selbst soll hier nicht näher darauf eingegangen werden. Darüber gibt das IDEAS Series Schematics Capture User's Manual und das IDEAS Series Schematics Capture Reference Manual genauere Auskünfte.

Ablauf eines Gate-Array-Designs

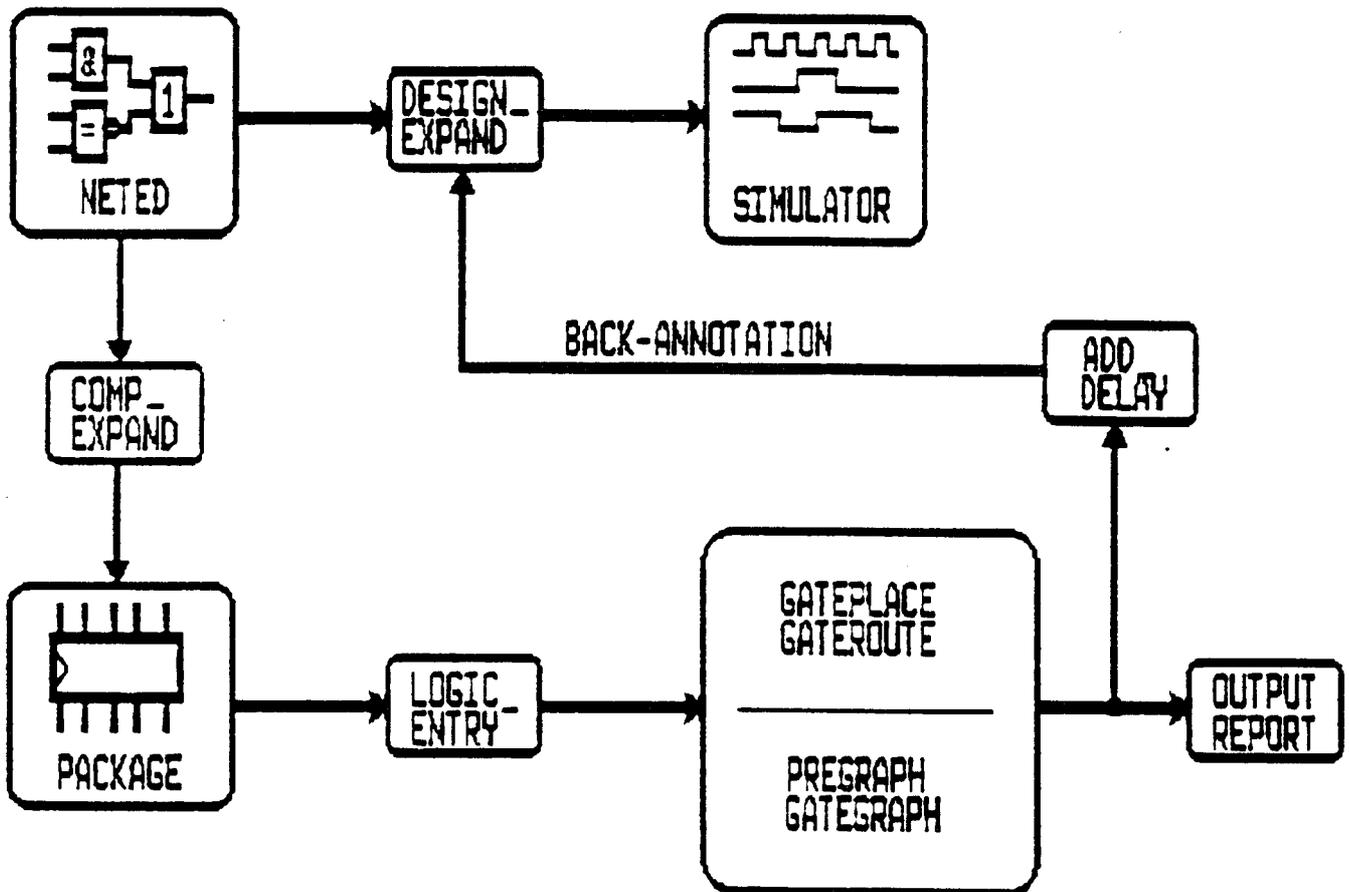


Bild 1

Wichtig in diesem Zusammenhang ist die Tatsache, daß es bei einem Gate-Array-Design zwei zusätzliche Properties gibt. Wird einem Macro die Property *PLACE* `<site_location>` zugewiesen, bedeutet dies für das Macro eine feste Vorplazierung auf dem Gate-Array an der Stelle `site_location`. Wird aber statt dessen die *SEED*-Property verwendet, dann handelt es sich lediglich um einen Plazierungsvorschlag, der beim Arbeitsgang Plazierung mißachtet werden kann. Bei der anderen Property handelt es sich um die *PRIO*-Property. Mit deren Hilfe können zeitkritische Netze mit einer Prioritätszahl zwischen 0 und 16 versehen werden, wobei Netze mit der Zahl 16 die höchste Priorität haben und als erstes geroutet werden. Dadurch ist bei solchen Leitungen eine optimale Leiterbahnverlegung bei gleichzeitiger Minimalisierung der Leiterbahnlänge gewährleistet. Außerdem sei hier darauf verwiesen, daß sich im NETED eine hierarchische Schaltung sehr einfach realisieren läßt. Dazu wird im NETED einfach ein Blocksymbol gezeichnet, das dann automatisch als Symbol abgespeichert wird. Diesem Symbol wird dann mit dem Kommando 'OPEN SHEET BELOW FOR EDIT' und der nachfolgenden Eingabe der Schaltung eine logische Funktion hinterlegt.

Als nächstes kommt das Programmpaket EXPAND zur Anwendung. Dieses Programm wird gleich zweimal benützt. Beim Aufruf von 'DESIGN\_EXPAND `<design>`' werden die Daten für die Simulation so aufbereitet, daß sie für den jeweils benutzten Simulatortyp maßgeschneidert vorliegen. Das Datenfile erhält die Suffix ' *design.ere1* ' .

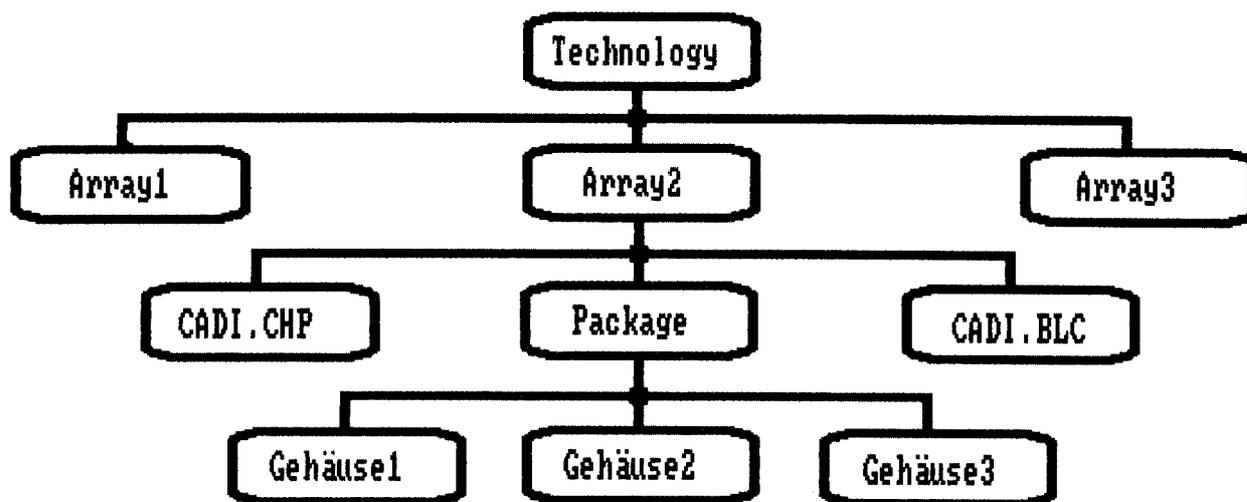
Im Anschluß daran kann dann eine Simulation durchgeführt werden. Für digitale Schaltungen wird dabei der QUICKSIM verwendet, während für analoge Schaltungen der MSPICE zur Anwendung kommt. Mit Hilfe des QUICKFAULT ist auch eine Fehlersimulation möglich. Genaueres steht hierzu in den entsprechenden Manuals.

Sollten sich bei der Simulation Schaltungsfehler ergeben, ist ein Rücksprung in den Stromlaufplan-Editor NETED notwendig. Von dort wiederholt sich der vorab beschriebene Schaltungsentwurfsweg.

Lässt sich bei der Simulation die volle Funktionsfähigkeit der Schaltung nachweisen, wird der EXPAND zum zweiten Mal aufgerufen. Diesmal lautet der exakte Aufruf 'COMP\_EXPAND `<design>`'. Hierbei wird der bestehende Datensatz in der Weise expandiert, daß er für die Erstellung eines Gate-Arrays prädestiniert ist. Das File, das nun unter anderem die Daten für die Vorplazierung mittels der Properties PLACE und SEED sowie die Leitungsgewichtung durch die Property PRIO enthält, erhält das Suffix ' *comp.ere1* ' .

Nun ist es an der Zeit, sich Gedanken über das zu verwendende Gate-Array zu machen. Es ist die Größe des Gate-Arrays, die Pin-Anzahl und die Gehäuseform auszuwählen. Für die Größe des Gate-Arrays ist die äquivalente Gatterzahl der Gesamtschaltung ausschlaggebend. Ein äquivalentes Gatter entspricht vier Transistoren (z.Bsp. NAND-Gatter). Bei der benötigten Pin-Anzahl sind nicht nur die Input-, Output- und bidirektionalen Pins zu berücksichtigen, sondern auch die Anzahl der Spannungsversorgungspins. Je größer die Zahl der Spannungsversorgungspins ist, umso geringer fällt das Rauschen im Chip selbst aus.

Nachdem hier eine Entscheidung gefallen ist, wird die Package-Definition aufgerufen. Der Aufruf lautet dabei: ' PKG\_DEF <design> <technology> <array> <package> '. Mit diesem Programm werden die Ein- und Ausgangssignale der Schaltung den Pins des Gehäuses zugewiesen. Die Struktur der beim Aufruf verwendeten Verweise (technology, array, package ) ist aus dem *Bild 2* ersichtlich.



**Bild2: Technologie-Struktur**

Nun muß noch das physikalische Design-File generiert werden. Dies geschieht mit dem Aufruf: ' LOGIC\_ENTRY <design> <technology> '. Mit diesem Schritt sind nun all die Angaben in einer Datei zusammengefaßt worden, mit denen nun die Auflösung der Schaltung auf einem Gate-Array erfolgen kann.

Es besteht nun die Möglichkeit der automatischen wie auch der manuellen Platzierung und Verdrahtung. Dabei ist es möglich, an einer Schaltung beide Varianten miteinander vermischt anzuwenden.

Zuerst einmal müssen die verwendeten Macros auf dem Gate-Array platziert werden. Durch den Aufruf von: ' GATEPLACE <design> <technology> <array> ' läuft der automatische Platzierungsalgorithmus ab. Eine durch die Property PLACE oder SEED hervorgerufene Vorplatzierung von bestimmten Macros wird beim Ablauf dieses Programmes berücksichtigt.

Nach einem erfolgreichen Durchlauf des Programmes kann mit dem Befehl ' GATEROUTE <design> <technology> <array>' die automatische Verdrahtung der Schaltung gestartet werden. Der Router versucht dabei, unter Berücksichtigung der im NETED vergebenen Prioritäten für zeitkritische Netze, die günstigsten Verbindungen zu finden. Günstigste Verbindung bedeutet in diesem Zusammenhang, daß die kürzeste Verbindung mit der geringsten Anzahl an Durchkontaktierungen gesucht wird. Sollte der Router die Verdrahtung nicht zu 100% erfüllen können, müssen die restlichen Verbindungen von Hand verlegt werden. Dazu muß jedoch zuerst das Aufbereitungsprogramm PREGRAPH ablaufen. Dieses Programm liest die bestehende Datenbasis ein und expandiert sie in der Form, wie sie von dem manuellen Router und Platzierer anschließend benötigt werden. Der Aufruf erfolgt mit: ' PREGRAPH <design> <technology> <array> ' .

Im Anschluß daran erfolgt für den manuellen Eingriff in den Layoutentwurf der Aufruf: ' GATEGRAPH <design> <technology> <array> ' .

Die genauere Handhabung dieser Software läßt sich im *Gate Station Reference Manual* nachlesen.

Sollten nach einem manuellen Eingriff noch nicht verlegte Leitungen vorhanden sein, können mit dem Programm POSTROUTE automatisch diese sogenannten Overflows geroutet werden. Der Aufruf sieht folgendermassen aus: ' POSTROUTE <design> <technology> <array> ' .

Wenn nach diesem Schritt die Schaltung vollkommen auf dem Gate-Array aufgelöst ist, sollte man das Programm ADD\_DELAY laufen lassen. Die Syntax sieht wie folgt aus: ' ADD\_DELAY <design> <technology> <array> -Optionen ' . Mit der Unterstützung dieses Programmes und den möglichen Optionen wird es einem ermöglicht, die realen Layout-Daten aus der Schaltung zu extrahieren. Erst jetzt, nach der Schaltungsauflösung, sind die realen Leitungslängen bekannt. Des weiteren lassen sich bei den Optionen die Betriebstemperatur und die Versorgungsspannung angeben. Das ADD\_DELAY kreiert dann die reale Datenbasis für die Simulation und hängt sie an das ganz am Anfang bei der Simulation verwendete Datenfile an. Nun kann die Schaltung mit denselben Stimulis nochmals getestet werden.

Mit der Verwendung dieser Rückführung von realen Layout-Daten, auch Back-Annotation genannt, endet die Entwicklung eines Gate-Arrays. Die bestehende Datenbasis wird an den Chip-Hersteller weitergeleitet, der darauf aufbauend das Gate-Array produziert.

Entwicklungsablauf bei einem Standardzellen-Designs

Beim Standardzellen-Design verläuft der Einstieg äquivalent zum Gate-Array-Design (Bild 3). Die Stromlaufplaneingabe erfolgt ebenfalls mit dem Aufruf 'NETED <design>'. Auch hier können die Properties PLACE, SEED und PRIO verwendet werden.

Ablauf eines Standardzellen-Designs

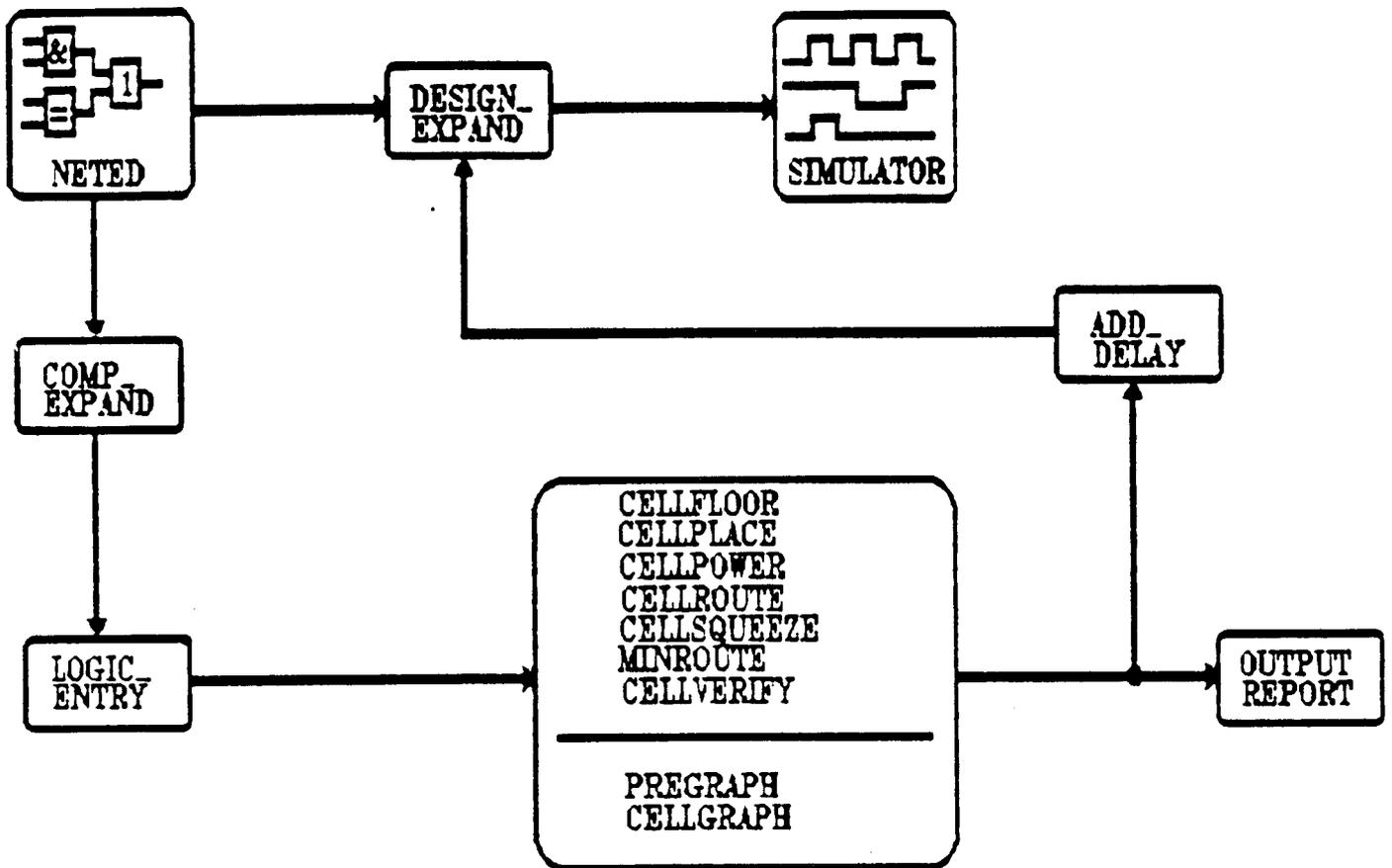


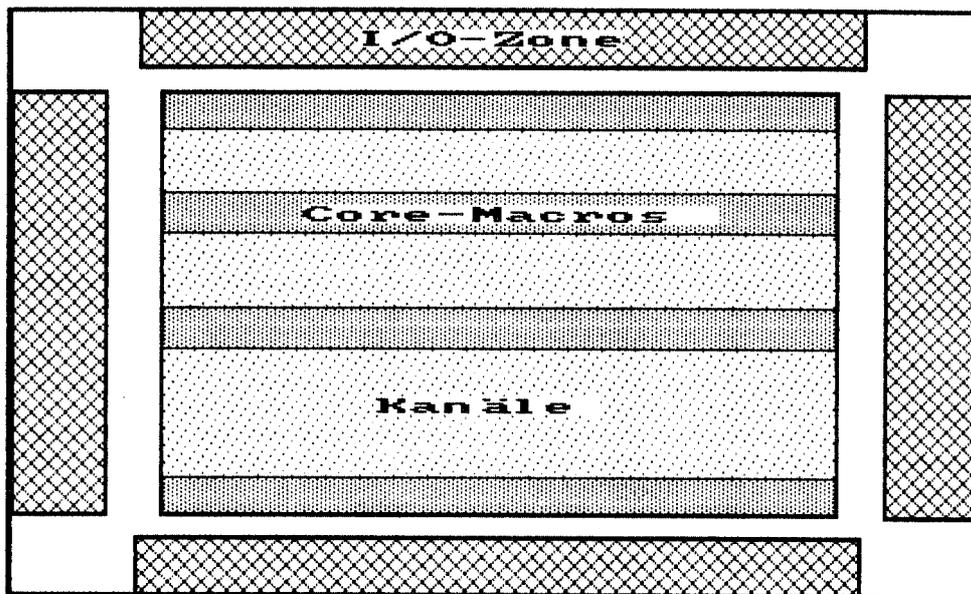
BILD 3

Nach erfolgter Stromlaufplaneingabe wird analog zum Gate-Array-Design durch den Aufruf von 'DESIGN\_EXPAND <design>' die Datenbasis für eine Simulation vorbereitet. Auch hier kann je nach Schaltungsart der analoge oder digitale Logiksimulator sowie der Fehlersimulator QUICKFAULT verwendet werden.

Tritt ein Schaltungsfehler auf, muß wieder in den Stromlaufplan-Editor NETED zurückgesprungen werden. Nach erfolgter Modifizierung der Schaltung wiederholt sich der soeben beschriebene Entwicklungsablauf.

Nach einer erfolgreichen Simulation wird per ' **COMP\_EXPAND** <design> <technology> ' zuerst das logische Design-File erstellt. Danach wird dann das physikalische Design-File mit ' **LOGIC\_ENTRY** <design> <technology> ' entworfen. Damit ist die Datenbasis für den Layout-Prozess vorbereitet.

Mit dem Aufruf von ' **CELLFLOOR** <design> <technology> ' wird so eine Art Schablone für die Plazierung der Macros erstellt. Dieses Programm sorgt dafür, daß die verwendeten Macros in Zeilen angeordnet werden können (*Bild 4*). Außerdem wird eine geradlinige Verlegung der Spannungspins vorbereitet.



**Bild4: typischer Cellfloorplan**

Als nächster Schritt kann nun die Plazierung der Macros selbst in Angriff genommen werden. Bei Verwendung von ' **CELLPLACE** <design> <technology> ' geschieht dies automatisch. Bei der manuellen Plazierung muß wie beim Gate-Array-Design zuerst ' **PREGRAPH** <design> <technology> ' und dann erst ' **CELLGRAPH** <design> <technology> ' aufgerufen

werden. Hierbei werden die Vorplazierungen mit der Property PLACE aus dem NETED berücksichtigt.

Im Gegensatz zum Gate-Array-Design, wo die Leitungen für die Spannungsversorgung auf dem Array bereits vom Hersteller festgelegt und realisiert worden sind, müssen diese beim Standardzellen-Design erst noch geroutet werden. Für den automatischen Ablauf der Spannungsversorgungs-Leiterbahnverlegung ist ' CELLPOWER <design> <technology> ' einzugeben. Bei der manuellen Vorgehensweise ist wiederum das Programmpaket CELLGRAPH aufzurufen.

Nach der Vollendung der Macro-Plazierung können die Leitungsnetze aufgelöst werden. Mit ' CELLROUTE <design> <technology> ' geschieht dies automatisch, wobei die als zeitkritisch deklarierten Netze zuerst verlegt werden. Auch dieser Arbeitsgang kann mit dem Programmpaket CELLGRAPH von Hand durchgeführt werden.

Nachdem die Schaltung als Standardzelle aufgelöst ist, wird das Programm CELLSQUEEZE verwendet. Durch den Aufruf mit ' CELLSQUEEZE <design> <technology> ' wird das Design optimiert. Unter anderem werden nicht genutzte Flächen aus dem Design entfernt.

An diesem Punkt tritt nun ein Arbeitsgang auf, der nur bei der Einlagen-Metall-Technologie angewandt wird. Bei dieser Technik gibt es außer einer Metallisierungsebene noch eine Polysiliziumebene. Dieses Programm legt nun, sofern es möglich ist, Leitungen von der Polysiliziumebene auf die Metallisierungsebene, da hier der Leiterbahnwiderstand wesentlich geringer ausfällt. Der Aufruf lautet dabei: ' MINROUTE <design> <technology> '.

Zur Kontrolle, daß durch diese Optimierungsläufe auch alle Designregeln noch eingehalten werden, wird mit ' CELLVERIFY <design> <technology> ' nochmals eine Verifikation des Layouts durchgeführt.

Nach dem erfolgreichen Abschluß aller Arbeitsgänge liegt nun das reale Layout der Schaltung vor. Daraus lassen sich mit dem Programm ADD\_DELAY wiederum die realen Layoutdaten, wie z.Bsp. Leiterbahnlängen, aus dem Layout extrahieren. Diese Daten werden der Datenbasis für die Simulation zugeführt, so daß nun ein reales Simulationsergebnis der Schaltung erzielt werden kann. Erfolgt dieser Test zur vollsten Zufriedenheit des Entwicklers, ist das Standardzellen-Design abgeschlossen. Nun kann der Chip-Hersteller sein Handwerk aufnehmen und Prototypen der Schaltung produzieren.

## Vorleistungen

Die zu erbringenden Vorleistungen hängen von dem zur Verfügung stehenden Chip-Hersteller ab. Hat dieser seine Macro-Bibliotheken und Gate-Arrays oder Standardzellen bereits auf die Mentor-Workstation portiert, kann sofort mit dem Schaltungsentwurf in der Weise, wie es vorher beschrieben wurde, begonnen werden. Ist dies jedoch nicht der Fall, so stehen einem vor dem Schaltungsentwurf mehrere Vorarbeiten ins Haus.

Als erstes müssen für die Stromlaufplaneingabe die Logiksymbole für die Elemente entworfen werden, die der Chip-Hersteller anbietet. Diese Arbeit läßt sich mit dem Symbol-editor SYMED relativ einfach erledigen.

Verfolgt man den Entwicklungsablauf unabhängig vom Technologie-Verfahren, fällt für die Simulation die nächste Arbeit an. Den neu geschaffenen Logiksymbolen müssen nun die Simulationsmodelle hinterlegt werden. Diese werden dann bei der Simulation anstatt der Logiksymbole verwendet.

Nach einer fehlerlosen Simulation wäre die Auflösung der Schaltung in der jeweiligen Technologie an der Reihe. Dazu muß jedoch die Grundstruktur des Chips, so wie sie vom Hersteller im Urzustand vorliegt, auf der CAE-Workstation bekannt sein. Diese Daten werden in der Datei CADI.CHP mit einer eigenen Syntax versehen, abgelegt. Ebenso muß die Layout-Struktur eines jeden Macros bekannt sein, damit bei der Plazierung und dem nachfolgenden Routen die Logiksymbole aus dem Schaltplan durch ihre Layouts ersetzt werden können. Diese Beschreibung ist rein abstrakter Natur und ist nicht mit dem tatsächlichen Layout identisch. Diese Macro-Place/Route-Beschreibung wird in der Datei CADI.BLC hinterlegt. Es bleibt noch zu vermerken, daß sich das Aussehen der beiden Dateien CADI.CHP und CADI.BLC je nach der Technologie teilweise voneinander unterscheidet.

Damit wären alle Vorleistungen erbracht, um eine Schaltungsintegration erfolgreich durchführen zu können. Nachfolgend wird auf die letzten beiden Vorleistungen, mit denen die GATESTATION- bzw. CELLSTATION-Software mit den Technologie-Daten versorgt wird, genauer eingegangen.

## Technologie-Beschreibung für ein Gate-Array-Design

Im Anschluß an dieses Kapitel befindet sich ein triviales Gate-Array mit seiner Beschreibung sowie ein NAND für die Macrobeschreibung. An Hand dieser Beispiele kann man die nachfolgenden Erläuterungen visuell verfolgen.

Die Beschreibung erfolgt mit dem sogenannten Technology Definition Format (TDF). Über den Befehl ' TDF\_INPUT <tdf\_file> ' werden dann die beiden Dateien CADI.CHP und CADI.BLC generiert.

Die Grobstruktur dieser Datei sieht wie folgt aus:

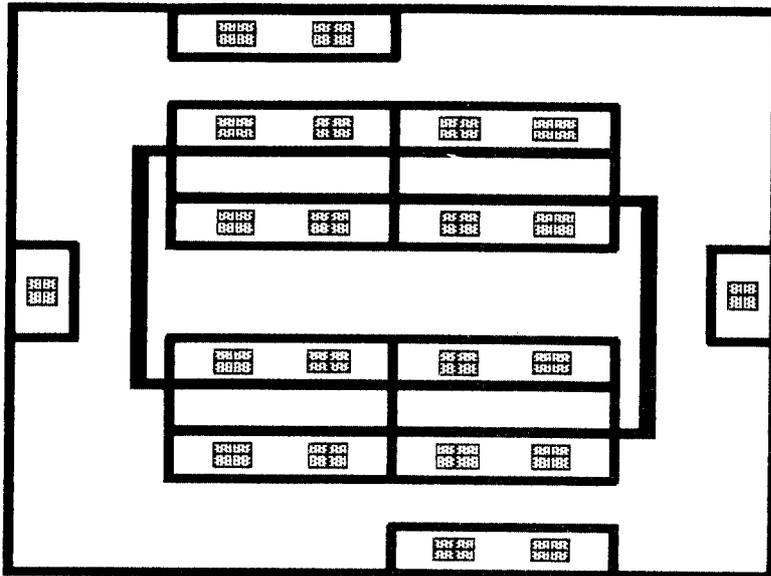
```
HEADER Record
RULES Section
:
CHIP Section
:
MACRO Section
:
TRAILER Record
```

Bei dem HEADER-Record handelt es sich um die Kopfzeile des TDF-Files. Mit 'TDF' wird das File eingeleitet und nachfolgend stehen die Versionsnummer, das Datum und der Autor dieser Datei.

Der TRAILER-Record stellt dazu den Pedanten her. Mit ihm wird das Ende des TDF-Files angezeigt.

Mit der RULES-Section beginnt die eigentliche Technologie-Beschreibung. Es werden hier die Layout-Regeln für die Leiterbahnbreite, -abstand, -widerstand und -kapazität festgelegt. Dabei werden die Daten für die beiden Metallisierungsebenen getrennt angegeben. Die selben Angaben werden auch für die Durchkontaktierungen, auch Via genannt, festgelegt. Außerdem wird der Mindestabstand zwischen der Leiterbahn und einer Durchkontaktierung sowie zwischen verschiedenen Viatypen mit der WTOV- bzw. VTOV-Anweisung spezifiziert. Damit ist die RULES-Section bereits beendet.

Innerhalb der CHIP-Section wird nun die Struktur des Gate-Arrays beschrieben (*Bild 5*).



**Bild 5: Gate-Array**

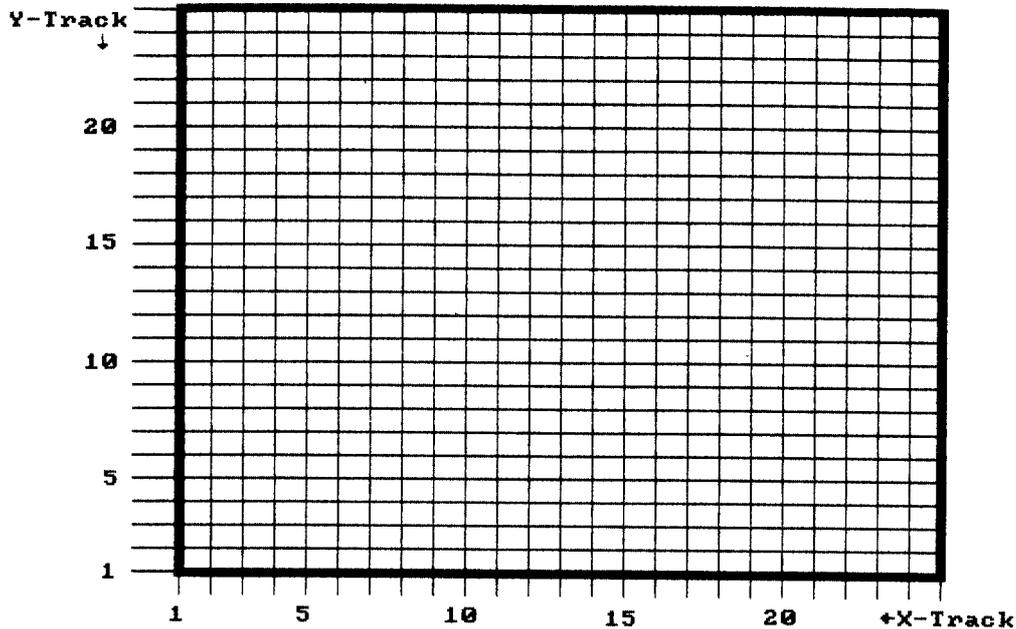
Dieser Dateiabschnitt ist in weitere Unterabschnitte unterteilt. Es ergibt sich dabei folgende Struktur:

```

CHIP Section
  TRACKS Section
  PARMS Section
  MATRICES Section
  SITES Section
  MAP Section
  PLACEPRM Section
  ROUTEPRM Section
    
```

Die Reihenfolge der Unterabschnitte kann auch abgeändert werden. Wichtig ist nur, daß sämtliche Unterabschnitte der CHIP-Section vorhanden sind.

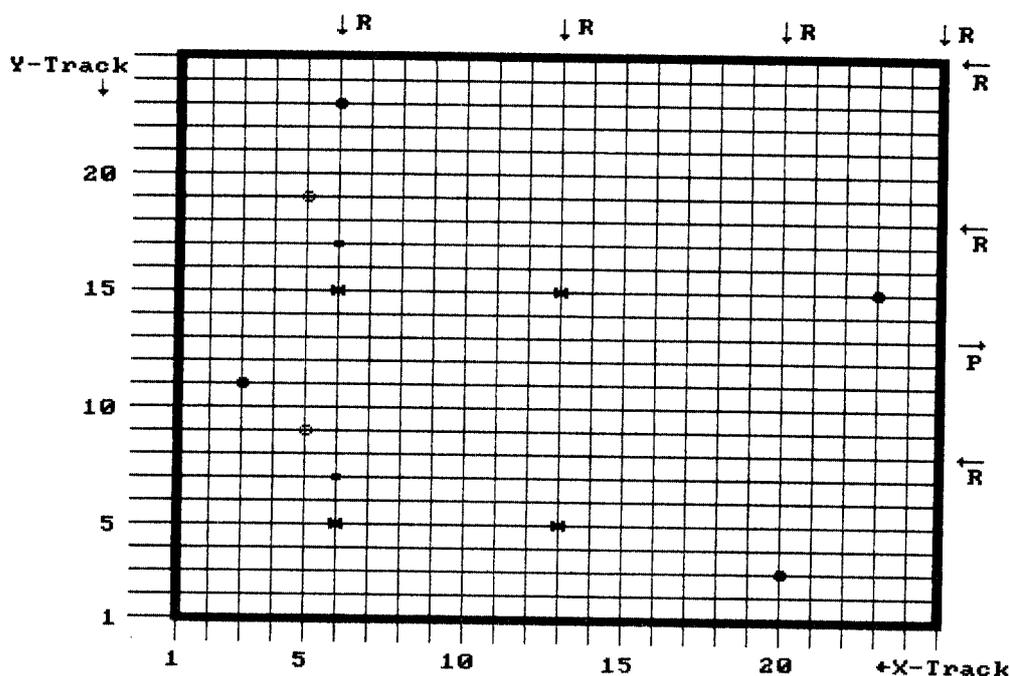
- Mit der TRACKS-Section wird im Prinzip über das Gate-Array ein Raster gelegt (Bild 6). Leiterbahnen können nun nur noch auf diesem Raster, eben den Tracks, verlegt werden. Für vertikale Leiterbahnen sind die XTRACKS und für die horizontalen die YTRACKS zuständig. Diese Tracks beginnen mit dem Index 1 und werden dann hochgezählt. Die Abstände der einzelnen Tracks geben Sie in  $\mu\text{m}$  an. Dabei können die Abstände auch unregelmäßig ausfallen. Wenn dies der Fall ist, müssen Sie die Track-Definition über die MATRICES-Section durchführen.



**Bild 6: TRACKS-Section**

- In der **PARMS**-Section werden Chip-Parameter für jede einzelne Verdrahtungsebene angegeben. Es wird hierbei die Hauptroute-Richtung der einzelnen Metallebenen definiert. Diese Anweisung hat für den Route-Algorithmus zur Folge, daß er nur in solchen Fällen von der vorgeschriebenen Route-Richtung abweicht, wo eine erfolgreiche Verbindungsauflösung sonst nicht mehr möglich wäre. Normalerweise wird einer Metallisierungsebene die horizontale und der anderen die vertikale Richtung zugeordnet. Der Sinn dieser Anweisung liegt darin begründet, daß die bereits existierende Gate-Array-Struktur auf der den Transistoren zugewandten Seite meistens fast nur horizontale Verdrahtungskanäle aufweist. Würde hier eine vertikale Leiterbahn verlegt, wäre der Kanal für weitere horizontale Leiterbahnen an dieser Stelle vollkommen blockiert. Des weiteren kann bei der **PARMS**-Section der Name der Via-Zelle angegeben werden, wenn dies nicht bereits in der **RULES**-Section geschehen ist.
- Die **MATRICES**-Section trägt dazu bei, daß die Chip-Beschreibung in wesentlich verkürzter Form dargestellt werden kann. Es wird hierbei die regelmäßige Struktur eines Gate-Arrays ausgenutzt (*Bild 7*).  
 Zum Beispiele ist der Corebereich in lauter gleichgroße Rechtecke unterteilt, auf denen die Macros plaziert werden können. Diese Rechtecke sind in einer gleichmäßigen Struktur in Zeilen und Spalten angeordnet. Es genügt nun, all die X/Y-Punkte in einer Matrixdefinition mit dem Namen

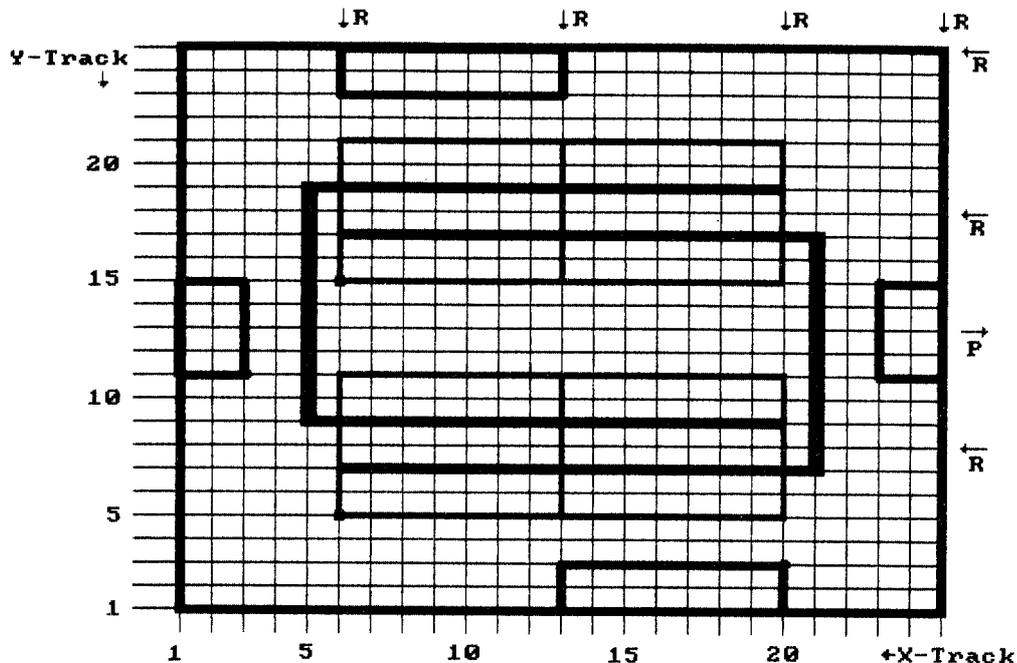
'Core' abzulegen, die die linke untere Ecke eines Rechtecks darstellen. Wenn nun die Platzierungsmöglichkeiten für Macros definiert werden sollen, braucht man nur noch die Höhe und Breite der Core-Rechtecke sowie den Namen der Matrixdefinition (in diesem Beispiel 'Core') anzugeben. Damit wird dann automatisch jedem Punkt der Matrix solch ein Rechteck zugeordnet. Diese Matrixdefinition läßt sich auch auf die Verdrahtungskanäle, I/O-Macros, TRACK-Definition, Spannungsversorgungsleitungen usw. anwenden. Die Festlegung der einzelnen Punkte geschieht mit einfachen Schleifen für X- und Y-Koordinaten.



**Bild 7: MATRICES-Section**

- Durch die SITES-Section werden nun die Flächen definiert, auf denen Macros plaziert werden können. Außerdem wird die Orientierung der Flächen (normal, an der X-Achse gespiegelt, ...) festgelegt. Diese Informationen werden bei der Platzierung benötigt. Mit der SITES-Anweisung werden nun die Core-Rechtecke und die I/O-Flächen an allen vier Außenseiten des Gate-Arrays festgelegt (Bild 8). Dabei wird dem jeweiligen MATRICES-Namen nur noch die jeweilige Breite und Höhe des Rechtecks mitgeteilt. Dadurch wird dann, wie in der vorherigen Section beschrieben, jedem X/Y-Punkt ein Rechteck zugewiesen. Durch die Angabe der Orientierung wird gewähr-

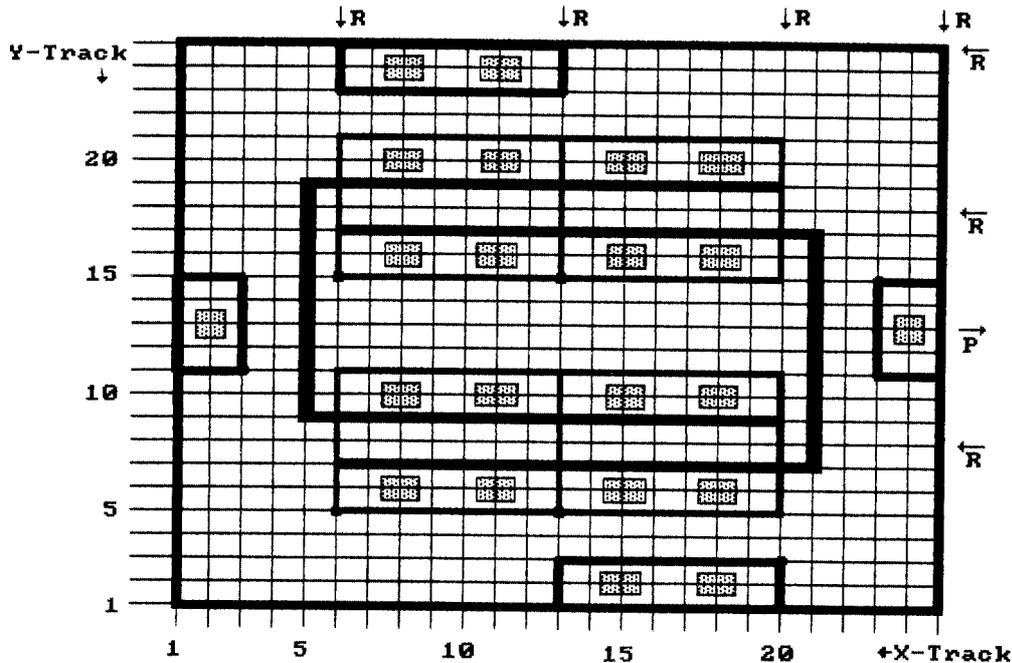
leistet, daß bei der Plazierung die Macros mit der richtigen Position auf dem Gate-Array zum Liegen kommen. An dieser Stelle ist zu sagen, daß prinzipiell auch jedes einzelne Rechteck definiert werden kann, ohne daß die MATRICES-Section benützt wird.



**Bild 8: SITES-Section**

- Die Aufgabe der MAP-Section beruht darauf, daß dem Router mitgeteilt werden muß, wo er nicht routen darf (*Bild 9*). An diesem Punkt sei noch einmal hervorgehoben, daß dem Router an Hand von Blockierungen nur mitgeteilt werden kann, wo er überall nicht routen darf. Diese Tatsache hat zur Folge, daß Einlagen-Metall-Gate-Arrays mit einer Polysiliziumebene auf der Mentor-Workstation nicht verwendet werden können. Näheres dazu im Kapitel 'Einlagen-Metall-Gate-Array mit Polysilizium'. Interessant ist in diesem Zusammenhang auch die Tatsache, daß die Blockierungen unterschiedlich ausfallen können. Es kann eine Stelle z. Bsp. nur horizontal oder vielleicht nur vertikal blockiert sein. Eine Stelle könnte aber auch nur für Durchkontaktierungen gesperrt sein. In diesem Bereich gibt es mehrere Möglichkeiten. Blockiert werden müssen nun alle Flächen, die von den Spannungsversorgungsleiterbahnen und festen Kontaktierungen bereits belegt sind. Außerdem muß die Grenze der Siliziumfläche auf dem Gate-Array markiert werden. Bei den festen Kontaktierungen handelt es sich hauptsächlich um die Transistoranschlüsse der einzelnen Core-Macrozellen.

Hier reicht es nun aus, wenn für eine Core-Macrozelle die Blockierungen bezogen auf die linke untere Ecke eines Rechtecks angegeben werden. Mit Hilfe der MATRICES-Definition für 'Core' sind damit alle Core-Kontaktierungen automatisch blockiert. Man ersieht daraus schon, welche einen Vorteil die MATRICES-Section bietet.



**Bild 9: MAP-Section**

- In der PLACEPRM-Section werden Informationen hinterlegt, mit denen der automatische Plazierer GATEPLACE kontrolliert wird. Man kann hierbei z. Bsp. für die horizontale Leiterbahnlänge einen Kostenfaktor angeben. Das gleiche ist für die vertikale möglich. Wenn nun der horizontale Kostenfaktor wesentlich geringer ausfällt als der vertikale, dann erfolgt die Plazierung der Macros so, daß die daraus resultierende vertikale Leiterbahnlänge so klein wie möglich gehalten wird. Durch dieses Prinzip der Kostenfaktoren kann nun die Leiterbahnlänge in X- und Y-Richtung wie auch die größte Dichte an Leiterbahnen auf einer Fläche gesteuert werden. Des weiteren wird die Anzahl der Plazierungsversuche für ein Macro festgelegt. Wenn der Plazierer diese Anzahl überschreitet, kann er das Macro nicht plazieren. An dieser Stelle muß dann manuell eingegriffen werden. Außer diesem Faktor gibt es noch weitere, die alle mit dem Plazierungsalgorithmus zu tun haben. Näheres dazu steht in

dem *Semicustom Technology and Design Format* unter der PLACEPRM-Section.

Der ganze Platzierungsparameter-Abschnitt dürfte bei einer Gate-Array-Beschreibung wohl die größten Schwierigkeiten bereiten. Für die richtige Vergabe der zur Verfügung stehenden Parameter bedarf es großer praktischer Erfahrungen. Deshalb wird es einem am Anfang nicht erspart bleiben, mit der PLACEPRM-Section Tests zu fahren.

Die PLACEPRM-Section beinhaltet noch eine weitere Beschreibungsmöglichkeit. Mit ihrer Hilfe kann das Gate-Array in globale Platzierungsflächen aufgeteilt werden. Der Platzierungsalgorithmus benutzt diese Information beim ersten internen Durchlauf des GATEPLACE-Programmes, um eine grobe Vorplatzierung durchzuführen. Eine Richtlinie ist dabei die Forderung, daß eine solche globale Platzierungsfläche mindestens so groß sein muß wie das größte verwendete Macro in der Schaltung. Außerdem sollte die globale Platzierungsfläche des Gate-Arrays eine regelmäßige Struktur haben.

- Mit der ROUTEPRM-Section endet die Chip-Beschreibung. In diesem Abschnitt werden für den automatischen Router zwei Informationen hinterlegt.

Vergleichbar zur PLACEPRM-Section wird hier das Gate-Array in einzelne Felder aufgeteilt, die dann bei der ersten globalen Leiterbahnverlegung benutzt werden. Der Sinn dieser Aufteilung liegt darin, daß dem Router damit eine erste grobe Leiterbahnverlegung erleichtert wird, indem er sich an diese grobe Aufteilung hält. In den nachfolgenden Routevorgängen wird die Leiterbahnverlegung verfeinert. Bei der anderen Information wird dem Router die Lage der Verdrahtungskanäle mitgeteilt. Ist deren Struktur regelmäßig, kann wieder mit der MATRICES-Section gearbeitet werden.

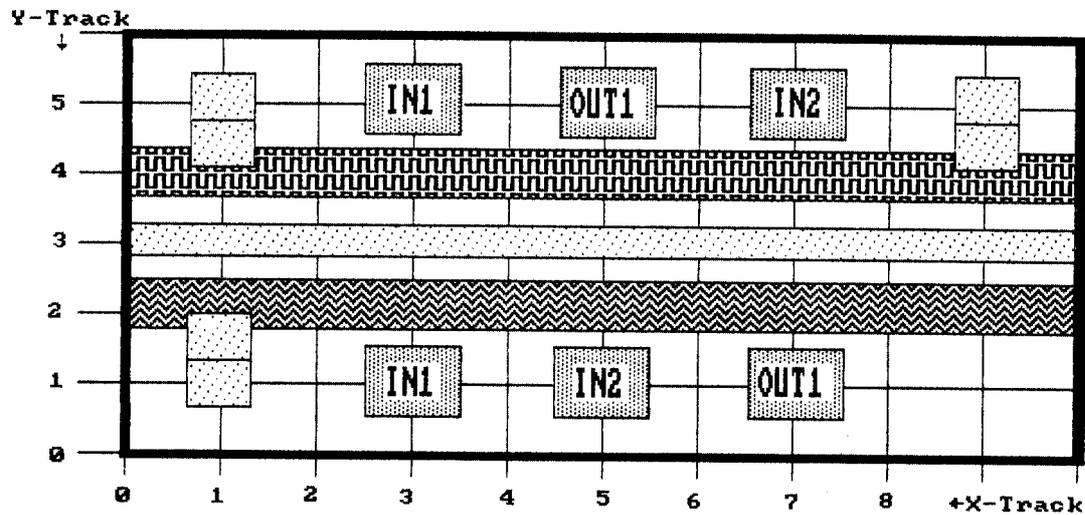
Nachdem nun das Chip technologisch beschrieben ist, fehlt jetzt nur noch die Macro-P/R-Beschreibung (*Bild 10*). Dazu dient die **MACRO**-Section. Diese hat folgendes Aussehen:

```

MACRO Section
  PHYLIB Section
    DEFINE Section
      :
    SITES Section
      :
    MAP Section
      :
    PORTS Section
      :
    LOGICAL Section
      :
  
```

Auch hier gilt, daß die Reihenfolge der Anweisungen abgeändert werden kann. Es muß nur sichergestellt sein, daß alle Abschnitte in der **MACRO-P/R**-Beschreibung letztendlich enthalten sind.

- Mit der Anweisung **BEGIN PHYLIB** startet die Macrobeschreibung. Hinter dieser Anweisung wird noch der Name der Bibliothek, das Datum und die Versionsnummer angegeben.



**Bild 10: NAND**

- Mit der **DEFINE**-Section beginnt die eigentliche Beschreibung eines Macros. Es wird hier der physikalische Name sowie der Zellename des Macros angegeben. Diese können

identisch sein. Ob es sich um eine internes oder ein I/O-Macro handelt, wird ebenso festgelegt wie die Orientierung. Durch die Orientierung wird bestimmt, daß das Macro nur an solchen Stellen auf dem Gate-Array plaziert werden kann, die durch die SITES-Section bei der Chip-Beschreibung dieselbe Orientierung aufweisen.

Mit dem GROUP-Parameter kann eine Gruppe von physikalisch verschiedenen Macros definiert werden, die aber die gleiche logische Funktion besitzen.

Zum Abschluß dieser Section kann die Versionsnummer und das Entstehungsdatum des Macros angegeben werden.

- Mit der SITES-Section wird die Form des Macros beschrieben. Dabei stellt die linke untere Ecke des Macros den Ursprung dar.

Benötigt das Macro nun mehrere Core-Einheitszellen, dann wird jede einzelne Core-Einheitszelle bezogen auf den Ursprung des Macros aufgeführt.

- Bei der nachfolgenden MAP-Section werden Blockierungen innerhalb des Macros aufgeführt.

Auch hier müssen sämtliche Leiterbahnen und Durchkontaktierungen blockiert sein, damit der Router nicht versucht, Leiterbahnen über diese Stellen zu legen.

Auch hier gibt es unterschiedliche Blockierungen wie bei der Chip-MAP-Section.

- An Hand der PORTS-Section werden die Ein- und Ausgänge des Macros spezifiziert und lokalisiert.

Dabei wird der Name des Ports mit den Koordinaten bezogen auf den Ursprung des Macros ebenso angeführt wie die Signalrichtung (Input, Output oder Bidirektional).

Außerdem können über die Ankontaktierung einer Leiterbahn an einem Port noch spezielle Richtlinien vergeben werden. Sollte ein Port mit einer Spannung direkt verbunden werden, so kann dies mit einer PORT\_ACCESS Anweisung festgehalten werden. Zum Schluß der PORTS-Definition kann noch festgelegt werden, welche Ports miteinander vertauscht werden dürfen. Wenn z. Bsp. bei einem NAND die beiden Eingänge logisch absolut identisch sind und die selben Durchlaufzeiten aufweisen, dann können sie bei der Kontaktierung mit Leiterbahnen einfach vertauscht werden. Dies erweist sich dann als nützlich, wenn es sich damit vermeiden läßt, daß sich zwei Leiterbahnen kreuzen.

- Mit der LOGICAL-Section endet die MACRO-P/R-Beschreibung. Zuerst wird der logische Name des Macros angegeben. Dann wird dem Portnamen, der in der PORTS-Section vergeben wurde, der physikalische Name gegenübergestellt. Diese Namen können auch identisch sein.

Damit ist eine Macro-P/R-Beschreibung beendet und mit einer neuen DEFINE-Section könnte das nächste Macro beschrieben werden. Wenn die Bibliothek beendet werden soll, muß die PHYLIB- und MACRO-Section abgeschlossen werden.

Die Umsetzung der Macro-Bibliothek läßt sich mit einem Umsetzungsprogramm automatisch durchführen.

Die Ausgangssituation ist ja die, daß der Chip-Hersteller seine Macro-Bibliothek in irgend einem Format beschrieben hat. Das Umsetzungsprogramm, das man entwerfen muß, braucht nun nur die auf der Mentor-Workstation benötigten Daten aus dieser Datei extrahieren und sie im TDF-Format dann wieder ablegen. Damit läßt sich der Aufwand bei der Macro-Portierung minimieren.

Sollte die Macro-Beschreibung bereits im EDIF-Format vorliegen, dann kann diese mit dem Befehl 'EDIF\_INPUT' automatisch in ein Mentor-Format konvergiert werden.

Gate-Array TDF Struktur

HEADER Record

RULES Section

WTYPE Statement  
VTYPE Statement  
WTOV Statement  
VTOV Statement

CHIP Section

TRACKS Section  
PARMS Section  
MATRICES Section  
SITES Section  
MAP Section  
PLACEPRM Section  
ROUTEPRM Section

MACRO Section

PHYLIB Section  
DEFINE Section  
SITES Section  
MAP Section  
PORTS Section  
LOGICAL Section

TRAILER Record

Technology-Definition-Format-Datei  
eines Gate-Arrays

TDF 1.20 27NOV88 18:00:00-PST MENTOR-APD

(\*\*\*\*\*)  
( RULES SECTION: THE RULES SECTION DEFINES THE LAYOUT RULES )  
( WHICH INCLUDE WIRE AND VIA SIZES, SPACING BETWEEN WIRES )  
( AND VIAS AND ELECTRICAL CHARACTERISTICS SUCH AS RESISTORE )  
( AND CAPACITANCE. )  
(\*\*\*\*\*)

BEGIN RULES DEMO 27NOV88 18:00:00-PST 1.00

WTYPE PLANE=1 WIDTH=2 SPACE=2 RES=12.00 CAP=.000022 TYPE=1  
WTYPE PLANE=2 WIDTH=2 SPACE=2 RES=10.00 CAP=.000018 TYPE=1

VTYPE PLANE=1 WIDTH=3 HEIGHT=3 XSPACE=3 YSPACE=3 &  
CAP=.00017 TYPE=1  
VTYPE PLANE=2 WIDTH=3 HEIGHT=3 XSPACE=3 YSPACE=3 &  
CAP=.00017 TYPE=1

VTOV PLANE=1 XSPACE=6.0 YSPACE=6.0  
VTOV PLANE=2 XSPACE=6.0 YSPACE=6.0

WTOV PLANE=1 XSPACE=4.0 YSPACE=4.0  
WTOV PLANE=2 XSPACE=4.0 YSPACE=4.0

END RULES

(\*\*\*\*\*)  
( CHIP SECTION: THE CHIP SECTION DEFINES THE STRUCTURE OF A )  
( BASE OR UNCOMMITTED ARRAY. INCLUDED IN THIS SECTION IS THE )  
( BLOCKAGES, PLACEMENT SITES, TRACK LOCATIONS AND TUNING )  
( PARAMETERS, PLUS REFERENCES TO THE PHYSICAL MACRO LIBRARY )  
(\*\*\*\*\*)

BEGIN CHIP IMAGE=DEMO DATE=27NOV88 TIME=19:00:00-PST  
VERSION=1.00

(\*\*\*\*\*)  
( DEFINE THE ROUTING TRACKS. )  
(\*\*\*\*\*)

BEGIN TRACKS

XTRACK COUNT=24 FROM=20.0 BY=15.0  
YTRACK COUNT=24 FROM=20.0 BY=10.0

END TRACKS

```
(*****
(DEFINE THE CHIP PARAMETERS INCLUDING DATA ABOUT EACH PLANE)
( IF WRONGWAY WIRING CAN BE USED AND FOR OUTPUT, THE GDSII)
( OR APPLICON 860 STRUCTURE NAMES AND LEVEL NUMBERS.      )
*****)
```

BEGIN PARMS

```
DEFINE VIACELL=VIA
PLANE PLANE=1 DIRECT=HOR WRONGWAY=NO LEVEL=4
PLANE PLANE=2 DIRECT=VER WRONGWAY=NO LEVEL=10
```

END PARMS

```
(*****
( DEFINE THE MATRICES OR STEP AND REPEAT PATTERNS WHICH CAN)
( THEN BE USED BY ALL OTHER SECTIONS TO DEFINE REPEATED   )
( STRUCTURES SUCH AS BLOCKAGES, PLACEMENT SITES, ETC.     )
*****)
```

BEGIN MATRICES

```
(*****
(* MATRIX FOR THE BASIC CORE CELL *)
*****)
BEGIN DEFINE INTSITE UNITS=TRK
  BEGIN XCOORD FROM=6
    STEP BY=7 FOR=1
  END XCOORD
  BEGIN YCOORD FROM=5
    STEP BY=10 FOR=1
  END YCOORD
END DEFINE

(*****
(* MATRIX FOR THE TOP EXTERNAL I/O SITE *)
*****)
BEGIN DEFINE EXTSITE UNITS=TRK
  BEGIN XCOORD FROM=6 PATTERN=AAN LABEL='XT1'
  END XCOORD
  BEGIN YCOORD FROM=23 PATTERN='' LABEL=''
  END YCOORD
END DEFINE

(*****
(* MATRIX FOR THE EXTERNAL LEFT I/O SITE *)
*****)
```

```
BEGIN DEFINE EXLSITE UNITS=TRK
  BEGIN XCOORD FROM=3 PATTERN='' LABEL=''
  END XCOORD
  BEGIN YCOORD FROM=11 PATTERN=AAN LABEL='XL1'
  END YCOORD
END DEFINE
```

```
(*****
(* MATRIX FOR THE BOTTOM EXTERNAL I/O SITE *)
*****)
BEGIN DEFINE EXBSITE UNITS=TRK
  BEGIN XCOORD FROM=20 PATTERN=AAN LABEL='XB1'
  END XCOORD
  BEGIN YCOORD FROM=3 PATTERN='' LABEL=''
  END YCOORD
END DEFINE
```

```
(*****
(* MATRIX FOR THE EXTERNAL RIGHT I/O SITE *)
*****)
BEGIN DEFINE EXRSITE UNITS=TRK
  BEGIN XCOORD FROM=23 PATTERN='' LABEL=''
  END XCOORD
  BEGIN YCOORD FROM=15 PATTERN=AAN LABEL='XR1'
  END YCOORD
END DEFINE
```

```
(*****
( MATRIX DEFINING THE VDD BUSSES ACROSS THE ARRAY )
*****)
BEGIN DEFINE VDBLC UNITS=TRK
  BEGIN XCOORD FROM=5
  END XCOORD
  BEGIN YCOORD FROM=9
  STEP BY=10 FOR=1
  END YCOORD
END DEFINE
```

```
(*****
( MATRIX DEFINING THE GND BUSSES ACROSS THE ARRAY )
*****)
BEGIN DEFINE GNDBLC UNITS=TRK
  BEGIN XCOORD FROM=6
  END XCOORD
  BEGIN YCOORD FROM=7
  STEP BY=10 FOR=1
  END YCOORD
END DEFINE
```

```
(*****)
(MATRIX DEFINING GLOBAL PLACEMENT CUTS OR BOUNDARIES ACROSS)
( THE ARRAY. MUST BE SETUP IF USING AUTOMATIC PLACEMENT. )
(*****)
  BEGIN DEFINE CPGLOBAL UNITS=ARY
    BEGIN YCOORD FROM=1
    END YCOORD
  END DEFINE
```

```
(*****)
( MATRIX DEFINING GLOBAL ROUTING CUTS OR BOUNDARIES ACROSS )
( THE ARRAY. MUST BE SETUP IF USING AUTOMATIC ROUTING. )
(*****)
  BEGIN DEFINE CRGLOBAL UNITS=TRK
    BEGIN XCOORD FROM=6
      STEP BY=7 FOR=2
      STEP BY=5
    END XCOORD
    BEGIN YCOORD FROM=8
      STEP BY=10
      STEP BY=7
    END YCOORD
  END DEFINE
```

```
(*****)
( MATRIX DEFINING THE CHANNEL AREAS FOR CHANNEL PACKING. )
( MUST BE SETUP IF USING AUTOMATIC ROUTING. )
(*****)
  BEGIN DEFINE CRCHAN UNITS=TRK
    BEGIN XCOORD FROM=3
      STEP BY=20
    END XCOORD
    BEGIN YCOORD FROM=3
      STEP BY=2
      STEP BY=6
      STEP BY=4
      STEP BY=6
      STEP BY=2
    END YCOORD
  END DEFINE
```

END MATRICES

```
(*****)
( DEFINE THE PLACEMENT SITE INFORMATION. SITE LOCATIONS )
( CAN BE DEFINED USING A MATRIX STATEMENT OR THEY CAN BE )
( DESCRIBED INDIVIDUALLY. IT IS OFTEN NECESSARY TO LIST THE)
```

```
( SITES OUT INDIVIDUALLY IF UNIQUE SITE LABELS ARE TO BE )
( APPLIED TO THE SITES, ESPECIALLY I/O SITES. )
(*****)
```

BEGIN SITES

```
MATRIX MAJMATX=INTSITE TYPE=1 ORIEN=N CLASS=INT &
WIDTH=7 HEIGHT=6 XOFF=0 YOFF=0
MATRIX MAJMATX=EXRSITE TYPE=2 ORIEN=RMXY CLASS=EXT &
WIDTH=4 HEIGHT=2 XOFF=0 YOFF=0
MATRIX MAJMATX=EXLSITE TYPE=2 ORIEN=R CLASS=EXT &
WIDTH=4 HEIGHT=2 XOFF=0 YOFF=0
MATRIX MAJMATX=EXTSITE TYPE=3 ORIEN=N CLASS=EXT &
WIDTH=7 HEIGHT=2 XOFF=0 YOFF=0
MATRIX MAJMATX=EXBSITE TYPE=3 ORIEN=MXY CLASS=EXT &
WIDTH=7 HEIGHT=2 XOFF=0 YOFF=0
```

END SITES

```
(*****)
( DEFINE THE BLOCKAGE AREAS WHICH THE ROUTER MUST AVOID. )
( THESE WOULD INCLUDE THE POWER AND GROUND BUSSES, FIXED )
( CONTACTS. )
(*****)
```

BEGIN MAP

```
(*****)
(* FIRST AND LAST TRACK BLOCKAGE *)
(*****)
```

```
BL XLOW=1 YLOW=1 ZLOW=1 XHI=25 YHI=1 ZHI=1 UNITS=TRK
BL XLOW=25 YLOW=1 ZLOW=1 XHI=25 YHI=25 ZHI=1 UNITS=TRK
BL XLOW=1 YLOW=25 ZLOW=1 XHI=25 YHI=25 ZHI=1 UNITS=TRK
BL XLOW=1 YLOW=1 ZLOW=1 XHI=1 YHI=25 ZHI=1 UNITS=TRK
BL XLOW=1 YLOW=1 ZLOW=2 XHI=25 YHI=1 ZHI=2 UNITS=TRK
BL XLOW=25 YLOW=1 ZLOW=2 XHI=25 YHI=25 ZHI=2 UNITS=TRK
BL XLOW=1 YLOW=25 ZLOW=2 XHI=25 YHI=25 ZHI=2 UNITS=TRK
BL XLOW=1 YLOW=1 ZLOW=2 XHI=1 YHI=25 ZHI=2 UNITS=TRK
```

```
(*****)
(* VSS AND VDD POWER BLOCKAGES *)
(*****)
```

```
BL XLOW=5 YLOW=9 ZLOW=2 XHI=5 YHI=19 ZHI=2 UNITS=TRK
BL XLOW=21 YLOW=7 ZLOW=2 XHI=21 YHI=17 ZHI=2 UNITS=TRK
```

BEGIN REPEAT VDDBLC

```
BL XLOW=0 YLOW=0 ZLOW=1 XHI=15 YHI=0 ZHI=1 &
UNITS=TRK
END REPEAT
```

```

BEGIN REPEAT GNDBLC
  BL XLOW=0 YLOW=0 ZLOW=1 XHI=15 YHI=0 ZHI=1 &
  UNITS=TRK
END REPEAT

(*****
(* FIXED CONTACT BLOCKAGES. NOTE THE USE OF A MATRIX *)
(* TO DEFINE THE REPEATED PATTERN IN EACH CORE CELL. *)
(*****

BEGIN REPEAT INTSITE
  BL XLOW=2 YLOW=1 ZLOW=1 XHI=2 YHI=1 ZHI=1 UNITS=TRK
  BL XLOW=5 YLOW=1 ZLOW=1 XHI=5 YHI=1 ZHI=1 UNITS=TRK
  BL XLOW=2 YLOW=5 ZLOW=1 XHI=2 YHI=5 ZHI=1 UNITS=TRK
  BL XLOW=5 YLOW=5 ZLOW=1 XHI=5 YHI=5 ZHI=1 UNITS=TRK
END REPEAT

BEGIN REPEAT EXTSITE
  BL XLOW=2 YLOW=1 ZLOW=1 XHI=2 YHI=1 ZHI=1 UNITS=TRK
  BL XLOW=5 YLOW=1 ZLOW=1 XHI=5 YHI=1 ZHI=1 UNITS=TRK
END REPEAT

BEGIN REPEAT EXLSITE
  BL XLOW=2 YLOW=1 ZLOW=1 XHI=2 YHI=1 ZHI=1 UNITS=TRK
END REPEAT

BEGIN REPEAT EXBSITE
  BL XLOW=2 YLOW=1 ZLOW=1 XHI=2 YHI=1 ZHI=1 UNITS=TRK
  BL XLOW=5 YLOW=1 ZLOW=1 XHI=5 YHI=1 ZHI=1 UNITS=TRK
END REPEAT

BEGIN REPEAT EXRSITE
  BL XLOW=2 YLOW=1 ZLOW=1 XHI=2 YHI=1 ZHI=1 UNITS=TRK
END REPEAT
END MAP

(*****
( DEFINE THE AUTOMATIC PLACEMENT PARAMETERS.
(*****
BEGIN PLACEPRM
  DEFINE &
    CGITER=2 & (*AFFECTS CLUSTERING STAGE (Dflt=20) *)
    GITERS=2 & (*AFFECTS NON-CLUSTERING STAGE (Dflt=26))
    RITERS=2 & (*MULTIPLIER FOR GLOBAL PLACEMENT
                (Dflt=35)*)
    NITERS=2 & (*NUMBER OF ITERATIONS FOR DETAILED
                PLACEMENT (Dflt=400) *)
    DITERS=2 & (*MULTIPLIER FOR DETAILED PLACEMENT
                (Dflt=600) *)

```

```

RSVD2=5      (*CONTROLS THE IO ASSIGNMENTS(Dflt=800)*)
GLOBAL CPGLOBAL
END PLACEPRM

```

```

(*****
( DEFINE THE AUTOMATIC ROUTING PARAMETERS.
)
(*****
BEGIN ROUTEPRM
  GLOBAL CRGLOBAL
  CHANNEL CRCHAN
END ROUTEPRM

```

```

END CHIP (* END CHIP DEFINITION *)

```

```

(*****
(MACRO SECTION: THE MACRO SECTION DESCRIBES THE PHYSICAL
(MACROS. EACH MACRO DESCRIPTION INCLUDES THE PINS,BLOCKAGES)
(WITHIN A MACRO,THE LOGICAL NAMES ASSOCIATED WITH THE MACRO)
(THE MACRO WIDTH ETC
)
(*****

```

```

BEGIN MACRO

```

```

BEGIN PHYLIB LIBRARY=DEMO DATE= 27NOV88 &
TIME=15:00:00-PST VERSION=01.1

```

```

(*****
(* PHYSICAL MACRO NAND2 *)
(*****

```

```

BEGIN DEFINE NAME=NAND2 &      (*PHYSICAL NAME *)
  CLASS=INT &                  (*INTERNAL, NOT AN I/O MACRO*)
  ORIE=N &                      (*ORIENTATION IS NORMAL *)
  GROUP= &                      (*EQUIVALENCE GROUP IF ANY *)
  CELLNAME=NAND2 &             (*GDSII/APL860 STRUCTURENAME*)
  DATE=27NOV88 &               (*DATE OF MACRO REVISION *)
  TIME=20:00:00 &              (*TIME OF MACRO REVISION *)
  VERSION=01.0                  (*VERSION NUMBER OF MACRO *)

```

```

BEGIN SITES

```

```

  UNIT TYPE=1 XLOC=0 YLOC=0 (*1X1 INTERNAL SITE *)
END SITES

```

```

BEGIN MAP

```

```

  (*INTERNAL METAL BLOCKAGE*)
  BL XLOW=1 YLOW=1 ZLOW=1 XHI=1 YHI=2 ZHI=1 CODE=* &
  UNITS=TRK
  BL XLOW=1 YLOW=4 ZLOW=1 XHI=1 YHI=5 ZHI=1 CODE=* &
  UNITS=TRK
  BL XLOW=9 YLOW=4 ZLOW=1 XHI=9 YHI=5 ZHI=1 CODE=* &
  UNITS=TRK

```

```

BL XLOW=0 YLOW=3 ZLOW=1 XHI=10 YHI=3 ZHI=1 CODE=* &
UNITS=TRK
END MAP

BEGIN PORTS                                     (*PIN, TERMINAL SPECIFICATION*)
  BEGIN PORT IN1
    LOC XLOW=3 YLOW=1 ZLOW=1 XHI=3 YHI=1 ZHI=1 &
    TYPE=EQU UNITS=TRK
    LOC XLOW=3 YLOW=5 ZLOW=1 XHI=3 YHI=5 ZHI=1 &
    TYPE=EQU UNITS=TRK
  END PORT
  BEGIN PORT IN2
    LOC XLOW=5 YLOW=1 ZLOW=1 XHI=5 YHI=1 ZHI=1 &
    TYPE=EQU UNITS=TRK
    LOC XLOW=7 YLOW=5 ZLOW=1 XHI=7 YHI=5 ZHI=1 &
    TYPE=EQU UNITS=TRK
  END PORT
  BEGIN PORT OUT1
    LOC XLOW=7 YLOW=1 ZLOW=1 XHI=7 YHI=1 ZHI=1 &
    TYPE=EQU UNITS=TRK
    LOC XLOW=5 YLOW=5 ZLOW=1 XHI=5 YHI=5 ZHI=1 &
    TYPE=EQU UNITS=TRK
  END PORT
  BEGIN PORT VDD
    LOC XLOW=0 YLOW=2 ZLOW=1 XHI=10 YHI=2 ZHI=1 TYPE=EQU &
    UNITS=TRK
  END PORT
  BEGIN PORT VSS
    LOC XLOW=0 YLOW=4 ZLOW=1 XHI=10 YHI=4 ZHI=1 TYPE=EQU &
    UNITS=TRK
  END PORT
  BEGIN SWAPS
    SWAP GROUP=(IN1, IN2)
  END SWAPS
END PORTS

BEGIN LOGICAL                                  (*THE LOGICAL INFORMATION IS*)
  BEGIN ELEMENT NAND                           (*USED WHEN THE SCHEMATIC*)
    BEGIN PORTS                               (*REPRESENTATION OF MACROS*)
      PORT NAME=I0 PHYNAME=IN1               (*IS DIFFERENT FROM THE
                                             PHYSICAL *)
      PORT NAME=I1 PHYNAME=IN2
      PORT NAME=OUT PHYNAME=OUT1
    END PORTS
  END ELEMENT
END LOGICAL
END DEFINE

END PHYLIB
END MACRO
END TDF

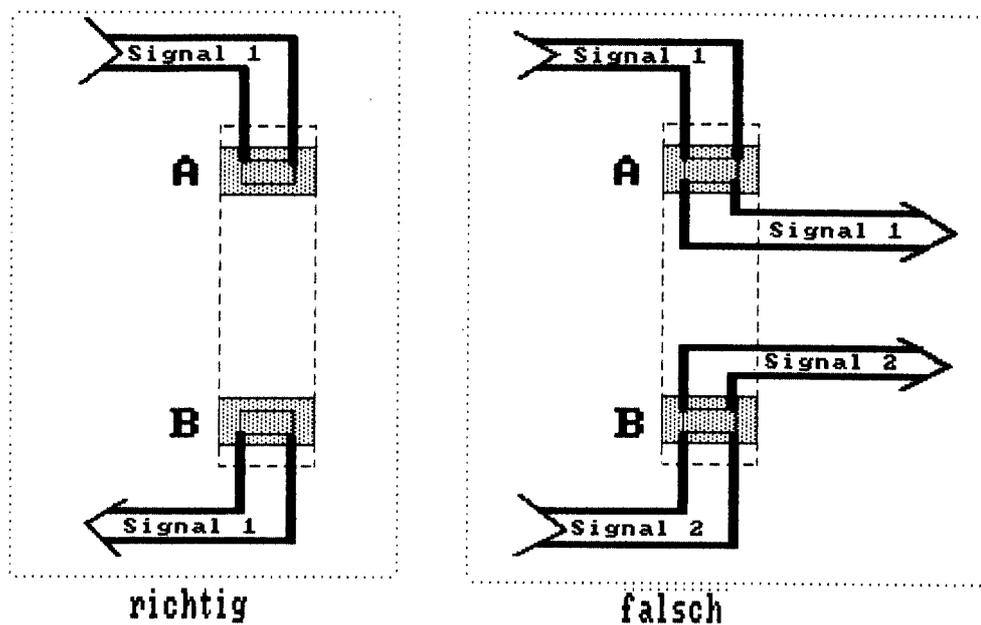
```

### Einlagen-Metall-Gate-Array mit Polysilizium

Bei einem Gate-Array mit einer Polysiliziumebene läßt sich der automatische Router nicht fehlerfrei benutzen. Dieser negative Effekt beruht darauf, daß der Route-Algorithmus auf Gate-Arrays mit zwei Metallisierungsebenen abgestimmt ist. Bei dieser Art von Gate-Arrays ist man in den Verdrahtungskanälen frei von jeglichen Einschränkungen im Bezug auf die Leiterbahnverlegung. Man hat im Prinzip dieselben Gestaltungsmöglichkeiten wie bei einer doppelseitig kupferkaschierten Platine. Aus diesem Grund braucht man dem Route-Algorithmus ausschließlich Blockierungen mitzuteilen für alle die Stellen, an denen der Router keine Leiterbahnen verlegen darf.

Bei einem Gate-Array mit einer Polysiliziumebene reicht die Vergabe von Blockierungen nicht aus. Auf der Polysiliziumebene liegt hier bereits eine feste Verdrahtung vor. Da man diese Tatsache dem Router nicht mitteilen kann, muß so getan werden, als ob der Router auf dieser Ebene eine Verdrahtung durchführen könnte. Dabei werden die Stellen ohne Leiterbahnen für den Router blockiert. Dagegen können Stellen mit Leiterbahnen dem Router nur als unblockiert dargestellt werden. D.h. aber für den Router nichts anderes, als daß er z. Bsp. zwischen einem Punkt A und einem Punkt B routen kann aber nicht muß.

An dieser Stelle kann dem Router nun ein Fehler unterlaufen, ohne daß er es merkt. Wenn der Router hergeht und die angebliche Möglichkeit, zwischen A und B zu routen, nicht ausnützt, sondern die beiden Punkte mit verschiedenen Signalen anfährt, dann hat er diese beiden Signale kurzgeschlossen. Da dem Router jedoch nicht bekannt ist, daß A und B auf der Polysiliziumebene bereits fest miteinander verbunden sind, erkennt er diesen Fehler nicht (*Bild 11*).



**Bild 11: Routefehler**

## Technologie-Beschreibung für ein Standardzellen-Designs

Auch die Standardzellen-Beschreibung wird mit dem Technology-Definition-Format (TDF) durchgeführt. Dabei werden die beiden Dateien CADI.CHP und CADI.BLC ebenfalls mit dem Befehl ' TDF\_INPUT <tdf\_file> ' erstellt. Im nachfolgenden Kapitel ist eine solche TDF-Beschreibung angeführt.

Die Grobstruktur dieses tdf\_files entspricht dem beim Gate-Array.

Der HEADER- und TRAILER-Record entspricht ebenfalls dem bei einem Gate-Array-Design.

In der RULES-Section gibt es gegenüber dem Gate-Array noch zwei weitere Festlegungen. Da bei einem Standardzellen-Design auch die Spannungsversorgungsleitungen verlegt werden müssen, wird die Durchkontaktierung und der Leiterbahntyp für diesen Vorgang spezifiziert. Bei dem Leiterbahntyp wird unterschieden zwischen der Spannungsversorgung rund um den Core-Bereich, einem vertikalen und einem horizontalen Leiterbahntyp im Core-Bereich u.s.w. .

Die CHIP-Section fällt wesentlich kleiner aus und hat folgende Struktur:

CHIP Section  
TRACKS Section  
PARMS Section  
SITES Section

-Die TRACKS-Section ist mit der bei einem Gate-Array ebenso identisch wie die PARMS-Section.

- Dagegen hat die SITES-Section ein anderes Aussehen und eine andere Funktion. In diesem Abschnitt kann bestimmt werden, welche Zelle am linken und welche am rechten Rand einer Coremacro-Zeile angefügt wird. Außerdem wird festgelegt, welche sogenannte Feedthrough-Zelle in eine Lücke zwischen zwei benachbarte Macros eingefügt wird.

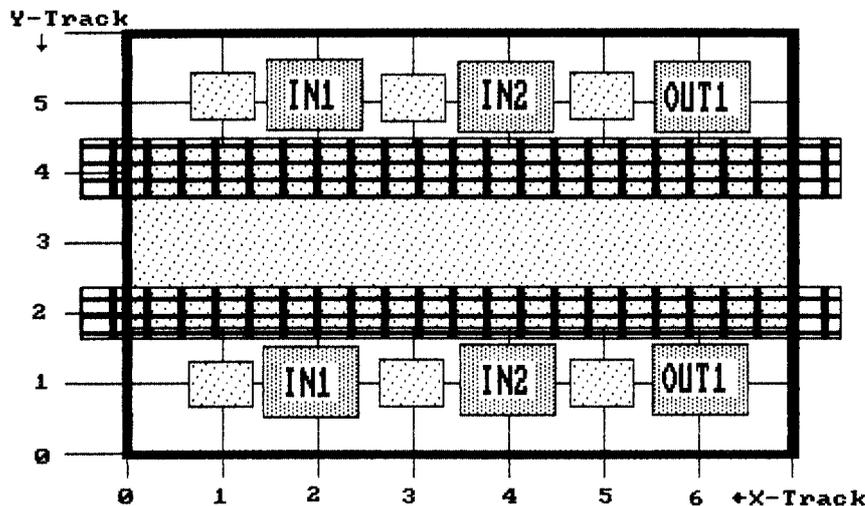
Damit ist die Strukturbeschreibung eines Standardzellen-Chips bereits beendet.

Im Anschluß daran erfolgt die Macro-P/R-Beschreibung mit der MACRO-Section (*Bild 12*). Sie hat beim Standardzellen-Design folgendes Format:

```

MACRO Section
  PHYLIB Section
    DEFINE Section
    :
  CELLUNIT Section
    :
  MAP Section
    :
  PORTS Section
    :
  LOGICAL Section
    :
  <
  
```

Wie Sie ersehen können, unterscheidet sich diese Gliederung nur durch die CELLUNIT-Section anstatt der SITES-Section von dem beim Gate-Array-Design.



**Bild 12: NAND**

- Mit der PHYLIB-Section beginnt die Macro-P/R-Beschreibung. Dabei stimmen die DEFINE-, MAP- und LOGICAL-Section vom Aufbau her mit denen bei der Gate-Array-Technologie überein.
- Bei der PORTS-Section gibt es die Möglichkeit, einen Pin eines Macros, der nicht gebraucht wird, per Anweisung auf eine feste Spannung zu ziehen. Dazu wird die TIE-Anweisung verwendet.
- Bei der CELLUNIT-Section wird hinterlegt, ob es sich um ein großes Macro handelt oder nicht. Außerdem wird der Celltype angegeben.

Damit endet eine Macro-P/R-Beschreibung und mit einer neuen DEFINE-Section könnte man das nächste Macro beschreiben. Zum Abschluß der Bibliothek muß die PHYLIB- und MACRO-Section abgeschlossen werden.

Sollte die Macro-Beschreibung im GDSII- oder im CIF-Format vorliegen, entfällt die Arbeit zur Erstellung eines Umsetzprogrammes.

Für die Umsetzung eines GDSII-Formates in das Mentor-Format existiert in dem CELLSTATION-Softwarepaket das TRANSLATE-Programm.

Mit dem MCIF-Programm, das ebenfalls in der CELLSTATION-Software enthalten ist, kann eine im CIF-Format vorliegende Macro-Beschreibung in das Mentor-Format konvergiert werden.

Standardzellen TDF Struktur

HEADER Record

RULES Section

WTYPE Statement  
VTYPE Statement  
WTOV Statement  
VTOV Statement  
PWTYPE Statement  
PVTYPE Statement

CHIP Section

TRACKS Section  
PARMS Section  
SITES Section

MACRO Section

PHYLIB Section

DEFINE Section  
CELLUNIT Section  
MAP Section  
PORTS Section  
LOGICAL Section

TRAILER Record

Technology-Definition-Format-Datei  
einer Standardzelle

TDF

(\*\*\*\*\* RULES \*\*\*\*\*)

BEGIN RULES DEMO 29NOV88 19:00:00-PST 1.0 POWERS=(VSS VDD)

WTYPE PLANE=1 WIDTH=2.5 SPACE=2 RES=0.05 CAP=0.00001 &  
XSPACE=0 YSPACE=0 TYPE=1

WTYPE PLANE=2 WIDTH=3.5 SPACE=3 RES=0.07 CAP=0.00001 &  
XSPACE=0 YSPACE=0 TYPE=1

VTYPE PLANE=1 WIDTH=4 HEIGHT=3 XSPACE=3 YSPACE=2 &  
RES=0.08 CAP=0.00002 CELL=VIA TYPE=1

VTYPE PLANE=2 WIDTH=4 HEIGHT=3 XSPACE=3 YSPACE=3 &  
RES=0.08 CAP=0.00002 CELL=VIA TYPE=1

PWTYPE 1 WIDTH=10 HEIGHT=10 PNAME=VSS PWTYPE=IORING  
PWTYPE 1 WIDTH= 4 HEIGHT= 4 PNAME=VSS PWTYPE=ROW  
PWTYPE 1 WIDTH= 4 HEIGHT= 4 PNAME=VSS PWTYPE=ROWBUS  
PWTYPE 1 WIDTH=16 HEIGHT=16 PNAME=VSS PWTYPE=PADBUS  
PWTYPE 1 WIDTH=16 HEIGHT=16 PNAME=VSS PWTYPE=RIGHTBUS  
PWTYPE 1 WIDTH= 2 HEIGHT= 3 PNAME=VSS PWTYPE=TIE

PWTYPE 1 WIDTH=10 HEIGHT=10 PNAME=VDD PWTYPE=IORING  
PWTYPE 1 WIDTH= 4 HEIGHT= 4 PNAME=VDD PWTYPE=ROW  
PWTYPE 1 WIDTH= 4 HEIGHT= 4 PNAME=VDD PWTYPE=ROWBUS  
PWTYPE 1 WIDTH=16 HEIGHT=16 PNAME=VDD PWTYPE=PADBUS  
PWTYPE 1 WIDTH=16 HEIGHT=16 PNAME=VDD PWTYPE=LEFTBUS  
PWTYPE 1 WIDTH= 2 HEIGHT= 3 PNAME=VDD PWTYPE=TIE

END RULES

(\*\*\*\*\* CHIP \*\*\*\*\*)

BEGIN CHIP DEMO 29NOV88 19:00:00-PST 1.0

BEGIN TRACKS

XTRACK BY=8.0

YTRACK BY=5.0

END TRACKS

BEGIN PARMS

DEFINE FORM=STDCELL

PLANE PLANE=1 DIRECT=HOR SPACING=2 TYPE=METAL1 LEVEL=4

PLANE PLANE=2 DIRECT=VER SPACING=3 TYPE=METAL2 LEVEL=10

END PARMS

```

BEGIN SITES
  BEGIN SITETYPE
    TYPE NUMBER=1 FEEDCELL=FEED
    TYPE NUMBER=2
    TYPE NUMBER=3
  END SITETYPE
END SITES
END CHIP

```

```

(*****
(MACRO SECTION: THE MACRO SECTION DESCRIBES THE PHYSICAL
(MACROS. EACH MACRO DESCRIPTION INCLUDES THE PINS,BLOCKAGES)
(WITHIN A MACRO,THE LOGICAL NAMES ASSOCIATED WITH THE MACRO)
(THE MACRO WIDTH, ETC
(*****

```

BEGIN MACRO

```

BEGIN PHYLIB DEMO 29NOV88 19:00-PST 1.0 POWERS=( VSS VDD )

```

```

(*****
(* PHYSICAL MACRO NAND2 *)
(*****

```

```

BEGIN DEFINE NAME=NAND2 & (*PHYSICAL NAME*)
  CLASS=INT & (*INTERNAL,NOT AN I/OMACRO*)
  DATE=29NOV88 & (*DATE OF MACRO REVISION*)
  TIME=19:00:00 & (*TIME OF MACRO REVISION*)
  VERSION=01.0 & (*VERSION NUMBER OF MACRO*)
  CELLNAME=((NAND2,0,0,N)) (*GDSII/APL860
  STRUCTURE NAME*)

```

BEGIN CELLUNIT

```

  BEGIN CELL &
    TYPE=(1) SPECIAL=NO
  END CELL
END CELLUNIT

```

BEGIN MAP

```

  BL XLOW=0 YLOW=2 ZLOW=1 XHI=7 YHI=4 ZHI=1 UNITS=TRK
  BL XLOW=1 YLOW=1 ZLOW=1 XHI=1 YHI=1 ZHI=1 UNITS=TRK
  BL XLOW=3 YLOW=1 ZLOW=1 XHI=3 YHI=1 ZHI=1 UNITS=TRK
  BL XLOW=5 YLOW=1 ZLOW=1 XHI=5 YHI=1 ZHI=1 UNITS=TRK
  BL XLOW=1 YLOW=5 ZLOW=1 XHI=1 YHI=5 ZHI=1 UNITS=TRK
  BL XLOW=3 YLOW=5 ZLOW=1 XHI=3 YHI=5 ZHI=1 UNITS=TRK
  BL XLOW=5 YLOW=5 ZLOW=1 XHI=5 YHI=5 ZHI=1 UNITS=TRK
END MAP

```

BEGIN PORTS

```

  BEGIN PORT IN1 (*PIN,TERMINAL SPECIFICATION*)
    LOC XLOW=2 YLOW=1 ZLOW=1 XHI=2 YHI=1 ZHI=2 UNITS=TRK

```

```

    LOC XLOW=2 YLOW=5 ZLOW=1 XHI=2 YHI=5 ZHI=2 UNITS=TRK
END PORT
BEGIN PORT IN2
    LOC XLOW=4 YLOW=1 ZLOW=1 XHI=4 YHI=1 ZHI=2 UNITS=TRK
    LOC XLOW=4 YLOW=5 ZLOW=1 XHI=4 YHI=5 ZHI=2 UNITS=TRK
END PORT
BEGIN PORT OUT1
    LOC XLOW=6 YLOW=1 ZLOW=1 XHI=6 YHI=1 ZHI=2 UNITS=TRK
    LOC XLOW=6 YLOW=5 ZLOW=1 XHI=6 YHI=5 ZHI=2 UNITS=TRK
END PORT
BEGIN PORT VSS DIR=IN TYPE=VSS
    LOC XLOW=-4 YLOW=18 ZLOW=1 XHI=60 YHI=23 ZHI=1 UNITS=MIC
END PORT
BEGIN PORT VDD DIR=IN TYPE=VDD
    LOC XLOW=-4 YLOW=8 ZLOW=1 XHI=60 YHI=13 ZHI=1 UNITS=MIC
END PORT
BEGIN SWAPS
    SWAP GROUP=(IN1,IN2)
END SWAPS
END PORTS

BEGIN LOGICAL (*THE LOGICAL INFORMATION IS*)
BEGIN ELEMENT NAND (*USED WHEN THE SCHEMATIC*)
BEGIN PORTS (*REPRESENTATION OF MACROS*)
    PORT NAME=I0 PHYNAME=IN1 (*IS DIFFERENT FROM THE
    PORT NAME=I1 PHYNAME=IN2 PHYSICAL *)
    PORT NAME=OUT PHYNAME=OUT1
END PORTS
END ELEMENT
END LOGICAL
END DEFINE

END PHYLIB
END MACRO
END TDF

```