

**M U L T I P R O J E K T  
C H I P - G R U P P E**

**BADEN-WÜRTTEMBERG**

**WORKSHOP JUNI 1989**

**ULM**

**HERAUSGEBER: FACHHOCHSCHULE ULM**

© 1989 Fachhochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt.  
Jede Verwertung in anderen als den gesetzlich zugelassenen  
Fällen bedarf deshalb der vorherigen schriftlichen Einwilli-  
gung des Herausgebers.

## **VORWORT**

Im Juni 1989 konnte bereits der 2. Workshop der Multiprojekt Chip-Gruppe durchgeführt werden. In der vorliegenden Broschüre sind wieder die auf dem Workshop gehaltenen Vorträge enthalten.

Außer den Fachvorträgen wurde in der vorliegende Veröffentlichung ein Bericht über eine Informationsreise in die USA aufgenommen. Themenschwerpunkte waren hierbei die Studentenausbildung, die Zusammenarbeit der Hochschulen mit der Regierung und den Industriebetrieben sowie der Stand der CAD und Technologie der Mikroelektronik in der Industrie und in den Hochschulen.

Ulm, August 1989

Prof. Führer  
Fachhochschule Ulm

## INHALTSVERZEICHNIS

Vorwort

A. Führer  
FH Ulm

### 1. Simulation von I<sup>2</sup>L-Schaltungen

V. Brennenstuhl  
FH Heilbronn

### 2. MOSES

Modellparameterbestimmung für SPICE

M. Segiet  
FH Heilbronn

### 3. Vollkunden-IC für ein neutrales Netzwerk

G.-H. Kern, G. Kampe, A. Volk  
FHT Esslingen

### 4. Entwicklungstendenzen der Träger- und Verbindungstechnik

H. Khakzar  
FHT Esslingen

### 5. Analysis and simulation of power dividers and combiners using PSPICE

H.R. Mgombelo  
FH Furtwangen

### 6. Portierung des KIC-Layouteditors auf UIS-Grafik der VAX 2000 Workstation

J. Vogel  
FH Furtwangen

### 7. Aufbereitung einer Digitalschaltung mit LOG/IC-Gates für die Integration auf einem ASIC

J. Schmidt  
FH Ulm

### 8. Bericht über eine Informationsreise in die USA

Autorenteam



*Fachhochschule Heilbronn*

*Fachbereich Elektronik*

*Simulation von I<sup>2</sup>L-Schaltungen*

*Diplomarbeit*

*Sommersemester 1989*

*Verfasser: Volker Brennenstuhl*

*Betreuer: Prof. Dr. Ing. Hermann Clauss*

*Präsentation: Workshop an der Fachhochschule Ulm,  
23. Juni 1989*



## *Simulation von I<sup>2</sup>L-Schaltungen*

Volker Brennenstuhl

### Simulation von I<sup>2</sup>L-Schaltungen

Die Simulation von I<sup>2</sup>L-Schaltungen auf Schaltungsebene erfordert ein Modell für deren Grundstruktur, den I<sup>2</sup>L-Inverter. Da bei dieser Technologie die aktiven Gebiete verschiedener Einzelelemente miteinander verschmolzen sind, lassen sich I<sup>2</sup>L-Schaltungen nicht durch einfaches Zusammenfügen von Standardbauelementen nachbilden. In den verfügbaren Parameterextraktionssystemen ist ein entsprechendes Modell jedoch nicht vorhanden. Es wurde nun ein Makro-Modell für SPICE aufgestellt und dessen Parameter durch Messungen an speziellen Teststrukturen bestimmt. Das dynamische Verhalten des Modells wurde an Ringoszillatoren auf seine Stimmigkeit hin untersucht, wobei der gesamte in Frage kommende Strom- und Temperaturbereich einbezogen wurde.

### Einleitung

Die Integrierte Injektionslogik (I<sup>2</sup>L) ist eine leistungsfähige und kompakte Bipolartechnologie. Ihre besonderen Eigenschaften sind die hohe Packungsdichte, ein hervorragendes Speed-Power-Produkt, niedrige Leistungsaufnahme und die Kombinierbarkeit mit bipolaren Anlogschaltungen. I<sup>2</sup>L ist deshalb vielseitig einsetzbar und ist z. B. im Kfz, in Uhren und sonstigen industriellen Anwendungen zu finden.

Die geringen Kapazitäten und Spannungspegel bereiten bei Messungen an I<sup>2</sup>L-Grundsaltungen große Probleme. Die Kapazität von Tastköpfen macht brauchbare Messungen des Schaltverhaltens direkt an den Elementen unmöglich. Deshalb wird das Schaltverhalten anhand von Ringoszillatoren mit Entkopplungsstufen untersucht. Damit lassen sich jedoch nur mittlere Verzögerungs-

## Simulation von I<sup>2</sup>L-Schaltungen

zeiten bestimmen. Eine Unterscheidung zwischen Anstiegs- und Abfallzeit ist dabei nicht möglich.

Mit dem Circuit-Simulator SPICE soll nun eine Charakterisierung von Grundsaltungen vorgenommen werden, um die für den Designer relevanten Daten wie z. B. Anstiegs- und Abfallzeiten zu erhalten. Voraussetzung dafür ist ein Inverter-Modell, das den I<sup>2</sup>L-Inverter im DC- und im dynamischen Verhalten beschreibt. Damit sollen Untersuchungen z. B. über das Fan-out, Abhängigkeiten der Verzögerungszeiten vom Injektorstrom und der Lage des Basis-Kontaktes und der Kollektoren ermöglicht werden.

### I<sup>2</sup>L-Grundstruktur

I<sup>2</sup>L oder MTL (= Merged Transistor Logic) ist eine bipolare Schaltungstechnik, deren Prozeßschritte denen analoger integrierter Bipolarschaltungen entsprechen. Der Inverter besteht aus einem lateralen pnp-Transistor, der als Stromquelle dient und einem Multikollektor-npn-Transistor, der aufwärts betrieben wird. Der Aufwärtsbetrieb ist bei I<sup>2</sup>L die normale Betriebsart und entspricht im Schaltbild (Bild 1) dem Vorwärtsbetrieb. Wie in Bild 2 und 3 zu sehen ist, wird der Inverter von einer n<sup>+</sup>-Wanne umgeben. Diese n<sup>+</sup>-Diffusion dient der Entkopplung der npn-Transistoren von benachbarten Invertern.

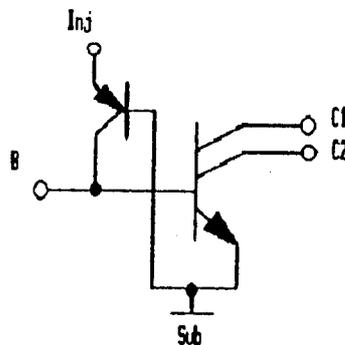


Bild 1: Schaltbild für I<sup>2</sup>L-Inverter

## Simulation von I<sup>2</sup>L-Schaltungen

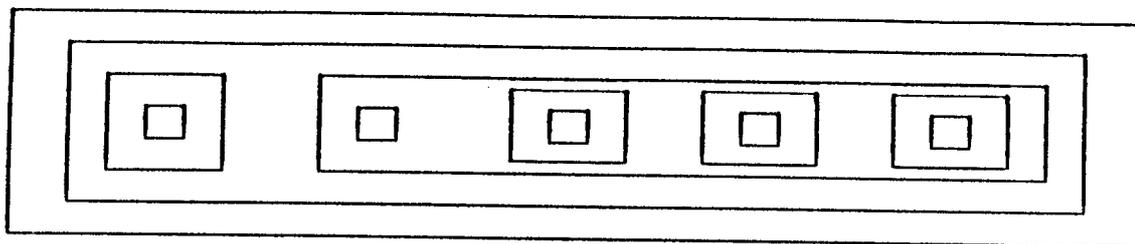


Bild 2: Aufsicht eines I<sup>2</sup>L-Inverters

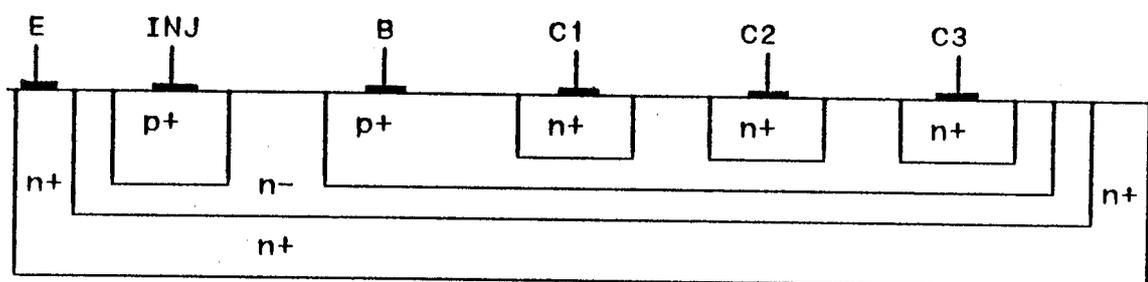


Bild 3: Querschnitt eines I<sup>2</sup>L-Inverters

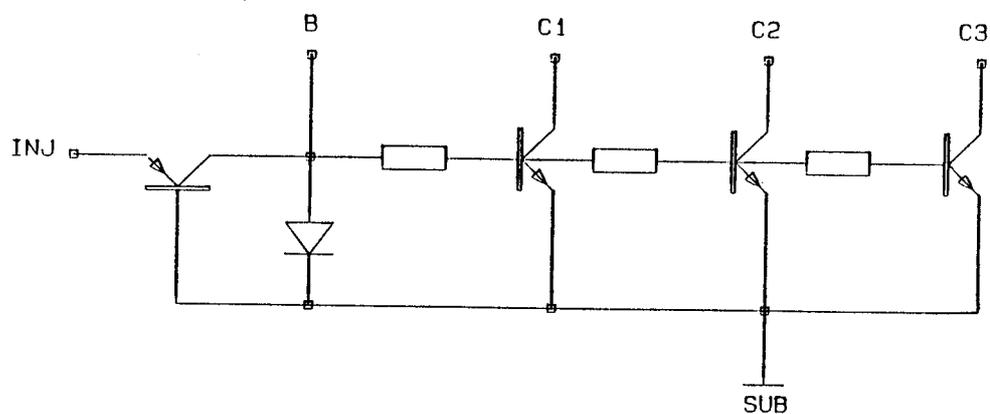


Bild 4: Inverter-Modell

Das Prinzip der I<sup>2</sup>L besteht darin, daß der Kollektorstrom des lateralen pnp-Transistors die npn-Transistoren aufsteuert, sofern er nicht über den äußeren Basisanschluß abfließen kann. Die Ausgänge des Inverters gehen dann auf Low-Potential (Sättigungsspannung  $U_{CES}$ ). Kann der Strom über den äußeren

Basisanschluß abfließen, fällt die Basis-Emitter-Spannung der npn-Transistoren auf  $U_{CES}$  und die Ausgänge sperren.

### **Modell des I<sup>2</sup>L-Inverters**

Der I<sup>2</sup>L-Inverter wird durch ein Makro-Modell für SPICE modelliert. Das Modell setzt sich zusammen aus den Bauelementen Ohm'scher Widerstand, Transistor und Diode. Sie liegen in SPICE als Grundmodelle vor. Dem Grundsatz 'Use the simplest model that will do the job' /[1], S. 7/ folgend, muß das Modell gegensätzliche Forderungen erfüllen. Einerseits sollen die physikalischen Gegebenheiten möglichst exakt beschrieben werden, während andererseits die Bauelemente-Parameter der Komponenten noch mit vertretbarem Aufwand bestimmbar sein müssen. Eine geringere Komplexität des Modells wirkt sich auch günstig auf die Rechenzeit aus.

Das hier verwendete Modell basiert auf dem in /[2], S. 127/ von H.H. Berger beschriebenen Injektionsmodell. Bei diesem Injektionsmodell wird entlang des p+/n--Übergangs zwischen drei Elektroneninjektionen (p-Gebiet unter Metallkontakt, p-Gebiet unter Oxid, innere Basis der npn-Transistoren) sowie zwei Löcherinjektionen (Injektion in n-/n+-Gebiet, laterale Injektion in die Basis des pnp-Transistors) unterschieden. Die dadurch hervorgerufenen Rekombinationsströme werden durch separate Dioden modelliert.

Unter dem Aspekt der Bestimmung der Modellparameter wurden die verschiedenen Rekombinationsströme auf möglichst wenigen Bauelementen zusammengefaßt. Daraus ergab sich das in Bild 4 dargestellte Inverter-Modell. Die oben genannten Rekombinationsströme an der gemeinsamen Basis-Emitter-Diode der npn-Transistoren (Basis-Kollektor-Diode des lateralen pnp-Transistors) werden im wesentlichen durch eine Basiskontakt-Diode modelliert. Nahezu der gesamte eingespeiste Basisstrom fließt über diese Verlustdiode ab /[3], S. 823/. Volumen- und Ober-

## Simulation von I<sup>2</sup>L-Schaltungen

flächenrekombination sind wegen der lateralen Basis-Bahnwiderstände und der hohen Rekombinationsgeschwindigkeit am Metallkontakt im Bereich des Basiskontaktes am größten. Für die inneren npn-Transistoren verbleibt ein Anteil von jeweils weniger als 1% des Basisstromes. Da die inneren npn-Transistoren ein  $\beta$  von mehreren 100 aufweisen / [3], S. 822/, ergibt sich trotzdem ein  $\beta_{aufwärts}$  von ca. 10 für jeden Kollektor. Dadurch ist auch zu erklären, daß sich die Aufwärtsstromverstärkungen der einzelnen npn-Transistoren bei Parallelschaltung addieren. Ein Anteil von ca. 15% des Basisstromes wurde den npn-Transistoren als Leckstrom zugeschlagen. Dieser Anteil modelliert die Rekombination in den oxidbedeckten Bereichen, von denen die einzelnen Kollektoren umgeben sind. Damit geht die Größe des p+-Basisgebietes in das Modell ein.

Man hätte den Strom der Basiskontakt-Diode auch als Leckstrom des lateralen pnp-Transistors im Inversbetrieb modellieren können. Dadurch würde aber die Lageabhängigkeit des Basisanschlusses nur unzureichend beschrieben.

Die Bestimmung der Bauelemente-Parameter für die Teilelemente des Modells wurde an speziellen Teststrukturen durchgeführt:

- npn - Transistorstrukturen ohne Injektor
- pnp - Transistorstrukturen ohne Kollektoren
- Inverter verschiedener Konfiguration  
(1...4 Kollektoren, verschieden große Basisgebiete)
- Widerstandsstrukturen

Die Parameterextraktion wurde mit Hilfe des TECAP-Systems von HP vorgenommen.

## **Bestimmung der Parametersätze für SPICE**

Die an den Teststrukturen ermittelten Parameter müssen nun den Komponenten zugewiesen werden. Eine direkte Zuordnung ist jedoch nicht immer möglich. Die Parameter müssen dann anteilmäßig den Komponenten zugeordnet werden.

### **DC-Parameter**

Die DC-Parameter der Basiskontakt-Diode  $I_S, N, R_S$  werden aus der Diodenkennlinie ermittelt. Messungen an Strukturen mit verschieden großen Basisgebieten zeigten die im vorigen Abschnitt beschriebene Aufteilung des Basisstromes. Um der Basiskontakt-Diode nur den Strom unter dem Metallkontakt und der unmittelbaren Umgebung zuzuordnen, wurden vom Sättigungsstrom  $I_S$  die Anteile der Oxid-Bereiche um die Kollektoren abgezogen und den npn-Transistoren als Leckstrom zugewiesen. Die Messungen ergaben, daß der Anteil eines npn-Transistor-Gebietes ca. 1/6 des Anteils des Basiskontaktes beträgt.

Der laterale pnp-Transistor wird in Vorwärtsrichtung als ganz normaler Transistor angesehen. Folglich werden die Parameter  $I_S, \beta_F, \beta_N, I_{KF}, I_{SE}, N_E$  direkt aus dem Gummel-Plot ( $I_C, I_B$  vs  $U_{BE}$ ) abgeleitet. Die Early-Spannung  $V_{AF}$  wird aus dem Ausgangskennlinienfeld ermittelt. Die Bahnwiderstände  $R_B, R_E, R_C$  können aus Technologiedaten und der Geometrie abgeleitet werden. Die Parameterextraktion bestätigte die Abschätzung. In Rückwärtsrichtung wird der Kollektor-Basis-Strom vollständig durch die Basiskontakt-Diode modelliert. Der Parameter  $\beta_R$  wird deshalb um mehrere Größenordnungen erhöht.

Für die npn-Transistoren werden die Parameter  $I_S, \beta_F, \beta_N, V_{AF}, I_{KF}, I_{KR}, R_E, R_C$  in der üblichen Vorgehensweise bestimmt. Die Leckstrom-Parameter  $I_{SE}$  und  $N_E$  werden aus der obigen Parameterbestimmung für die Basiskontakt-Dioden übernommen.  $R_B, I_{RB}$  und  $R_{BM}$  können durch Messung der Eingangs-Impedanz über der

## *Simulation von I<sup>2</sup>L-Schaltungen*

Frequenz ermittelt werden. Hierbei spielen die separat modellierten Basis-Bahnwiderstände eine maßgebliche Rolle.

Die Basis-Bahnwiderstände wurden durch Widerstandsmessungen ermittelt. Eine Berechnung aus Schichtwiderstand und Geometrie des p<sup>+</sup>-Basis-Gebietes führte zum gleichen Ergebnis.

### AC-Parameter

Die Sperrschichtkapazität des n<sup>+</sup>-Basisgebietes wird bei den vorliegenden Strukturen aufgrund der Dotierungsverhältnisse im wesentlichen durch die Randanteile bestimmt. So kann diese Sperrschichtkapazität näherungsweise im Verhältnis ihrer Randanteile auf die Komponenten verteilt werden. Betroffen sind davon die Parameter CJE der npn-Transistoren, CJ der Basiskontaktdiode und CJC des lateralen pnp-Transistors. Bei den npn-Transistoren wurde außerdem die BC-Sperrschichtkapazität bestimmt. Die BE-Sperrschichtkapazität des lateralen pnp-Transistors wird im Modell weggelassen, denn hier bleibt die BE-Spannung auch bei Schaltvorgängen konstant.

Die Diffusionskapazität des BE-Übergangs am lateralen pnp-Transistor ist aus obigem Grund ebenfalls ohne Einfluß auf das dynamische Verhalten und wird deshalb nicht berücksichtigt.

Die für das Schaltverhalten relevanten Diffusionskapazitäten befinden sich bei der BC-Diode des pnp-Transistors, den BE-Dioden der npn-Transistoren und bei der Basiskontakt-Diode. Da diese Dioden im realen Bauelement in einem p<sup>+</sup>/n-Übergang miteinander verschmolzen sind, ist eine Messung der einzelnen Komponenten sehr schwierig. Durch Beta(f)-Messungen wurde zunächst der Parameter TF für die npn-Transistoren und den lateralen pnp-Transistor bestimmt. Der Parameter TR des lateralen pnp-Transistors wurde nicht direkt gemessen, da dies wegen des geringen  $B_{\text{invers}}$  von ca. 0.6 problematisch ist. Da der laterale pnp-Transistor in bezug auf das Basisgebiet in erster

## Simulation von I<sup>2</sup>L-Schaltungen

Näherung ein symmetrisches Gebilde ist, kann von TF auf TR geschlossen werden.

Die direkt aus den Messungen ermittelten Parameter für die Diffusionskapazitäten enthalten jeweils auch Anteile der anderen Komponenten, die den p+/n--Übergang beschreiben. Bei einer direkten Zuweisung der gemessenen Parameter an die Komponenten würden diese Anteile mehrfach angerechnet werden. Um die gesamte Minoritätsträgerladung nicht zu hoch anzusetzen, wurden die aus den Messungen gewonnenen Parameter teilweise vermindert. Eine mögliche Verteilung der Minoritätsträgerladungen auf die Komponenten wird in [2], S. 133/ beschrieben, wonach nahezu der gesamte Anteil auf die npn-Transistoren und die Basiskontakt-Diode entfällt. Der BC-Diode des pnp-Transistors werden nur ca. 2% der gesamten Minoritätsträgerladung zugewiesen. Die Verteilung ist jedoch stark technologieabhängig. Ein Vergleich der Anteile erfolgt über die Gleichung  $Q_D = T \cdot I = T \cdot I_s \cdot (e^{U/(n \cdot U_T)} - 1)$  [4], S. 108/. Die gewählte Aufteilung entspricht auch ungefähr den Flächenverhältnissen.

Für die npn-Transistoren wurde auch TR ermittelt. Sein Wert beträgt etwa 1/40 des Wertes für TF. Die BC-Diffusionskapazität der npn-Transistoren spielt damit eine untergeordnete Rolle für das dynamische Verhalten.

### Temperaturverhalten

Aus der Temperaturabhängigkeit des B-Verlaufs wurde für die Transistor-Komponenten der Parameter XT<sub>B</sub> bestimmt, der den Zusammenhang B(T) modelliert.

Für die separaten Basis-Bahnwiderstände zwischen den Kollektoren und zwischen Basiskontakt und Kollektor wurden die Temperaturkoeffizienten bestimmt.

## *Simulation von I<sup>2</sup>L-Schaltungen*

Bei den im nächsten Kapitel dargestellten Simulationen von Ringoszillatoren zeigte sich, daß die Temperaturabhängigkeit des Schaltverhaltens im Bereich höherer Ströme in der Simulation noch verbesserungsbedürftig ist. Diese Unzulänglichkeit ließ sich durch die Einführung eines temperaturabhängigen TF beheben. Durch Anwenden einer vereinfachten und angepaßten Form der Gleichung für ein TF(T) aus /[1], S. 66/ ließ sich der gemessene Zusammenhang auch in der Simulation nachvollziehen. Eine gute Übereinstimmung ergab sich mit  $TF(T)=TF(T_{nom})*(T/T_{nom})^{0.4}$ . In der verfügbaren SPICE-Version ist der Parameter TF nicht temperaturabhängig, so daß hierfür jeweils die Modellanweisung geändert werden mußte.

### **Meß- und Simulationsergebnisse**

Der Vergleich von  $B_{vk}$ -Messungen mit den Simulationsergebnissen zeigt im interessierenden Strombereich von 50nA bis 200µA eine gute Übereinstimmung. Unter  $B_{vk}$  ist die Aufwärtsstromverstärkung bei kurzgeschlossenem Injektor zu verstehen. Sie ist eine für I<sup>2</sup>L typische Meßgröße.

Simulation von I<sup>2</sup>L-Schaltungen

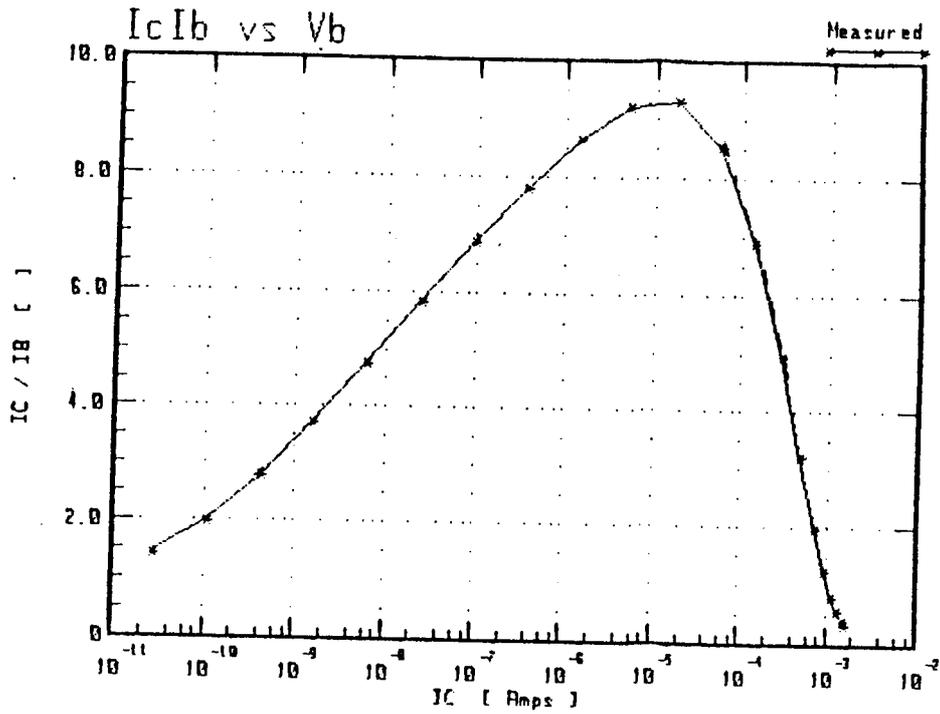


Bild 4: B-Verlauf an 3-Kollektor-Struktur für C3 (Messung)

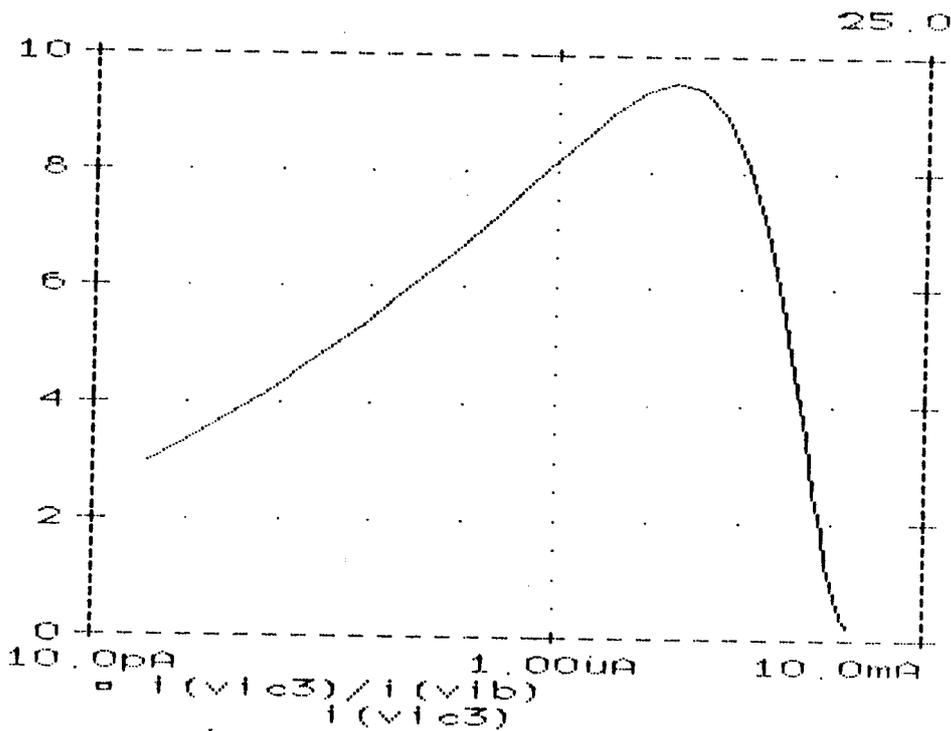


Bild 5: B-Verlauf an 3-Kollektor-Struktur C3 (Simulation)

In Bild 6 ist der gemessene B-Verlauf des invers betriebenen lateralen pnp-Transistors zu sehen. Auch hier zeigt die Simulation in Bild 7 eine gute Übereinstimmung mit der Messung. In

## Simulation von I<sup>2</sup>L-Schaltungen

diesem Betrieb kommt der Einfluß der Basiskontaktdiode zum Tragen.

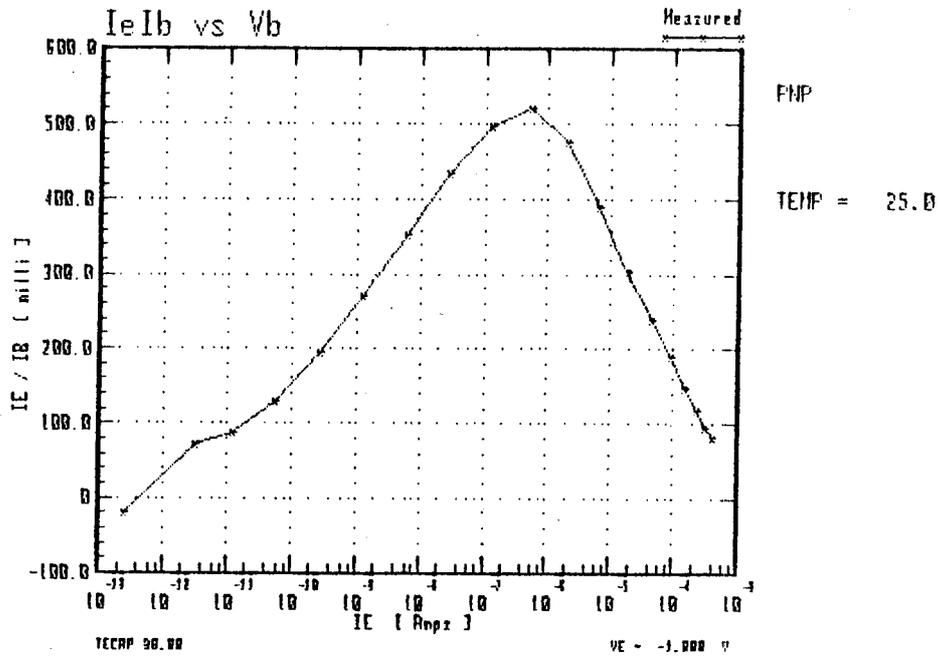


Bild 6: B-Verlauf lateraler pnp-Transistor, invers (Messung) 25.0

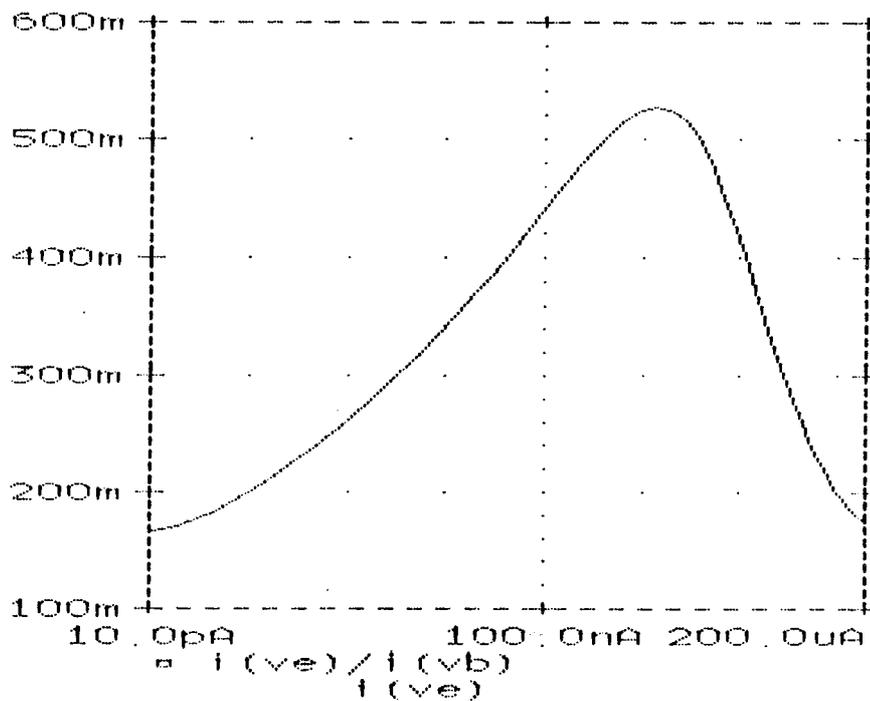


Bild 7: B-Verlauf lateraler pnp-Transistor, invers (Simulation)

## Dynamisches Verhalten

Das Schaltverhalten wurde an verschiedenen Ringoszillatoren untersucht. Dazu wurden Ringoszillatoren gewählt, die in bezug auf die Schaltgeschwindigkeit zwei Extremfälle darstellen. Nach /[5], S. 178/ sollten sich für die Kombination B1C1 im Hochstrombereich niedrige Verzögerungszeiten ergeben. Mit B1 wird der injektorseitige Basiskontakt bezeichnet (B2 bedeutet injektorfern). C1 kennzeichnet die Verkopplung über den injektornahen Kollektor. Für B1C3 (Verkopplung über injektorfernen Kollektor) sind deutlich höhere Verzögerungszeiten zu erwarten.

Ursache für die unterschiedlichen Verzögerungszeiten sind die Bahnwiderstände in der p<sup>+</sup>-Basis, die im Hochstrombereich nicht mehr vernachlässigbar sind. Dadurch nimmt im eingeschalteten Zustand die Basis-Emitter-Spannung mit zunehmender Entfernung vom injektorseitigen Rand der Basiszone ab. Eine weitere Ursache besteht darin, daß die Diffusionskapazitäten der Emitter-Basis-Strecken der npn-Transistoren zusammen mit den Bahnwiderständen eine RC-Kette bilden, deren Laufzeit gegenüber der Schaltzeit der Transistoren nicht mehr vernachlässigbar ist.

Das Temperaturverhalten im Niederstrombereich zeigt eine Abnahme der Verzögerungszeiten mit zunehmender Temperatur. Hier führen die mit der Temperatur steigenden Stromverstärkungen zu einer schnelleren Umladung der in diesem Bereich dominierenden Sperrschichtkapazitäten. Im Hochstrombereich sind die Diffusionskapazitäten dominant. Diese steigen mit zunehmender Temperatur /[1], S. 66; [6], S. 198ff/. Dadurch werden die Verzögerungszeiten im Hochstrombereich mit zunehmender Temperatur größer. Für einen bestimmten Injektorstrom im Bereich zwischen 1µA und 10µA heben sich diese Effekte gegenseitig auf und die Verzögerungszeit ist in diesem Punkt temperaturunabhängig (Bilder 8,9).

## Simulation von I<sup>2</sup>L-Schaltungen

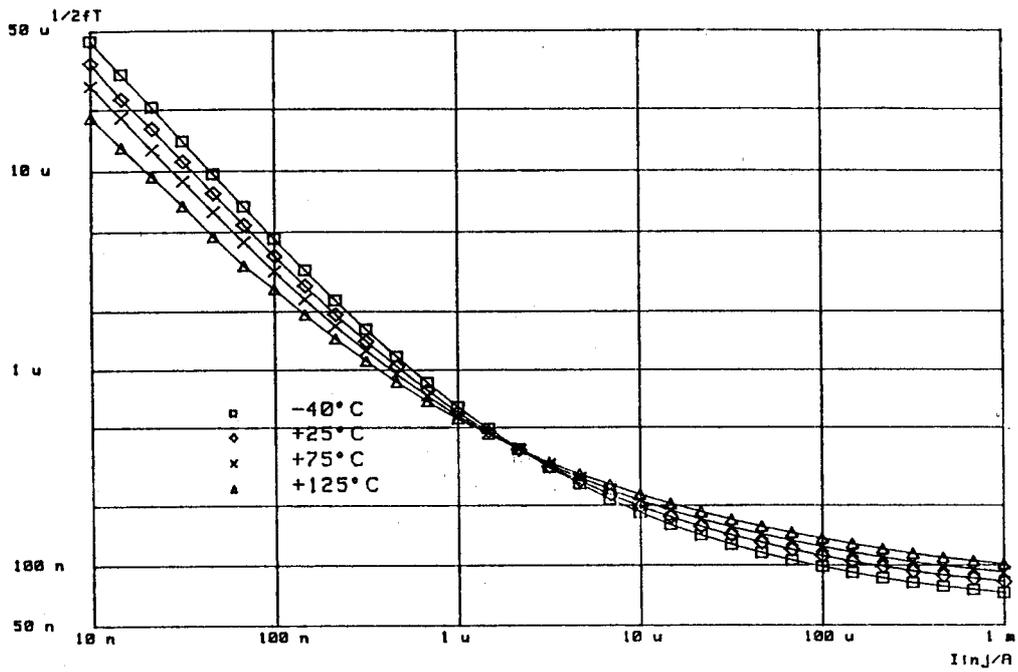


Bild 8: Mittlere Verzögerungszeit  $t_d$  eines 11-stufigen Ringoszillators B1C1 (Messung)

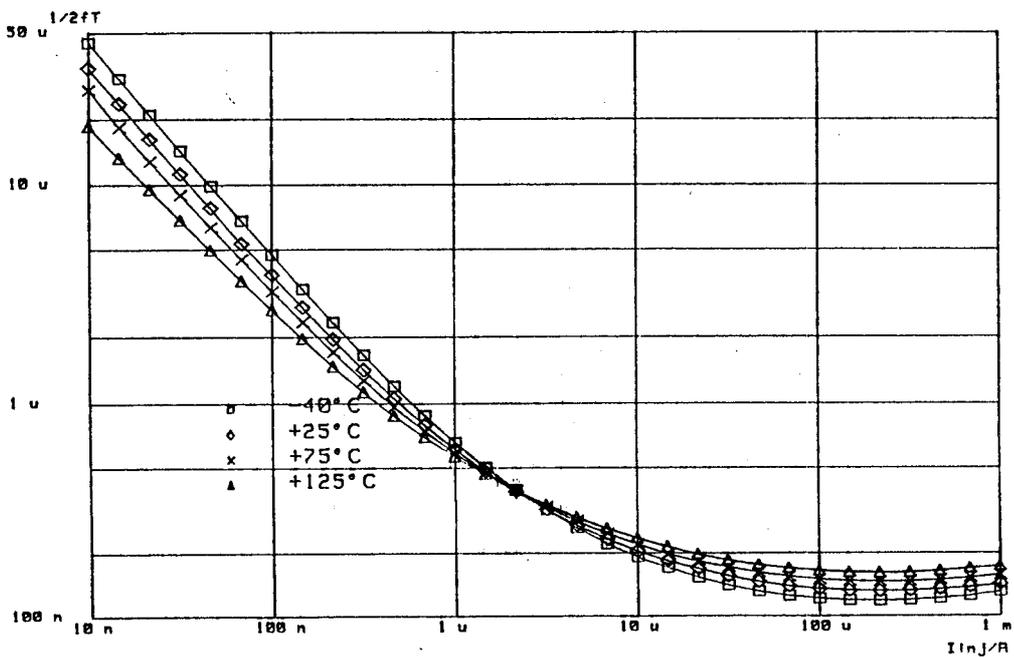


Bild 9: Mittlere Verzögerungszeit  $t_d$  eines 11-stufigen Ringoszillators B1C3 (Messung)

## Simulation von I<sup>2</sup>L-Schaltungen

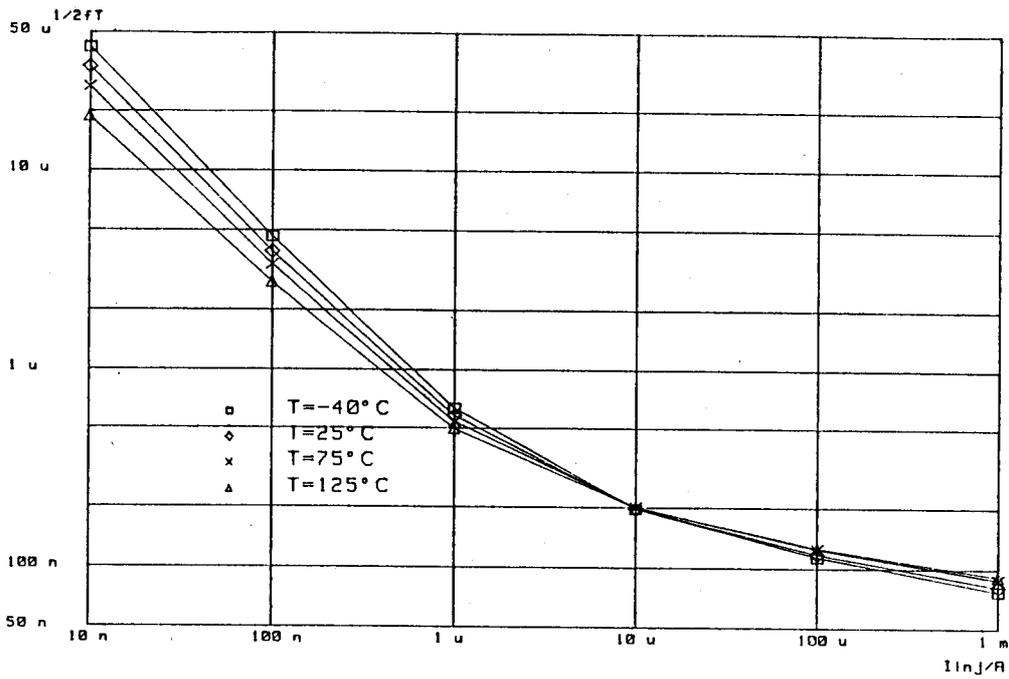


Bild 10: Mittlere Verzögerungszeit  $t_d$  eines 11-stufigen Ringoszillators B1C1 (Simulation)

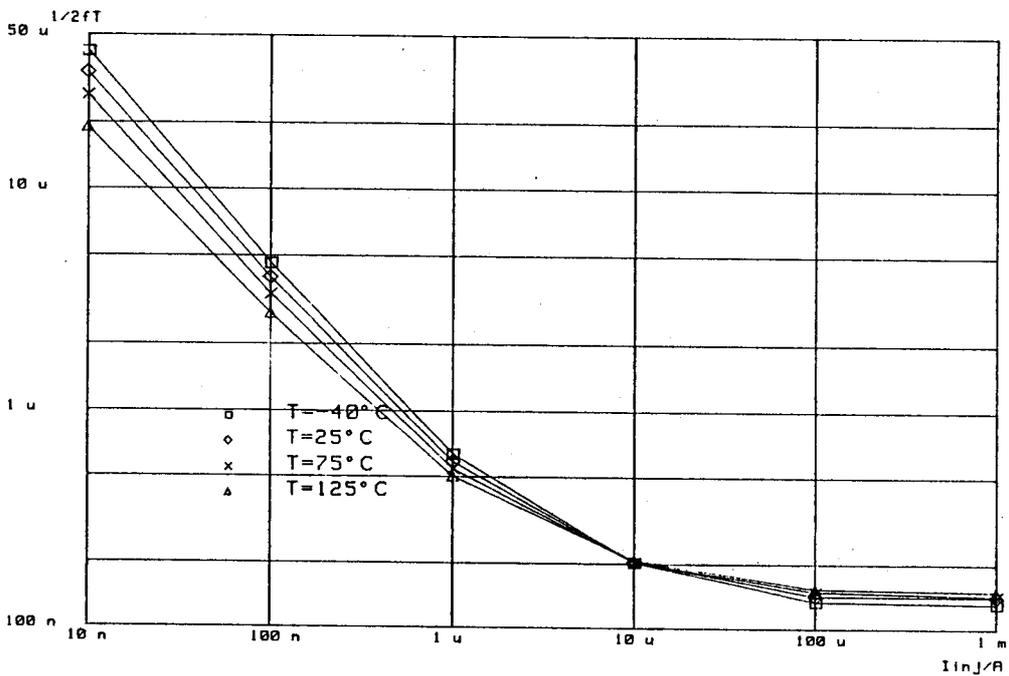


Bild 11: Mittlere Verzögerungszeit  $t_d$  eines 11-stufigen Ringoszillators B1C3 (Simulation)

## Simulation von I<sup>2</sup>L-Schaltungen

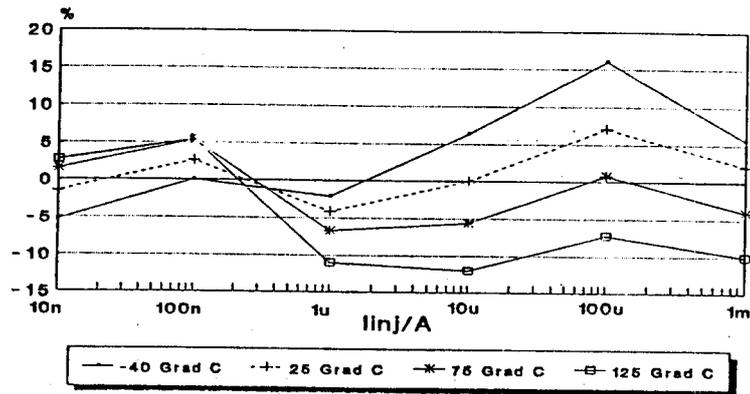


Bild 12: Differenz td (Ringoszillator B1C1) Simulation/Messung

Die Simulation in Bild 10 und 11 zeigen für Temperaturen im Bereich der Nominaltemperatur eine gute Übereinstimmung mit den Messungen. Im Hochstrombereich wird das Temperaturverhalten in der Simulation jedoch nur unzureichend nachgebildet (Bild 12). Simulationen mit einem temperaturangepaßten TF(T) führten dann zu einer weitgehenden Übereinstimmung mit den Messergebnissen (Bilder 13,14,15).

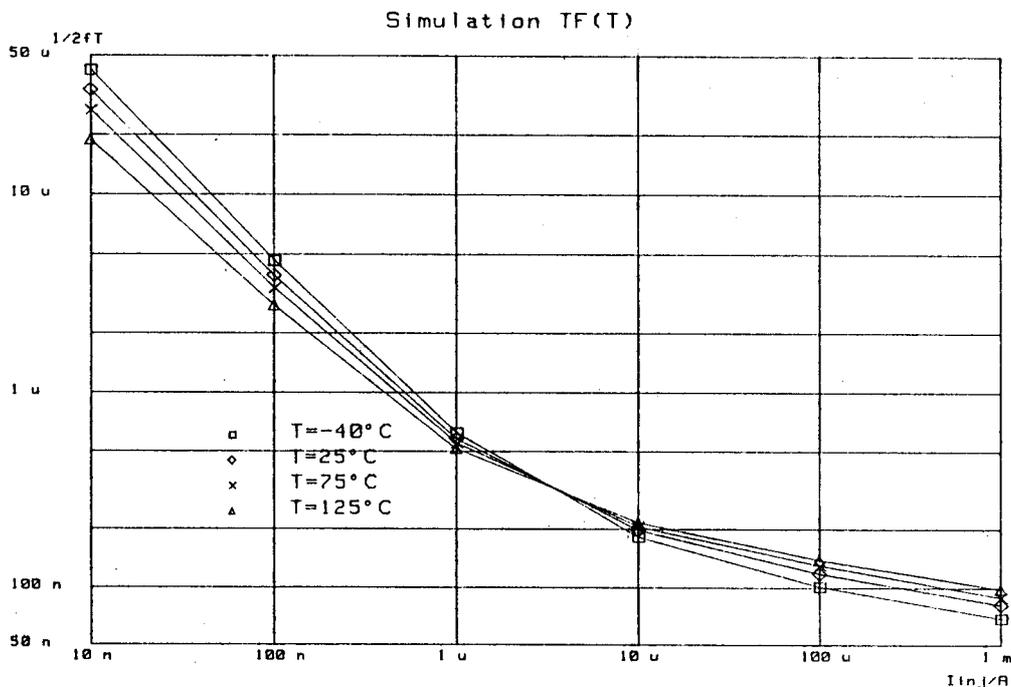


Bild 13: Mittlere Verzögerungszeit td eines 11-stufigen Ringoszillators B1C1 (Simulation mit TF(T))

# Simulation von I<sup>2</sup>L-Schaltungen

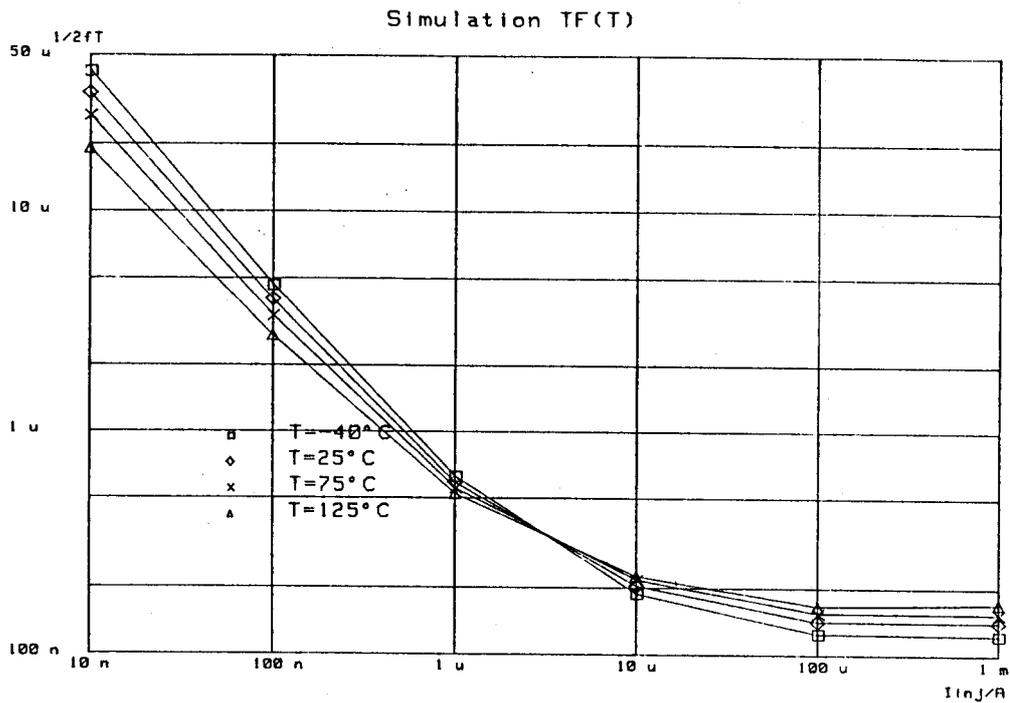


Bild 14: Mittlere Verzögerungszeit  $t_d$  eines 11-stufigen Ringoszillators B1C3 (Simulation mit TF(T))

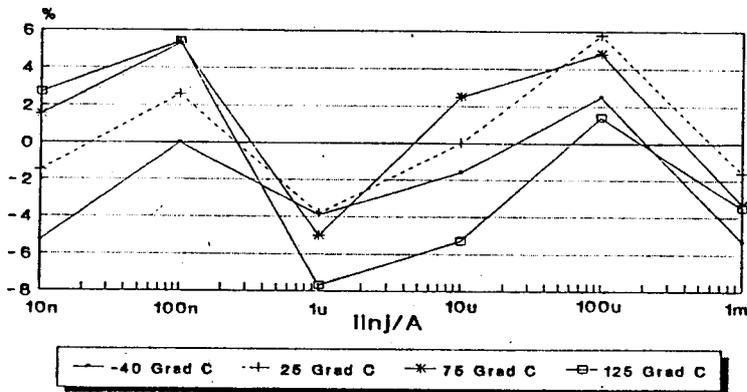


Bild 15: Differenz  $t_d$  (Ringoszillator B1C1)  
Simulation/Messung mit TF(T)

## *Simulation von I<sup>2</sup>L-Schaltungen*

### **Zusammenfassung**

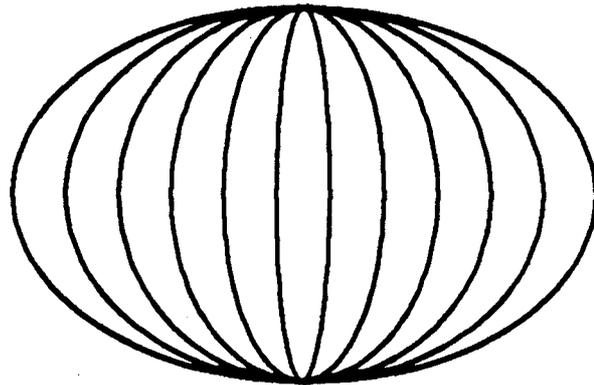
Es wurde ein Modell für den I<sup>2</sup>L-Inverter erstellt, dessen Bauelemente-Parameter sich an geeigneten Teststrukturen bestimmen lassen. Es können nun per Simulation Grundschaltungen analysiert werden und so Daten für die Logiksimulation gewonnen werden. Dies ist ein 1. Schritt, um I<sup>2</sup>L-Schaltungen zu simulieren, denn das Modell setzt eine bestimmte Inverter-Grundstruktur voraus. Ein nächster Schritt könnte sein, beliebige geometrische Verhältnisse zu modellieren.

Diese Arbeit wurde im Rahmen einer Diplomarbeit in Zusammenarbeit mit der TELEFUNKEN electronic GmbH durchgeführt. Der Verfasser dankt Herrn Prof. Dr. H. Clauss und Herrn C. Wallner für die sehr gute Betreuung. Besonderer Dank gilt auch Herrn Kaiser, der diese Arbeit ermöglichte, und Herrn Schindel für die aufschlußreichen Gespräche.

## *Simulation von I<sup>2</sup>L-Schaltungen*

### Literatur:

- [1] Getreu, Ian  
Modeling the Bipolar Transistor  
Elsevier Scientific Publishing Company  
Amsterdam - Oxford - New York 1978.
- [2] Berger, Horst H.  
The Injektion Model-A Structure-Oriented Model for  
Merged Transistor Logic  
IEEE J.Sol.Cir., Vol. SC-9, (10.1974)
- [3] Schroen, Walter  
Modeling of I<sup>2</sup>L and Process Selection  
Process and Device Modelling for Integrated Circuit  
Design.
- [4] E.E.E. Hoefler H. Nielinger  
SPICE  
Springer-Verlag
- [5] Mattheus, Walter H.  
Modeling the Dynamic Behavior of I<sup>2</sup>L  
IEEE Integrated Injection Logic 1980
- [6] Möschwitzer/Lunze  
Halbleiterelektronik  
Dr. Alfred Hüthig Verlag, Heidelberg 1973



# **M O S E S**

**Modellparameterbestimmung für SPICE  
von Matthias Segiet**

**FH Heilbronn - Labor Schaltungsentwicklung - Prof. Dr. Jäger**



Zur Unterstützung der Schaltungsentwicklung entstanden verschiedene Hilfsmittel, so auch Schaltungssimulations- bzw. -analyseprogramme. Weit verbreitet ist hier SPICE, das von der University of California, Berkeley entwickelt wurde. Zur genauen Definition von Halbleitern, nämlich dem Bestimmen der Parameter für das Halbleitermodell gibt es jedoch noch wenig Unterstützung. Da die meisten Schaltungen nicht nur Standardhalbleiter enthalten, ist es unumgänglich für den Benutzer von SPICE, sich entweder das dafür nötige Wissen anzueignen, oder einen Experten zu Rate zu ziehen.

**MOSES** ist ein Expertensystem, das zur Unterstützung bei der Parameterbestimmung für alle Halbleitermodelle in SPICE verwendet werden kann.

Ein Expertensystem ist ein Programm, das gebietsspezifisches Wissen verwaltet. Dieses Wissen ist in Wissensbasen abgelegt, die jederzeit veränderbar und somit aktualisierbar sind. **MOSES** stellt einen solchen Experten dar.

Bevor hier näher auf **MOSES** eingegangen wird, sollten noch ein paar Begriffe erläutert werden, die in diesem Bericht verwendet werden.

**Benutzeroberfläche:** Oberfläche zur Auswahl des Halbleitermodells und Bearbeitung der Modellanweisung

**Experte:** Berechnung und Erläuterung des Parameters mit Hilfe einer Wissensbasis

**Wissensbasis:** Textfile, das die zur Bestimmung des Halbleiterparameters nötigen Informationen enthält

**SPICE-Programm:** File, in dem die zu analysierende Schaltung beschrieben wird

**Parametername:** Name eines Parameters in der von SPICE verwendeten Art (IS, XTI)

**Parameterkurzbezeichnung:** Erläuterung des Parameters (Sperrsättigungsstrom)

Kurz ein Ausflug zu SPICE, wobei davon ausgegangen wird, daß der Leser mit dessen Umgang vertraut ist. Aus einer Schaltung wird das SPICE - Programm erstellt, welches z.B. folgendermaßen aussieht:

```
EMITTERVERSTAERKER
R1 2 0 6.8K
R2 3 2 100K
R3 3 4 1.8K
R4 5 0 100
RA 6 0 2.2K

C1 1 2 0.47U
C2 4 6 1U

Q1 4 2 5 BC108B

VH 3 0 DC 24
VGEN 1 0
VC1 2 1 1.3832
VC2 4 6 10.4798

.MODEL BC108B NPN BF=330 IS=2E-13

.DC VGEN -2 2 .1
.TF V(6) VGEN
.PLOT DC V(6)
.END
```

Bild 1: SPICE - Programmbeispiel

Es gibt verschiedene Anweisungen:

- Titelanweisung
- Elementaranweisungen mit Angabe der Knoten und des Wertes
- Modellanweisungen für die entsprechenden Halbleiter
- Steueranweisungen, was und wie analysiert werden soll
- Endanweisung

Interessant ist hier die Modellanweisung, als Beispiel wird der Bipolartransistor verwendet. SPICE verwendet als Ersatzschaltbild folgende Schaltung:

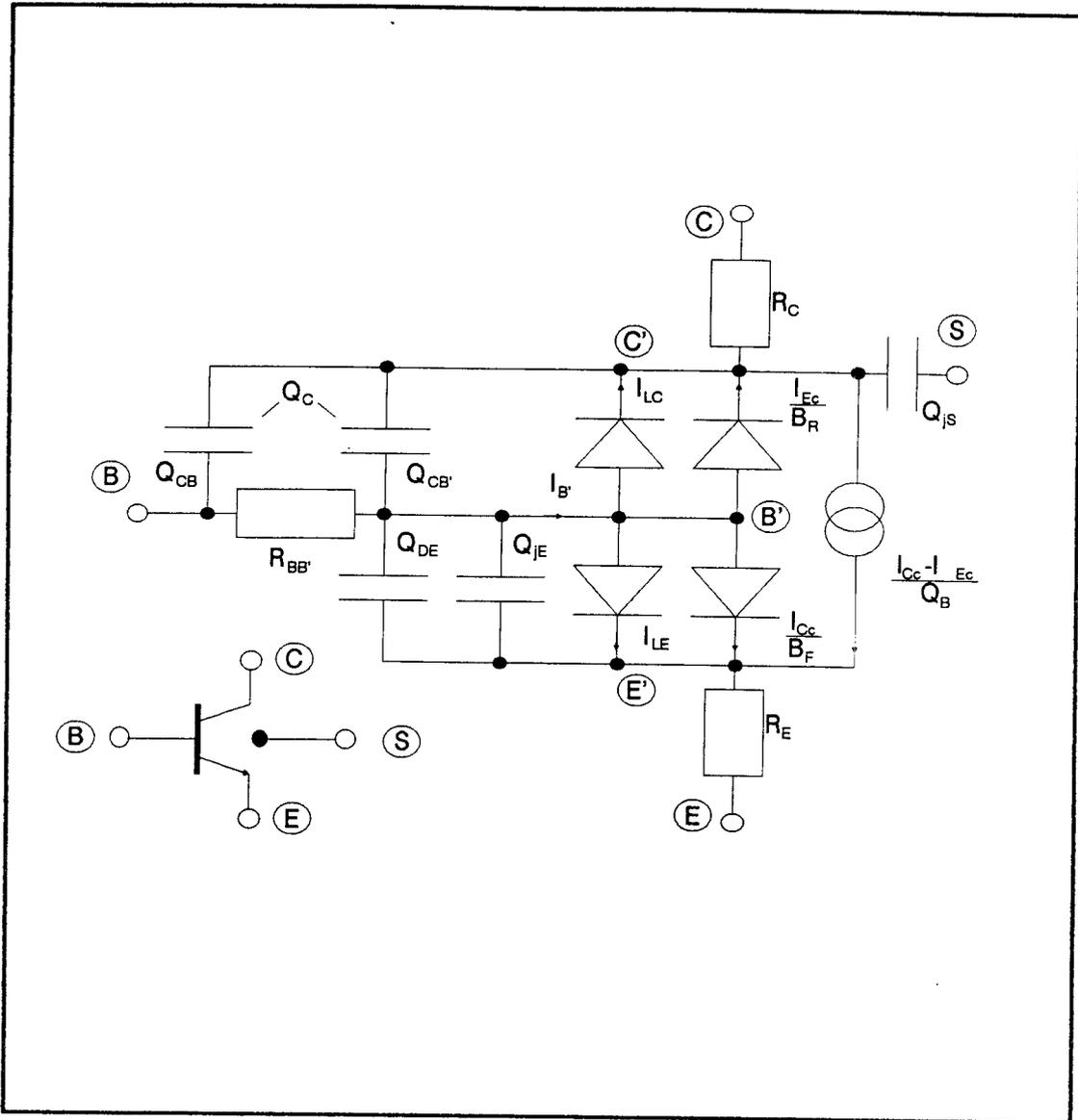


Bild 2: Ersatzschaltbild des Bipolartransistors

Für dieses Halbleitermodell gibt es, um es genau definieren zu können 40 verschiedene Parameter, die im folgenden dargestellt sind.

Name	Parameter	Formelz./ Einheit	Ersatz- wert
IS	Trägerstrom des Emitter	IS /A	10 <sup>-16</sup>
BF	Widerstand des Basis-Emitter-Verstärkung	BF	100
NF	Verstärkungsfaktor des Emitter	nF	1
VAF	Common-Emitter-Verstärkung	VAF /V	∞
IKF	Ohmischer Widerstand der Rückwärtsstromverstärkung	IKF /A	∞
ISE	Basenstrom des Emitter	ISE /A	0
NE	BF-Wert des Emitter	nE	1.5
BR	Interne Basis-Emitter-Verstärkung	BR	1
NR	Prüfungsfaktor des Emitter	nR	1
VAR	Rückwärtsstromverstärkung	VAR /V	∞
IKR	Ohmischer Widerstand der Rückwärtsstromverstärkung	IKR /A	∞
ISC	Basenstrom des Emitter	ISC /A	0
NC	BF-Wert des Emitter	nC	2
RB	Widerstand des Emitter	RB /Ohm	0
IRB	Ohmischer Widerstand des Emitter	IRB /A	∞
RBM	Minimale Widerstand bei hohem Strom	RBm /Ohm	RB
RE	Emitterwiderstand	RE /Ohm	0
RC	Widerstand des Emitter	RC /Ohm	0
CJE	Basenkapazität des Emitter	Cjeo /F	0
VJE	Basenpotential des Emitter	VjE /V	0.75
MJE	Basenpotential des Emitter	mjE	0.33
TF	Basenzeitkonstante des Emitter	τF /s	0
XTF	Kollektorkapazität des Emitter	XF /s	0
VTF	Kollektorkapazität des Emitter	V <sub>TF</sub> /V	∞
ITF	Basenstrom des Emitter	I <sub>TF</sub> /A	0
PTF	Zugkraft des Emitter	γ <sub>TF</sub> /grad	0
CJC	Nullkapazität des Emitter	CjCo /F	0
VJC	Basenpotential des Emitter	VjC /V	0.75
MJC	Basenpotential des Emitter	mjC	0.33
XCJC	Teilwert des Emitter	XCjC	1
TR	Basenzeitkonstante des Emitter	τ <sub>R</sub> /s	0
CJS	Nullkapazität des Emitter	CjSo /F	0
VJS	Basenpotential des Emitter	VjS /V	0.75
MJS	Basenpotential des Emitter	mjS	0
XTB	Teilwert des Emitter	X <sub>TB</sub>	0
EG	Basenpotential des Emitter	E <sub>g</sub> /eV	1.11
XTI	Teilwert des Emitter	X <sub>TI</sub>	3
KF	Basenpotential des Emitter	kF	0
AF	Basenpotential des Emitter	aF	1
FC	Cj-Wert des Emitter	f <sub>c</sub>	0.5

Bild 3: Modellparameter eines Bipolartransistors

Da dies recht komplex ist, ist es sinnvoll, sich für die Bestimmung der Parameter ein Expertensystem zu Hilfe zu holen, in dem die Regeln von Experten abgelegt ist, so etwa, ob ein Parameter überhaupt relevant ist, bzw. welche Faustregeln verwendet werden können.

**MOSES** besteht aus 2 Teilen:

- einer Benutzeroberfläche, zur Bearbeitung der Parameter
- dem Experten zur Bestimmung einzelner Parameter anhand von Werten, die entweder aus dem Datenbuch entnommen werden können, oder gemessen werden müssen.

Zuerst zur Benutzeroberfläche:

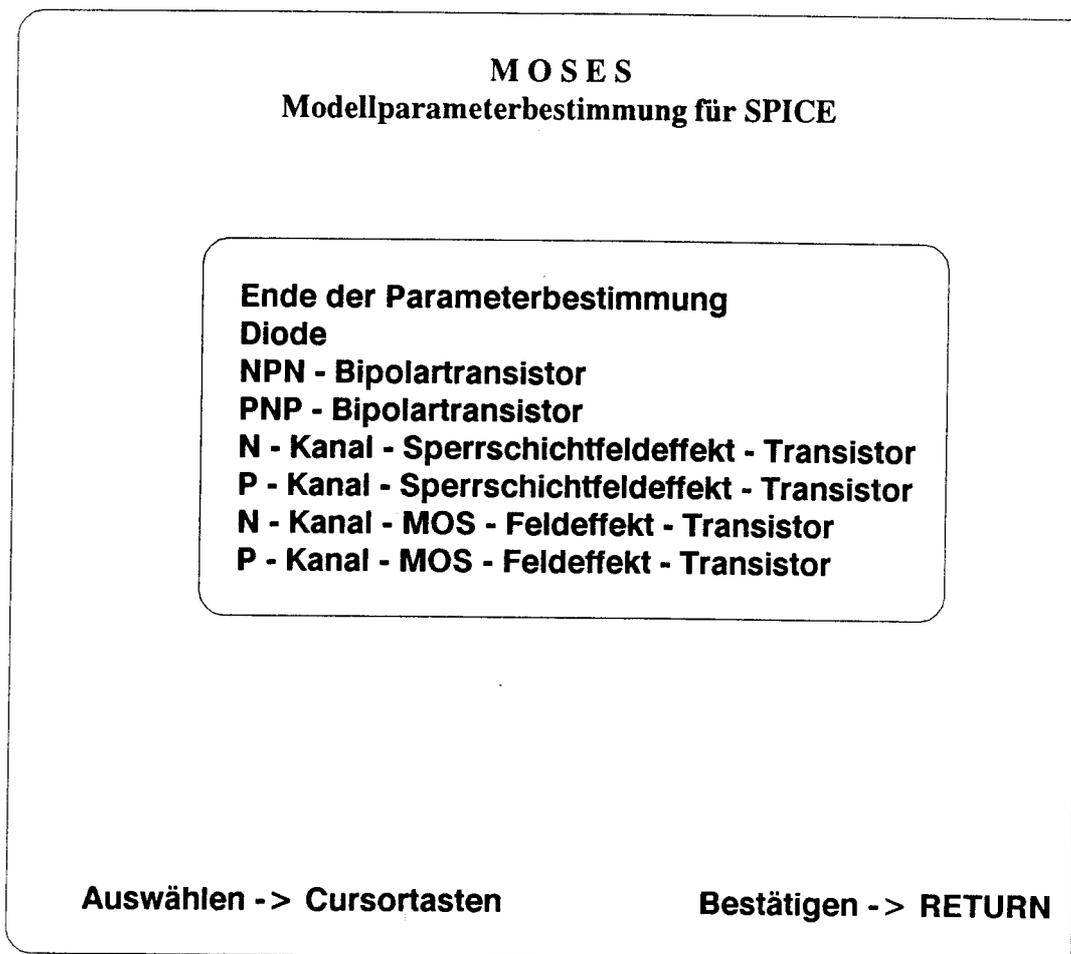


Bild 4: Hauptmenu von **MOSES**

Die Benutzeroberfläche besteht aus einem Hauptmenu und mehreren Parametermenüs. Das Hauptmenu bietet eine gezielte Auswahl eines Halbleitermodells. Die Auswahl erfolgt einfach durch Anwählen des Modells mittels Cursortasten und Bestä-

tigen mit RETURN. Danach erscheint die Anfrage nach dem Namen der Modellanweisung mit der Vorgabe STANDARD. Existiert diese Modellanweisung, werden diese Daten, ansonsten die der STANDARD - Modellanweisung eingelesen. Nun wird das Parametermenu aufgebaut.

MOSES					
Modell für: NPN - Bipolartransistor		Bezeichnung: STANDARD			
Sättigungsstrom	IS	1E-16	BE-Gradationsexp	MJE	0.33
VorwStromverst.	BF	100	Vorwärts-Transitzeit	TF	0
Vorw_Emissionskoeff.	NF	1	Koll.str.koeff_v_TF	XTF	0
Vorw_Early-Spg	VAF	1E20	Koll.spg.koeff_v_TF	VTF	1E20
Ob_Knickstr_von_KF	IKF	1E20	Hochstromparam.v_TF	ITF	0
BE_Leck_Sättgs-str.	ISE	0	Zusatzph.Steilheit	PTF	0
BE_Leck_Emiss.-koeff.	NE	1.5	BC-Sperrschicht_Kap	CJC	0
max_Rückw_str-verst.	BR	1	BC-Diffusions-Spg	VJC	0
Rückw_Stromverst.	NR	1	BC-Gradationsexp	MJC	0.33
Rückw_Early_Spg	VAR	1E20	Teil_v_CJC_z_Basis	XCJC1	
Ob_Knickstr_von_KR	IKR	1E20	Rückwärts-Transitzeit	TR	0
BC_Leck_Sättgs-str.	ISC	0	CS-Sperrschicht_Kap	CJS	0
BC_Leck_Emiss.-koeff.	NC	2	CS-Diffusions-Spg	VJS	0.75
Null-Basisbahnwid.	RB	0	CS-Gradationsexp.	MJS	0
Ob_Knickstr_von_RB	IRB	1E20	Temp-exp_Stromverst.	XTB	0
Min_Basisbahnwid.	RBM	1E20	Bandabstands_Spg	EG	1.11
Emitterbahnwid.	RE	0	Temp-exp_v_IS	XTI	3
Kollektorbahnwid.	RC	0	Funkelrauschkoeff.	KF	0
BE-Sperrschicht_Kap	CJE	0	Funkelrauschexp.	AF	1
BE -Diffusions-Spg	VJE	0.75	CJ-Koeff_Durchlassb.	FC	0.5

Abbruch -> ESC    Ende -> END    Parameter - Hilfe -> F1    Spaltenwechsel -> BLANK

Bild 5: Paramettermenu von MOSES

Dieses enthält Angaben über Halbleitermodell und Modellbezeichnung, sowie aller für dieses Modell relevanten Parameter auf dem Bildschirm. Zwar ergeben sich so relativ schlechte Parameterkurzbezeichnungen, jedoch ist dies für den versierten Benutzer nicht von großer Bedeutung, hat er doch einen besseren Überblick, einen ruhigen Bildschirm und

immer gleiche Parameterpositionen. Änderungen in bezug auf Anzahl oder Bezeichnung der Parameter sind leicht durchzuführen, da diese Daten in Textfiles abgelegt sind.

In diesem Menu wurde ebenfalls Wert auf eine einfache Bearbeitung gelegt:

- bearbeiten in beliebiger Reihenfolge, beliebig oft
- Abbrechen der Bearbeitung mit ESC ohne Übernahme der Daten
- fehlerhafte Bedienung wird unterdrückt
- durch F1 Aufruf des Experten mit aktuellem Parameter
- beenden mit END, erst danach Abfrage, ob gespeichert werden soll
- Speichern aller Werte in einem Modellanweisungsfile, nach Vorgabe von SPICE.

```
.MODEL standard NPN ( IS=1E-16 BF=100 NF=1 VAF=1E20
+ IKF=1E20 ISE=0 NE=1.5 BR=1 NR=1 VAR=1E20 IKR=1E20
+ ISC=0 NC=2 RB=0 IRB=1E20 RBM=1E20 RE=0 RC=0 CJE=0
+ VJE=0.75 MJE=0.33 TF=0 XTF=0 VTF=1E20 ITF=0 PTF=0
+ CJC=0 VJC=0.75 MJC=0.33 XCJC=1 TR=0 CJS=0 VJS=0.75
+ MJS=0 XTB=0 EG=1.11 XTI=3 KF=0 AF=1 FC=0.5 )
```

*Bild 6: SPICE - Modellanweisung*

Vorteil: die Modellanweisung kann direkt in einen Editor zur SPICE - Programmerstellung übernommen werden. Die STANDARD-Daten lassen sich so nicht sichern, sie müssen extra bearbeitet werden (es wird keine eventuelle fehlerhafte Eingabe zum Standard). Gespeichert wird unter dem Namen der Modellanweisung mit der Endung für das Halbleitermodell, z.B. BC237B.NPN. Nach dem Speichern erfolgt der Rücksprung ins Hauptmenu.

Nach Druck von F1 im Parameternu erfolgt der Sprung in den Experten.

Welchen Teil der Wissensbasis wollen Sie aufrufen?  
[Information, Berechnung, Ende,?]

*Bild 7: Abfrage des Experten*

Für jeden Parameter kann eine eigene Wissensbasis erstellt werden. Der Experte bietet 2 Möglichkeiten:

- Information über den Parameter
- Bestimmung des Parameters durch Gleichung bzw. Faustformel anhand von Werten, die der Benutzer auf Anfrage eingibt. Zur Not gibt es noch Ersatzwerte in der Wissensbasis

Als Beispiel wird hier der Parameter ISE des Bipolartransistors verwendet.

Nach Aufruf der Informationen des Parameters lassen sich Informationen ausgeben, deren Größe auch mehrzeilig sein kann.

Der Parameter ISE steht für den BE - Leck - Sättigungsstrom.  
Sein Defaultwert liegt bei 0.

ISE läßt sich mit einem Datenbuch bestimmen.

Welchen Teil der Wissensbasis wollen Sie aufrufen?

[Information, Berechnung, Ende,?]

*Bild 8: Ausgabe des Informationsteils des Parameters*

*Nach Aufruf der Berechnung werden die verschiedenen Werte abgefragt und vom Benutzer entweder ein Wert eingegeben, oder, falls er diesen nicht bestimmen kann, ein Ersatzwert verwendet.*

Geben Sie bitte den Wert von

BF

ein. Diesen bekommen Sie durch

verwenden des Parameters BF. Sein Defaultwert liegt bei 100.

BF sollte größer sein als  $\beta_1$ , da sonst ein negativer Wert als Ergebnis zurückgegeben wird.

Wenn Sie diesen nicht ermitteln koennen,

geben Sie nur 'RETURN' ein!

Eingabe:

Ersatzwert = 100

Weiter mit RETURN

*Bild 9: Abfrage BF*

*Ist dieser auch nicht vorhanden, kann noch unterschieden werden zwischen HF-, NF- und Leistungshalbleiter.*

*Der berechnete Wert wird ins Parameternamen übernommen, wobei die Bearbeitung der Parameter wieder aufgenommen werden kann.*

*Soweit zum Programm MOSES an sich, im weiteren soll noch kurz auf den Aufbau der Wissensbasis eingegangen werden.*

Eine Gleichung, die in einem Textfile abgelegt ist, kann so nicht direkt ausgeführt werden. Die Lösung dieses Problems soll anhand des Parameters ISE erläutert werden.

$$ISE = \left( \frac{1}{\beta_1} - \frac{1}{B_F} \right) * I_{C1}^{m_2} * I_S^{\frac{n_F}{n_E}}$$

$$(H/A - H/B) * C ** G * D ** (F/E)$$

Bild 10: ISE - Gleichung

Jedem zu ermittelnden Wert in der Gleichung wird ein Buchstabe zugewiesen:

A ->  $\beta_1$ , B ->  $B_F$ , ...

Nun ergibt sich eine neue Gleichung, die somit standardisiert ist und leicht eingelesen und bearbeitet werden kann. In dieser Gleichung dürfen natürlich auch Funktionen, wie cos, ln, ... vorkommen.

Die Bezeichnung der Werte, sowie deren Bestimmung und deren Ersatzwert für den Standardhalbleiter werden der Reihe nach im Textfile abgelegt. Am Schluß steht die Gleichung in der standardisierten Weise mit einem X am Ende.

Die vollständige Wissensbasis steht in Bild 11.

Der Parameter ISE steht für den BE - Leck - Sättigungsstrom.  
Sein Defaultwert liegt bei 0.  
ISE läßt sich mit einem Datenbuch bestimmen.

$\beta_1$   
bestimmen eines Wertepaares der Kennlinie  $\beta = f(i_c)$ . Am  
sinnvollsten ist ein Wert im Bereich um 0.001 (1mA).

100

BF  
verwenden des Parameters BF. Sein Defaultwert liegt bei 100.  
BF sollte größer sein als  $\beta_1$ , da sonst ein negativer Wert als  
Ergebnis zurückgegeben wird.

100

ic1  
bestimmen eines Wertepaares der Kennlinie  $\beta = f(i_c)$ .

0.001

IS  
verwenden des Parameters IS. Sein Defaultwert liegt bei 1E-16.

1E-16

NE  
verwenden des Parameters NE. Sein Defaultwert liegt bei 2.

2

NF  
verwenden des Parameters NF. Sein Defaultwert liegt bei 1.

1

m2  
bestimmen der Steigung der Kennlinie  $\beta = f(i_c)$  auf dem geraden  
Stück vor  $\beta_{max}$ .

0.3

Ersatz  
bestätigen mit RETURN. Dieser Wert wird nur in der Formel  
verwendet.

1

( H / A - H / B ) \* C \*\* G \* D \*\* ( F / E ) X

Bild 11: Wissensbasis ISE

Derzeit existieren in **MOSES** Wissensbasen für die meisten Parameter von Diode und Bipolartransistor. Da diese als Textfiles abgelegt sind, lassen sie sich einfach aktualisieren bzw. neu erstellen.

Sinnvoll wäre an dieser Stelle noch ein Expertensystem zur Wissensbasisbearbeitung.

Mit **MOSES** steht ein hilfreiches Werkzeug im Rahmen der Schaltungsentwicklung zur Verfügung, das allen Interessenten zugänglich ist.



# VOLLKUNDEN-IC FÜR EIN NEURALES NETZWERK

K.-H.Kern, G.Kampe, A.Volk  
Fachhochschule für Technik Esslingen (FHTE)  
Labor CAD der Mikroelektronik

Es wird über eine Diplomarbeit im Sommersemester 1989 berichtet, bei der ein kleines binäres neurales Netzwerkes als Vollkunden-IC entworfen wurde. Das Lernen und Wiedererkennen von Mustern durch neurale Netzwerke wird an einem einfachen Beispiel erläutert. Anschließend wird das entwickelte Chip vorgestellt.

## 1. EINLEITUNG

Herkömmliche Computer bestehen seit ca. 45 Jahren aus Rechenwerk, Leitwerk und Speicher für Programme und Daten. Sie führen alle Operationen seriell aus. Bei komplexen Aufgaben (z.B. Bildverarbeitung) führt dies zu einer unerwünscht langen Rechenzeit. Daher treten in letzter Zeit im Bereich der Künstlichen Intelligenz Verfahren zur parallelen Datenverarbeitung in den Vordergrund. Von besonderer Bedeutung sind dabei Versuche, die Vorgänge bei der Signalverarbeitung in einem biologischen Nervensystem durch technische Schaltungen stark vereinfacht nachzubilden. Die Grundlagen zu diesen Überlegungen sind bereits 1943 bei McCulloch und Pitts, später bei Steinbuch (Lernmatrix) und bei Hebb zu finden.

## 2. FUNKTIONSWEISE NEURALER NETZWERKE

### 2.1 MODELL FÜR EIN NEURON

Im folgenden steht "Neuron" für das stark vereinfachte technische Modell eines biologischen Neurons. Bild 1 zeigt oben schematisch den Aufbau eines Neurons, bestehend aus mehreren Eingängen (Dendriten) und einem Ausgang (Axon). Die ankommenden Signale haben eine hemmende oder verstärkende Wirkung. Sie werden mit einem individuellen Faktor gewichtet und zum Summensignal  $S$  aufsummiert.

In Bild 2 sind einige Beispiele für den möglichen Zusammenhang zwischen dem Summensignal  $S$  und dem Ausgangssignal  $A$  angegeben. Beim binären und beim halblinaren Verfahren existiert eine Reizschwelle  $Th$ . Die Wissenschaft der neuronalen Netzwerke ist z.Zt. dadurch gekennzeichnet, daß in zahlreichen Laboratorien geeignete Umsetzfunktionen erprobt werden, wobei sich die Lösungen im technischen Aufwand stark unterscheiden und an die jeweilige Aufgabenstellung angepaßt werden müssen.

### 2.2 STRUKTUR NEURALER NETZWERKE

Neben dem Neuron als Verarbeitungselement ist vor allem auch die Verbindungsstruktur zwischen den Neuronen von Bedeutung. Bild 2 zeigt einige prinzipielle Netzwerktypen, wobei die Komplexität von oben nach unten zunimmt. Durch die Festlegung auf eine bestimmte Struktur werden die Möglichkeiten für das Lernen und Wiedererkennen (Assoziation) von Mustern bestimmt. Dabei führt oft bereits der Ausschnitt eines Musters oder auch ein gestörtes Muster zum Wiedererkennen des ursprünglich gelernten Musters, siehe nächster Abschnitt.

### 2.3 LERNEN UND WIEDERERKENNEN

In Bild 3 wird anhand eines sehr einfachen Beispiels (Muster aus 5 binären Zeichen) erläutert, wie bei neuronalen Netzwerken ein Lernen und Wiedererkennen möglich ist.

Lernen: Das zu lernende Muster M1 wird als Zeilen- und Spaltenvektor an eine zunächst mit 0-Werten besetzte Matrix angelegt. Die Matrixelemente im Kreuzungspunkt einer 1-Zeile und 1-Spalte werden auf 1 gesetzt. In gleicher Weise kann ein zweites Muster M2 gelernt werden. Die Matrix enthält so Informationen über die beiden gelernten Muster.

Wiedererkennen: Durch Störeffekte sei aus dem Muster M1 das Muster M1' entstanden. Zum Wiedererkennen wird M1' als Zeilenvektor an die Matrix gelegt. Dieser Vektor wird elementweise mit jeder Zeile der Matrix multipliziert und das Ergebnis zeilenweise addiert. Der Summenvektor wird mit Hilfe eines geeigneten Schwellenwertes  $T_h$  wieder in eine binäre Form überführt, welche im gezeigten Beispiel dem ursprünglich gelernten Muster M1 entspricht.

Die Fähigkeit zum erfolgreichen Wiedererkennen hängt ab von

- Größe der Matrix
- Anzahl und Gestalt der gelernten Muster
- Wahl des Schwellenwertes  $T_h$
- Grad und Art der Veränderung bei einem gestörten Muster

Bild 4 zeigt im oberen Teil ein Beispiel für 3 gelernte Muster und die Ergebnisse beim erfolgreichen Wiedererkennen gestörter Muster. Im unteren Teil wird deutlich, daß z.B. durch das Lernen der angegebenen 5 Muster dieses neurale Netzwerk bereits überfordert ist: selbst ein ungestörtes Muster wird nicht mehr richtig zugeordnet.

Falls anstelle der zweiwertigen binären Signale mehrwertige Signale (im Grenzfall reelle Zahlenwerte) zugelassen werden, erhöht sich die Anzahl der möglichen Verfahren sowie auch der technische Aufwand zu deren Realisierung beträchtlich.

### 3. REALISIERUNG NEURALER NETZWERKE

Es ist üblich, die Wirkungsweise neuraler Netzwerke zunächst in einem Simulationsprogramm z.B. auf einem herkömmlichen Digitalrechner zu untersuchen. Ein entsprechendes interaktives Programm steht an der FHTE zur Verfügung und ist auf PC lauffähig. Die Resultate in Bild 4 wurden mit diesem Programm ermittelt.

Für die Realisierung neuraler Netzwerke sind mehrere Wege denkbar:

- Einsatz eines Signalprozessors (vgl. Bild 5), welcher die erforderlichen Matrixoperationen und Bewertungen durchführt.
- Entwurf eines kundenspezifischen Schaltkreises entweder nur mit digitalen Baugruppen oder mit einem gemischt digital/analogem Aufbau.

In der vorliegenden Diplomarbeit wurde der zweite Weg gewählt, da die Möglichkeiten zur Chipherstellung im Multi-Projekt-Chip-Verbund der Fachhochschulen in Baden-Württemberg genutzt werden sollten. Unter Verwendung der digitalen CMOS-Zellenbibliothek wurde mit dem CAD-Paket KICBOX ein Vollkunden-IC entworfen, welches die einfachste mögliche Form eines neuronalen Netzwerkes aufweist (binäre Signale).

#### 4. BESCHREIBUNG DES CHIPS

Bild 6 zeigt den Blockschaltplan des Chips. Es ist in der Lage, Muster aus 8 binären Zeichen zu lernen und wiederzuerkennen. Die Begrenzung auf nur 8 Zeichen erfolgte, um die Randbedingungen der Diplomarbeit hinsichtlich Entwurfszeit und Siliziumfläche einzuhalten.

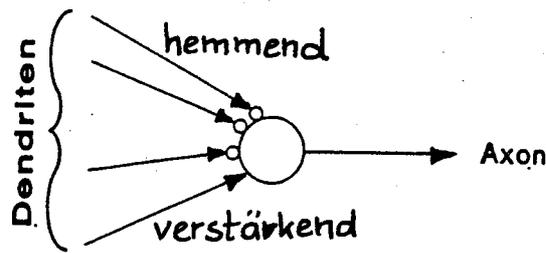
Bild 7 zeigt den einfachen Aufbau eines Matrixelementes. Das Kippglied dient dem Abspeichern des Elementwertes beim Lernvorgang (vgl. Bild 3). Im Floorplan (Bild 8) wird die regelmäßige Struktur des Chips deutlich erkennbar. Bei der Wiedererkennung eines Musters (vgl. 2.3) wird das Ergebnis der Verknüpfung in jeder Zeile zunächst in ein Register übernommen und dann seriell einer externen Auswerteschaltung zur Bildung des Summenvektors usw. zugeführt. Dadurch werden Chip-Anschlüsse eingespart, allerdings auf Kosten der Verarbeitungsgeschwindigkeit.

Falls komplexere Muster bearbeitet werden sollen, kann die Schaltung um weitere Chips modular erweitert werden (Bild 9).

#### 5. ERGEBNIS

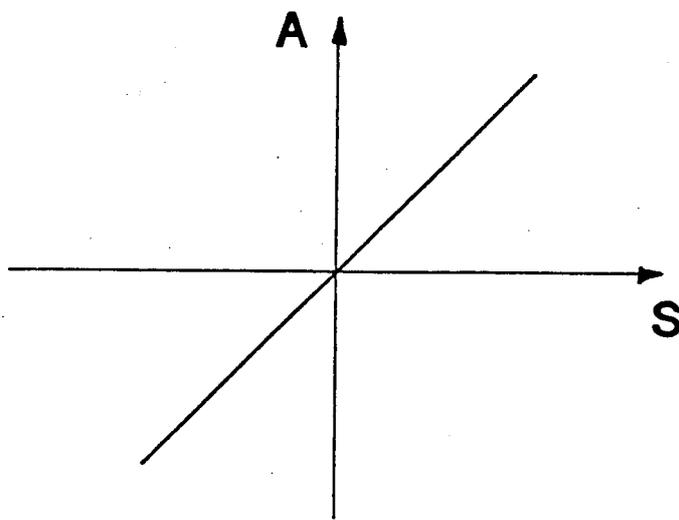
In der Diplomarbeit wurde ein Einblick in die Prinzipien einfacher neuraler Netzwerke gewonnen. Als Ergebnis entstand ein Vollkunden-IC für Muster aus 8 Binärzeichen. Für wesentlich komplexere Muster erscheint es sinnvoll, in einer weiteren Arbeit ein neurales Netzwerk mit einem handelsüblichen Signalprozessor gemäß Bild 5 aufzubauen, wobei eine Prozessor-Hierarchie denkbar ist, siehe Bild 10.



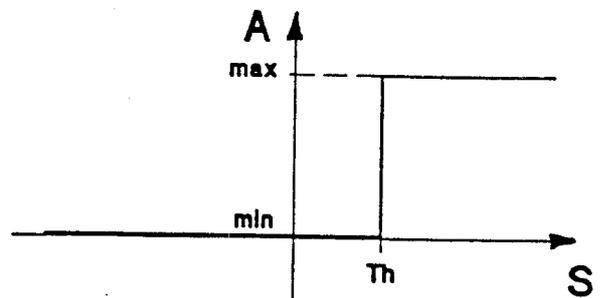


Schematische  
Darstellung  
eines Neurons

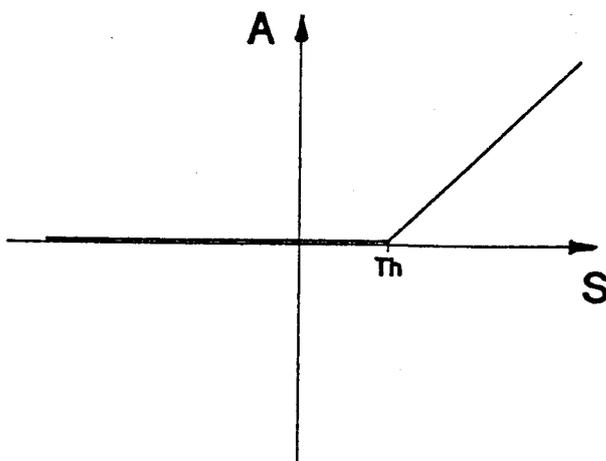
## Verschiedene Umsetzungsfunktionen



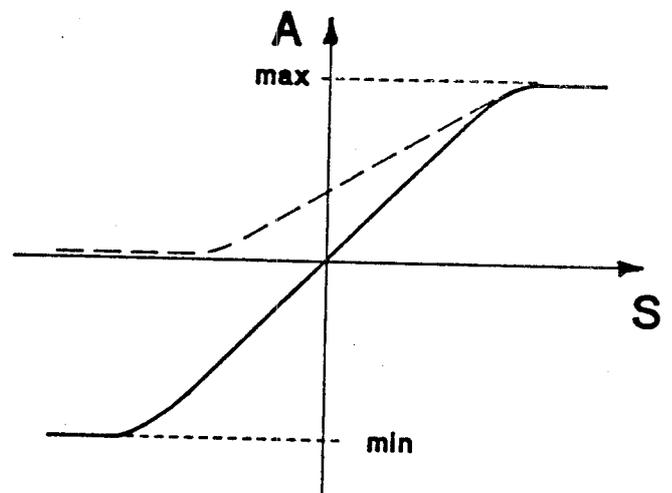
linear



binär

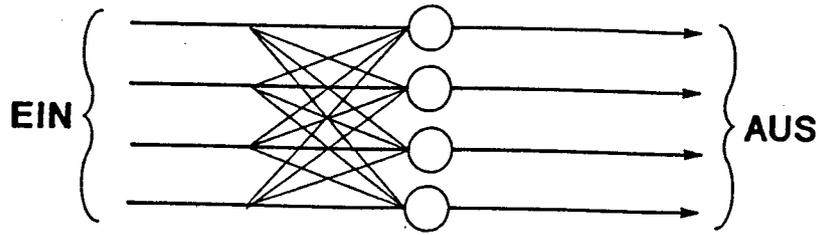


halblinear

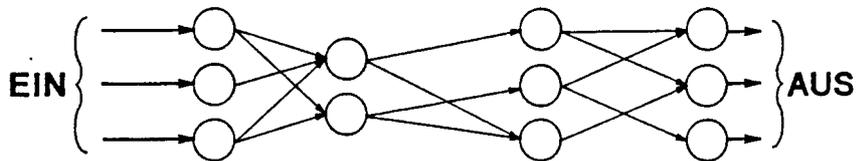


sigmoid

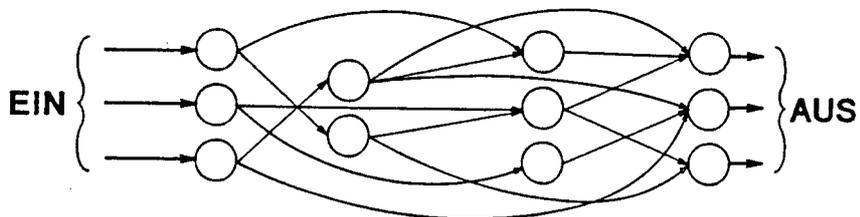
# Verschiedene Netzwerktypen



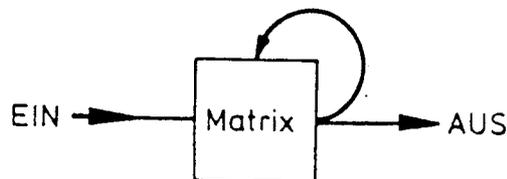
**Einschichtig, vollständig vernetzt**



**Mehrschichtig, teilweise vernetzt**



**Mehrschichtig, schichtübergreifend vernetzt**



**Rückgekoppeltes Netzwerk**

# Der Lernvorgang

## Lernen

	$\underline{x}^T$																																																														
		(1 0 0 0 1)=M1	(0 0 1 1 0)=M2																																																												
$\underline{x}$	<table style="border-collapse: collapse; margin-left: 20px;"> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> </table>	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	<table style="border-collapse: collapse; margin-left: 20px;"> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> </table>	0	1	0	0	0	1	0	0	0	0	0	0	1	0	0	1	1	0	1	0	0	1	1	0	0	1	0	0	0	1	
1	1	0	0	0	1																																																										
0	0	0	0	0	0																																																										
0	0	0	0	0	0																																																										
0	0	0	0	0	0																																																										
1	1	0	0	0	1																																																										
0	1	0	0	0	1																																																										
0	0	0	0	0	0																																																										
1	0	0	1	1	0																																																										
1	0	0	1	1	0																																																										
0	1	0	0	0	1																																																										
		erstes Muster lernen	zweites Muster lernen																																																												

## Wiedererkennen

gestörtes Bit

Schlüssel: (1 0 0 1 1)=M1', gestörtes Muster M1

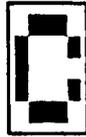
<table style="border-collapse: collapse; margin-left: 20px;"> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>---</td><td>2</td><td>----</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>---</td><td>0</td><td>----</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>---</td><td>1</td><td>----</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>---</td><td>1</td><td>----</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>---</td><td>2</td><td>----</td></tr> </table>	1	0	0	0	1	---	2	----	0	0	0	0	0	---	0	----	0	0	1	1	0	---	1	----	0	0	1	1	0	---	1	----	1	0	0	0	1	---	2	----	Schwellwert Th = 1.5	<table style="border-collapse: collapse; margin-left: 20px;"> <tr><td>----</td><td>1</td></tr> <tr><td>----</td><td>0</td></tr> <tr><td>----</td><td>0</td></tr> <tr><td>----</td><td>0</td></tr> <tr><td>----</td><td>1</td></tr> </table>	----	1	----	0	----	0	----	0	----	1
1	0	0	0	1	---	2	----																																													
0	0	0	0	0	---	0	----																																													
0	0	1	1	0	---	1	----																																													
0	0	1	1	0	---	1	----																																													
1	0	0	0	1	---	2	----																																													
----	1																																																			
----	0																																																			
----	0																																																			
----	0																																																			
----	1																																																			
↑ Summenvektor		↑ Ergebnis																																																		

BILD 3

# Verschiedene Lernvorgänge

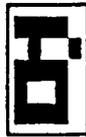
## Beispiel 1:

Lernen



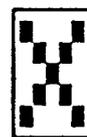
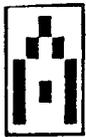
Wiedererkennen

angeboten, Ergebnis



## Beispiel 2:

Lernen



Wiedererkennen



# Neurales Netzwerk - Ein-Prozessor-System

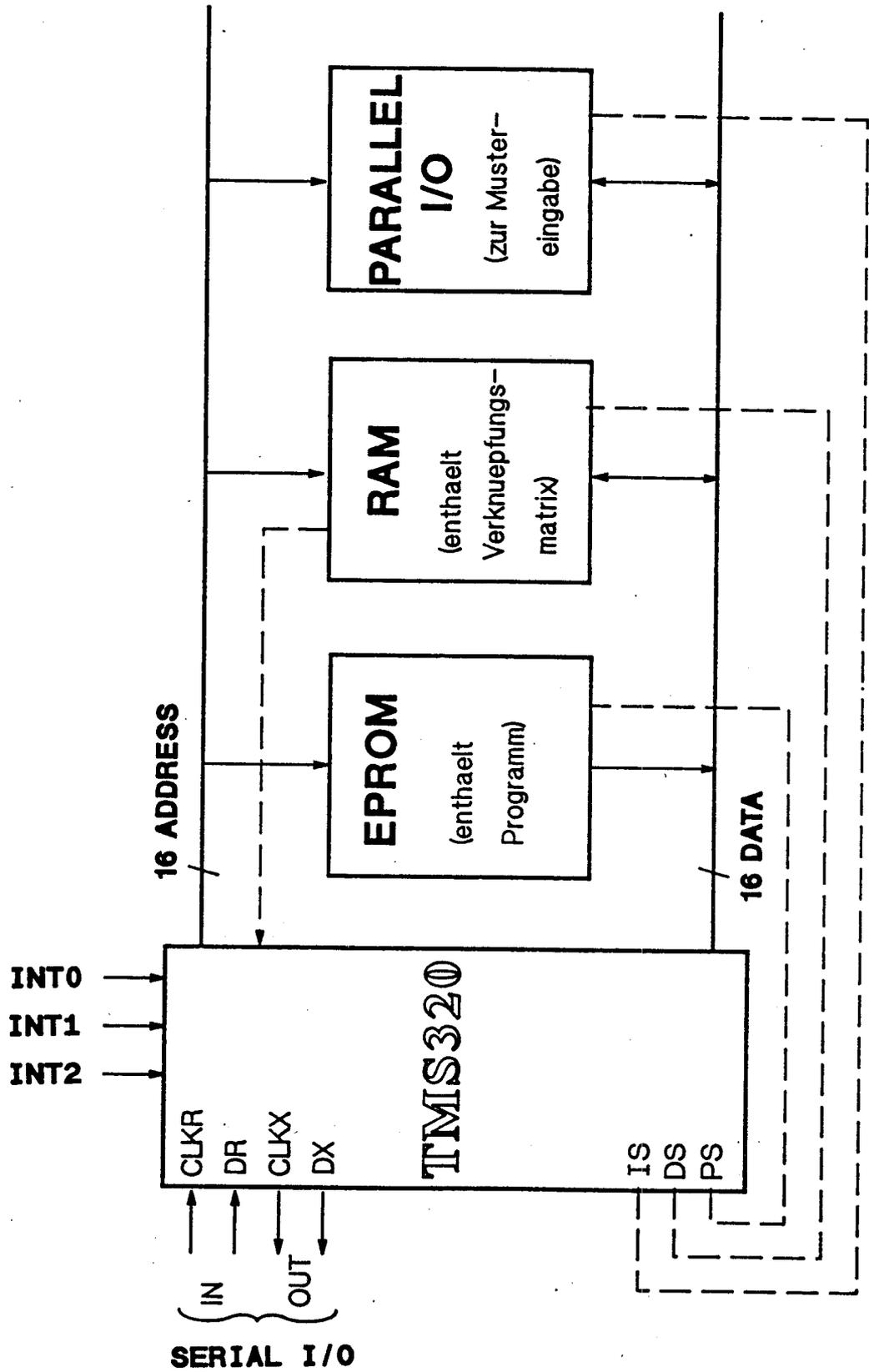


BILD 5

# Blockschaltplan des Chips

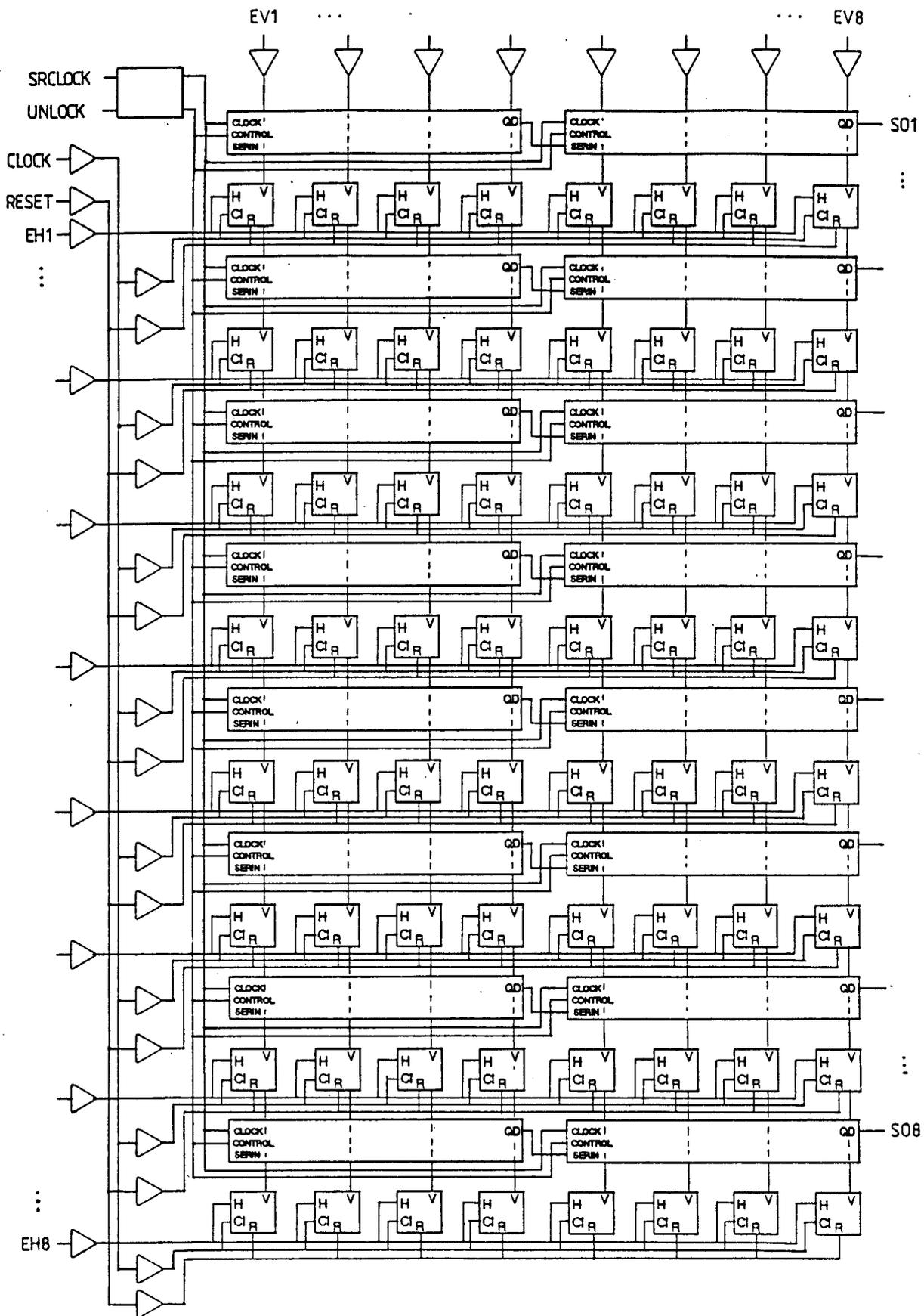
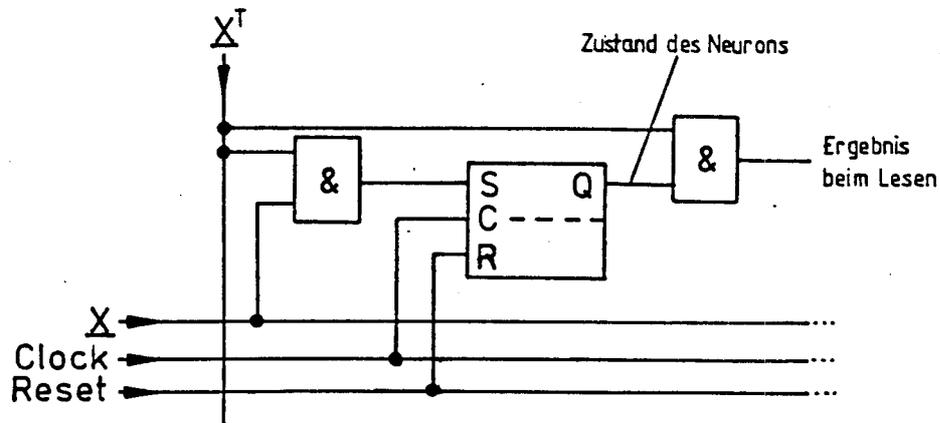


BILD 6

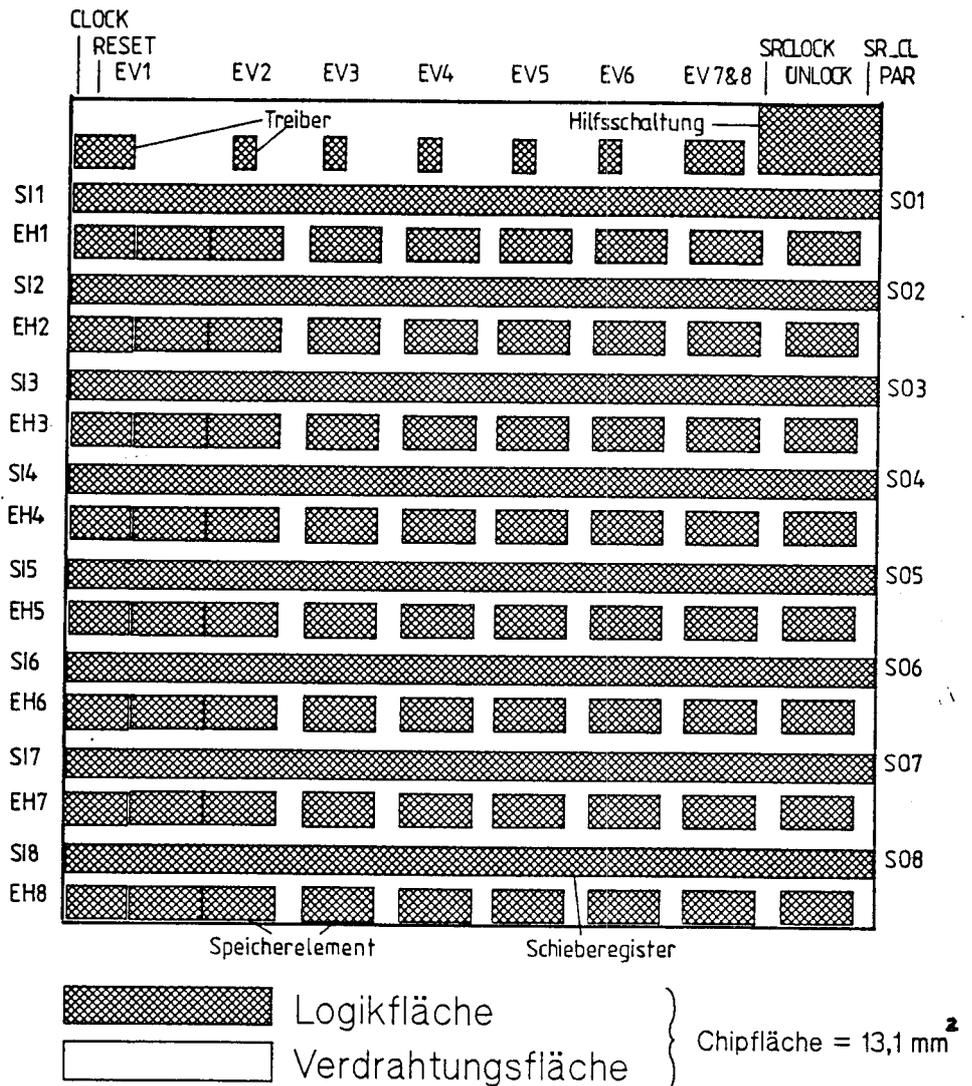
# Speicherelement des Netzwerks

BILD 7



# Floorplan des Chips

BILD 8



Anzahl der Transistoren: ca. 3700

Anzahl der Anschlüsse: 40

# Modulare Erweiterung

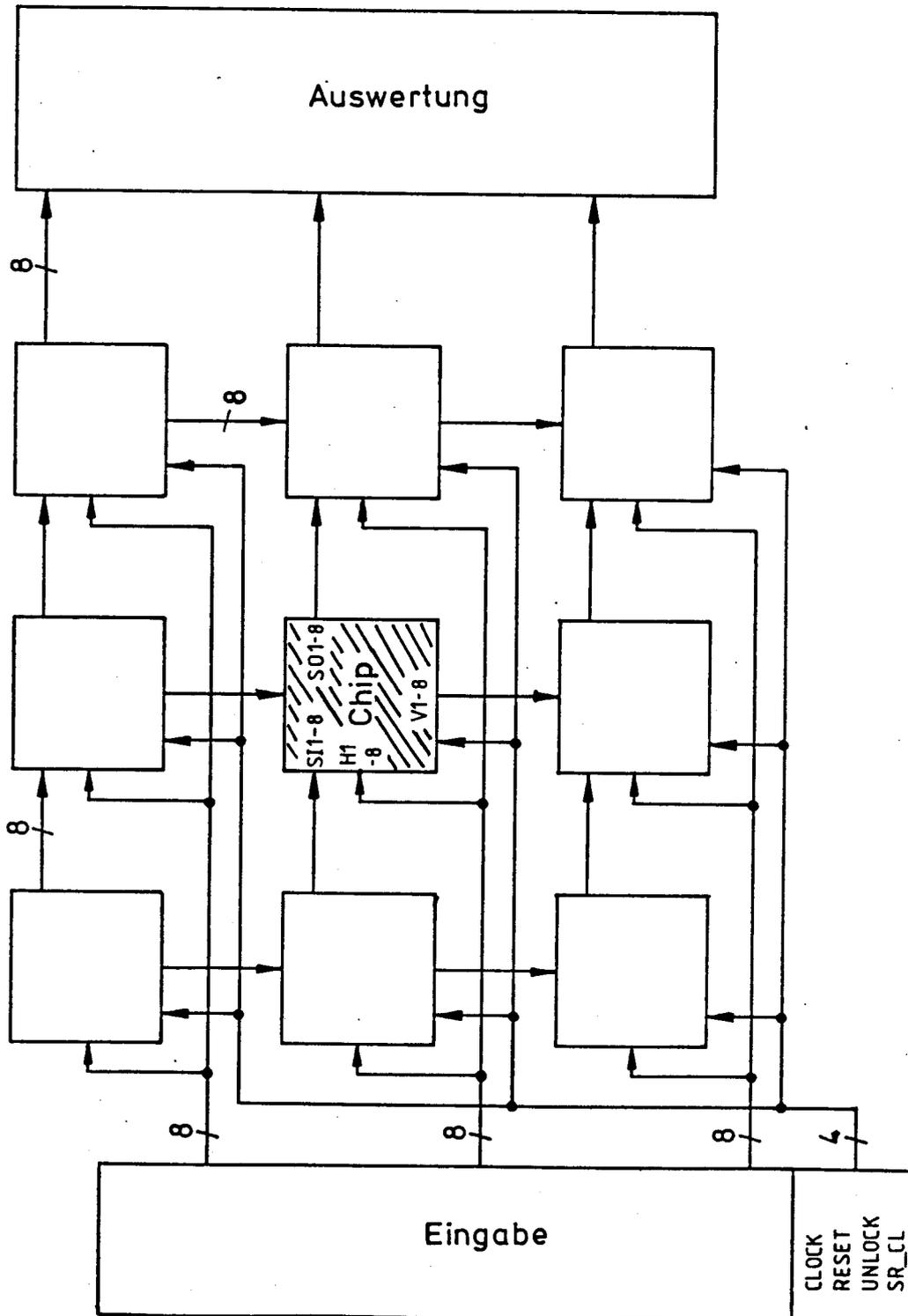


BILD 9

# Neurales Netzwerk - Hierarchisches Prozessorsystem

HOST-System (z.B. PC)

TMS-System (z.B. als Steckkarte)

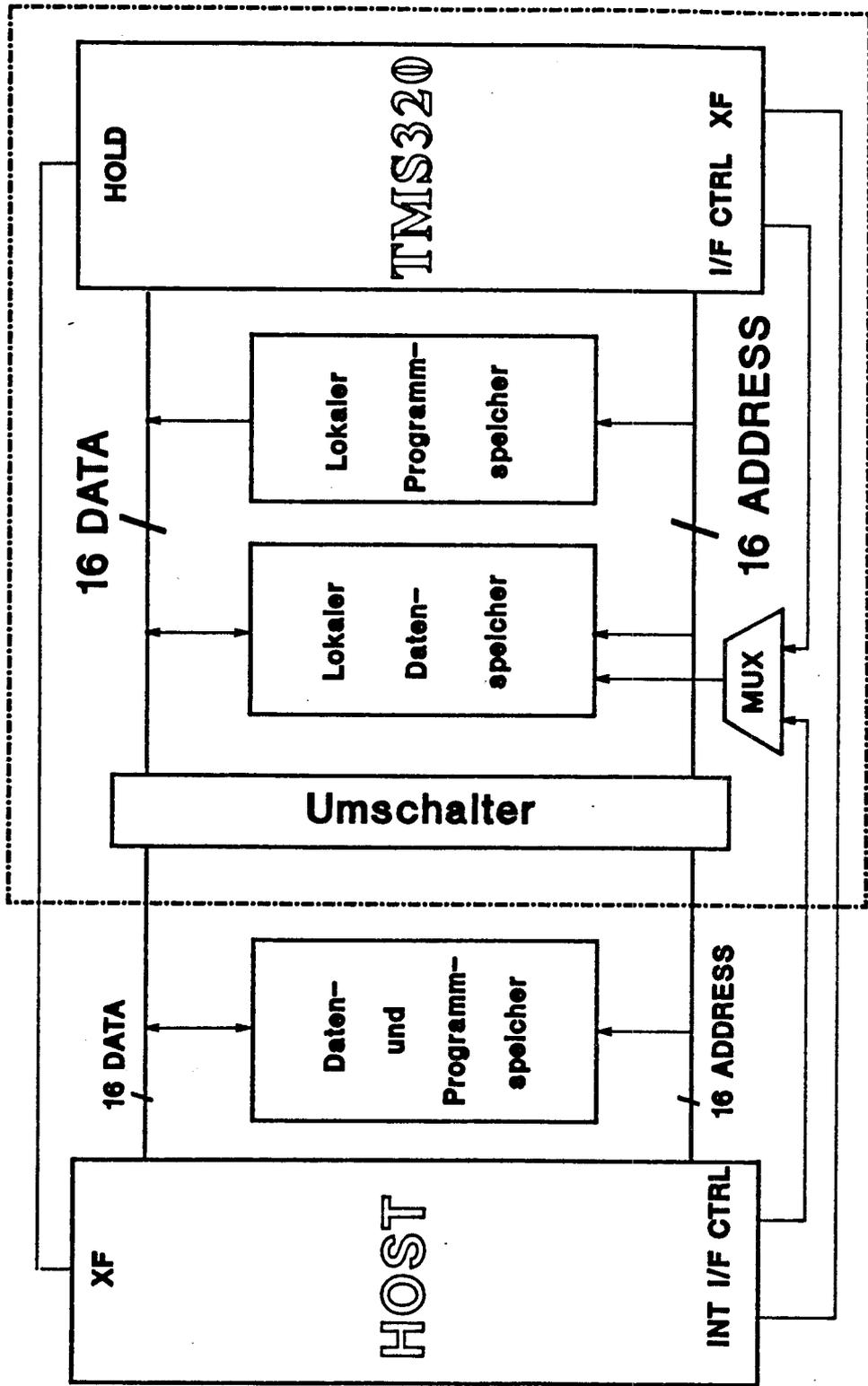


BILD 10



**ENTWICKLUNGSTENDENZEN DER  
TRÄGER- UND VERBINDUNGSTECHNIK**

**H. Khakzar**

**Laboratorium Prozesscharakterisierung  
der Mikroelektronik**

**Fachbereich für Nachrichtentechnik**

**FACHHOCHSCHULE FÜR TECHNIK ESSLINGEN**

## INHALT

1. Definition von Packaging (Träger- und Verbindungstech.)
2. Hybride Mikroschaltungen
3. Oberflächenmontage elektrischer Bauelemente (SMT)
4. Grid Arrays und Tape Automated Bonding
5. Encapsulation-Verpackung integrierter Schaltungen
6. IBM-Verbindungstechnik
7. Mathematisch-physikalische Aspekte der Verbindungstechnik
8. Ausblick

## 1. DEFINITION VON PACKAGING

"Packaging" oder auch Verbindungstechnik umfaßt alle technologischen Teilprozesse zur Verbindung von passiven und aktiven Bauelementen und Baugruppen (R,L,C,Dioden, Transistoren,ICs u.a.) zu einem System.

## 2. HYBRIDE MIKROSCHALTUNGEN

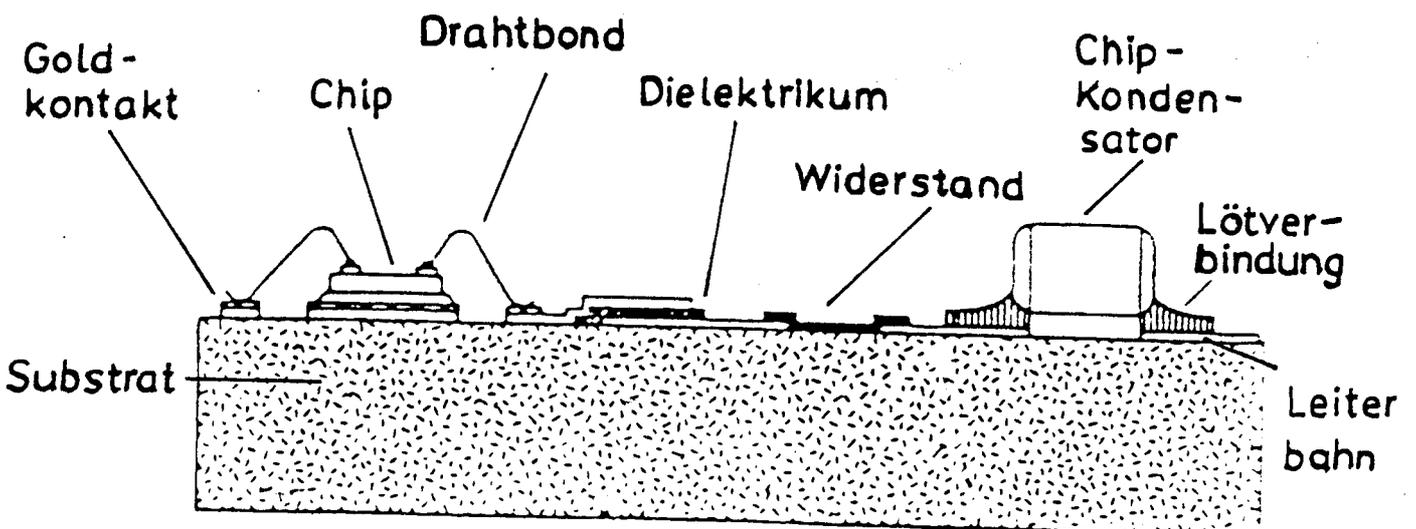
Definition :

Realisierung und Vereinigung von Bauelementen aus unterschiedlichen Materialien und Herstellungstechnologien auf einem gemeinsamen Substrat. Die Bauelemente werden entweder gelötet oder geklebt und gebondet.  
(genormte Bezeichnung : 'Integrierte Schichtschaltung')

Bestandteile einer Schichtschaltung (Hybrid)

- Substrat
- Leiterbahn- und Widerstandsschicht
- Dielektrikum
- Löt- und Bondverbindungen

Hybride Mikroschaltung im Querschnitt :



## Arten von Schichtschaltungen

Kriterium : Art der Schichtabscheidung

- man unterscheidet
- Dickschichtschaltungen
  - Dünnschichtschaltungen

### DICKSCHICHTTECHNIK :

Die Strukturen werden im Siebdruckverfahren mit metall- und glashaltigen Pasten auf keramische Träger aufgebracht und anschließend eingebrannt. Die Herstellung mehrerer Leiterbahnebenen ist möglich.

- Substratmaterialien :
- $\text{Al}_2\text{O}_3$ -Keramiksubstrate
  - verschiedene Siebdruckpasten

### DÜNNSCHICHTTECHNIK :

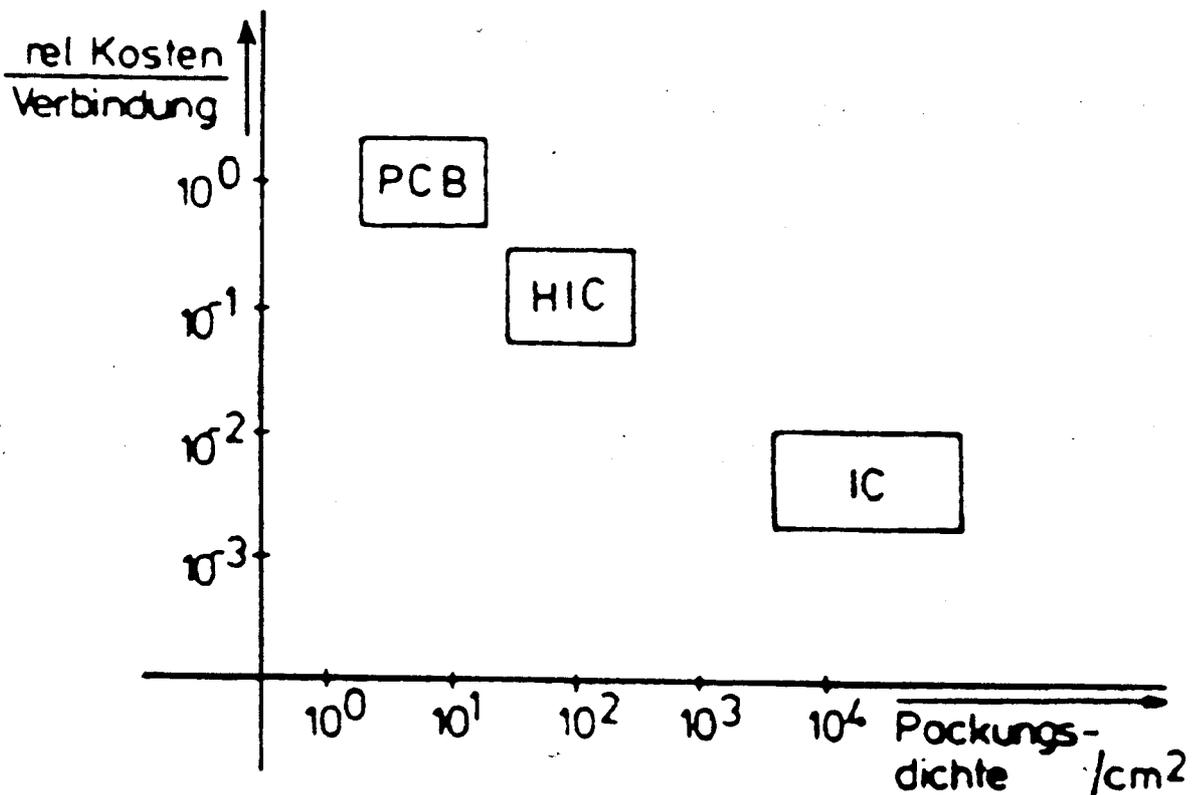
Im Vakuum werden Träger aus Glas oder Keramik ganzflächig mit beschichtet (z.B. Aufdampfen, Aufspattern). Die Schichten werden photolithographisch strukturiert und mit unterschiedlichen Verfahren selektiv geätzt. Das Aufdampfen durch Masken ist ebenfalls möglich.

Die Kombination von Leiterbahnen und ohmschen Widerständen mit Bauelementen, die sich für die Oberflächenmontage eignen, sowie ungehäusten, monolithisch integrierten Schaltungen (Dice) ist bislang am weitesten verbreitet.

### Bedeutung der Hybridtechnik

Im unteren Schaubild sind die relativen Produktionskosten pro Verbindung in Abhängigkeit der Packungsdichte am Beispiel folgender Industriestandards dargestellt :

- eine einseitig bestückte Leiterplatte mit konventionellen Bauteilen und beidseitiger Leiterbahnführung (PCB)
- eine einseitig bestückte Multilayerhybridschaltung mit ungehäusten Bauelementen in CHIP-AND-WIRE-Technik (HIC)



Hybride Mikroschaltungen zeichnen sich aufgrund des speziellen Trägermaterials (Substrat) sowie der hohen Sintertemperatur für die Schichtbauelemente durch folgende Eigenschaften aus :

- hoher Miniaturisierungsgrad
- hohe thermische Belastbarkeit
- ausgezeichnetes Tracking
- hoher Isolationswiderstand des Trägermaterials
- automatische Bestückung und Bonden möglich
- reduzierte Anzahl von Lötverbindungen
- Aktivabgleich möglich
- Multilayer in Additivtechnik
- Fertigungsflexibilität
- Bruchempfindlichkeit

## Einsatz von Hybridschaltungen

- Hochfrequenztechnik
- Kombination von Analog- und Digitaltechnik
- Automobilelektronik
- Medizintechnik
- Luft- und Raumfahrttechnik
- Gasmeßtechnik

Hybride kommen zum Einsatz wenn folgende Forderungen gestellt werden

- hohe Packungsdichte
- hohe Zuverlässigkeit
- gute Wärmeleitfähigkeit
- Verwendung ungehäuster Halbleiterbauelemente oder oberflächenmontierter Bauelemente (SMD)
- Abgleich passiver Komponenten und Funktionsabgleich
- einfach zu realisierende Mehrlagentechnik
- kurze Entwicklungszeiten und große Flexibilität

## Nackte Halbleiterschaltungen (Bared Chips)

Die 'Nackten Halbleiterschaltungen' werden nach dem Zertrennen der Wafer in Einzelkristalle keiner weiteren Bearbeitung unterzogen. Sie werden mit der metallisier-ten bzw. blanken Unterseite auf die Trägerschaltung gelötet, geklebt, oder gebondet. Mit Ausnahme der Al- oder Au-Anschlußpads ist die Oberseite mit einer Passi- vierungsschicht überzogen. Die Anschlußpads werden durch Drahtbondverbindungen mit den Leiterbahnen ver- bunden.

Vorteile gegenüber gekapselten Halbleitern :

- Platz- und Gewichtersparnis
- höhere Zuverlässigkeit durch weniger Verbingungen
- preisgünstige Herstellung

Anmerkung : Die Bondverbindungen haben nicht die gleiche Zuverlässigkeit wie in der Halbleiterserienfertigung

Nachteile :

- Empfindlichkeit gegenüber mechanischer Beanspruchung und Feuchtigkeit
- Handhabung und Kontaktierung erfordern Spezialver- fahren, sowie geschultes Personal
- elektrische Prüfung auf dem Wafer nur bedingt oder teilweise möglich
- folglich keine Vorselektion (Stromverstärkung, Reststrom, Offset etc.) möglich

## Zusammenfassung

Hybride Mikroschaltungen ermöglichen den Bau qualitativ hochwertiger Mikroelektronikkomponenten. Die Nutzung der vorteilhaften Eigenschaften der Materialien und der Technologie setzt ein hohes Maß an Know-How, sowie eine ständige Kontrolle der Prozeßschritte voraus. Unvermeidliche Prozeßschwankungen sind bereits beim Schaltungsentwurf zu berücksichtigen.

### 3. OBERFLÄCHENMONTAGE ELEKTISCHER BAUELEMENTE (SMT)

#### Surface Mounted Developes

SMDs werden im Gegensatz zu bedrahteten Bauelementen, deren Anschlußdrähte durch Bohrlöcher gesteckt werden, plan auf der Leiterplatte fixiert und anschließend gelötet.

Wesentliche Vorteile der SMD-Technik sind :

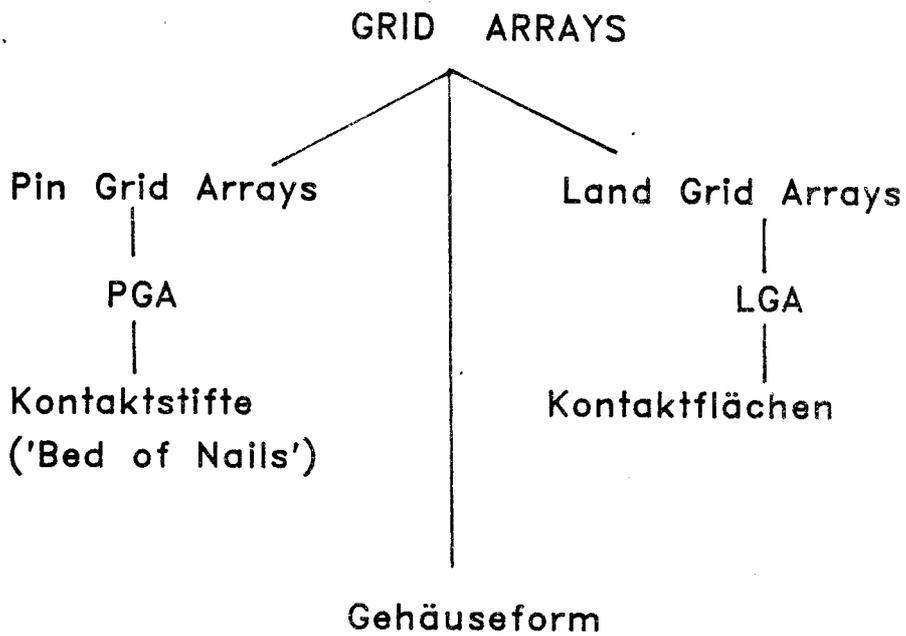
- kleinere Abmessungen
- höhere Packungs- und Funktionsdichte
- Verwendung kleinerer Leiterplatten möglich (Miniaturisierung des Systems)
- geringeres Gewicht
- höhere mechanische Beanspruchung durch kompakten, drahtlosen Aufbau
- SMD-Gehäusebauformen erlauben eine wesentlich höhere Anzahl von Anschlüssen z.B.
  - PLCC - Plastic Leaded Chip Carrier
  - Micropack TAB - Tab Automated Bonding
  - QFP - Quad Flat Pack
  - LCCC - Leadless Ceramic Chip Carrier
- Kosteneinsparung, da keine Bohrungen nötig (~10%)
- Reduzierter Platzbedarf bei Lagerhaltung
- schnelle, vollautomatische Bestückung, die bei der Einsteckmontage nicht erreicht werden kann (SMD-Automaten 30000 - 360000 SMD/h)
- hohe Bestückungssicherheit und Genauigkeit (Fehlerrate < 20 ppm)
- größere Leistungsfähigkeit

- parasitäre Kapazitäten und Induktivitäten durch Zuleitungen werden verringert. Vorteile für HF-Anwendungen.
- => schnellere Signallaufzeiten, kürzere Anstiegszeiten
- durch wesentlich kompaktere Bauweise ergibt sich eine höhere Zuverlässigkeit der einzelnen Bauelemente und des gesamten Systems

**Abkürzungen :**

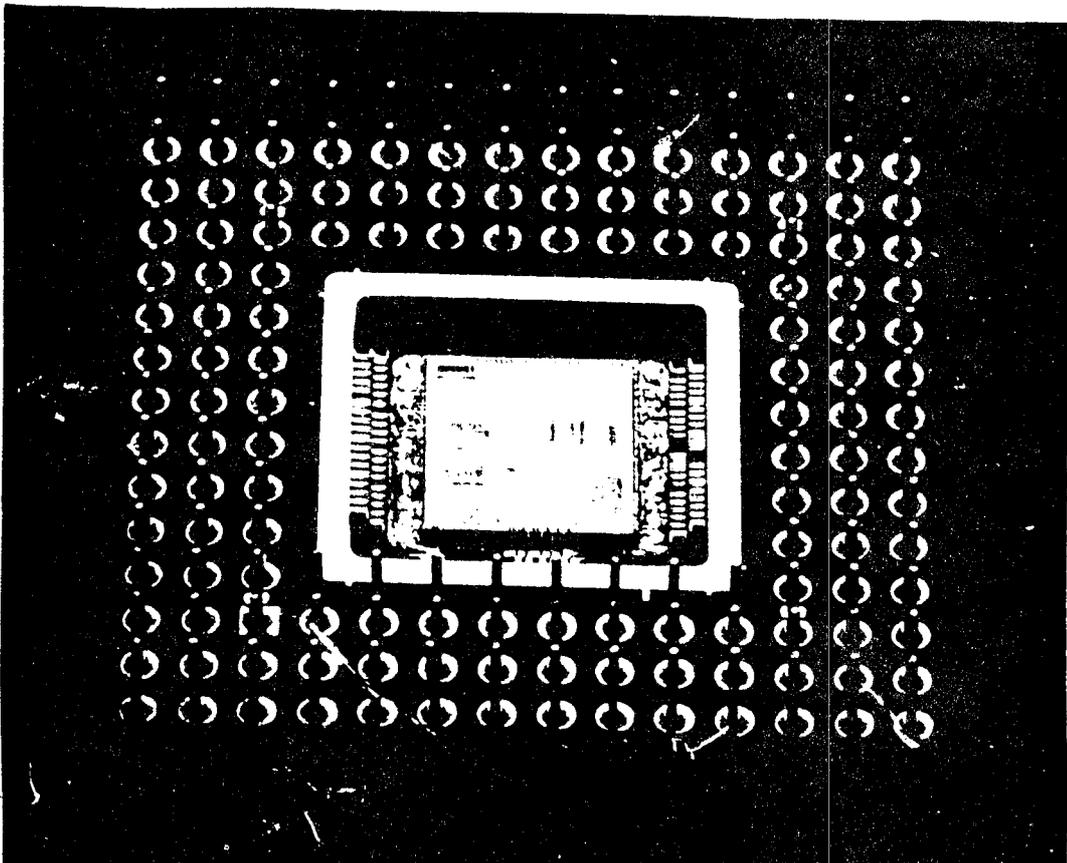
<b>SO</b>	<b>Small Outline</b>
<b>VSO</b>	<b>Very Small Outline</b>
<b>SIP</b>	<b>Single Inline Package</b>
<b>DIP</b>	<b>Dual Inline Package</b>
<b>QUIP</b>	<b>Quad Inline Package</b>
<b>CLCC</b>	<b>Ceramic Chip Carrier</b>
<b>PLCC</b>	<b>Plastic Leaded Chip Carrier</b>
<b>CCC</b>	<b>Ceramic Chip Carrier</b>
<b>LCCC</b>	<b>Leadless Ceramic Chip Carrier</b>
<b>TAB</b>	<b>Tape Automated Bonding</b>
<b>CC</b>	<b>Chip Carrier</b>
<b>PGAs</b>	<b>Pin Grid Arrays</b>
<b>LGAs</b>	<b>Land Grid Arrays</b>
<b>DFP</b>	<b>Dual-Flat-Pack</b>
<b>QFP</b>	<b>Quad-Flat-Pack</b>
<b>SOT</b>	<b>Small Outline Transistor</b>
<b>SOD</b>	<b>Small Outline Diode</b>
<b>SOIC</b>	<b>Small Outline IC</b>

## 4. GRID ARRAYS UND TAPE AUTOMATED BONDING



Beispiel für PGA : 32-Bit-Prozessor Intel 80386

Anzahl der Pins : 132

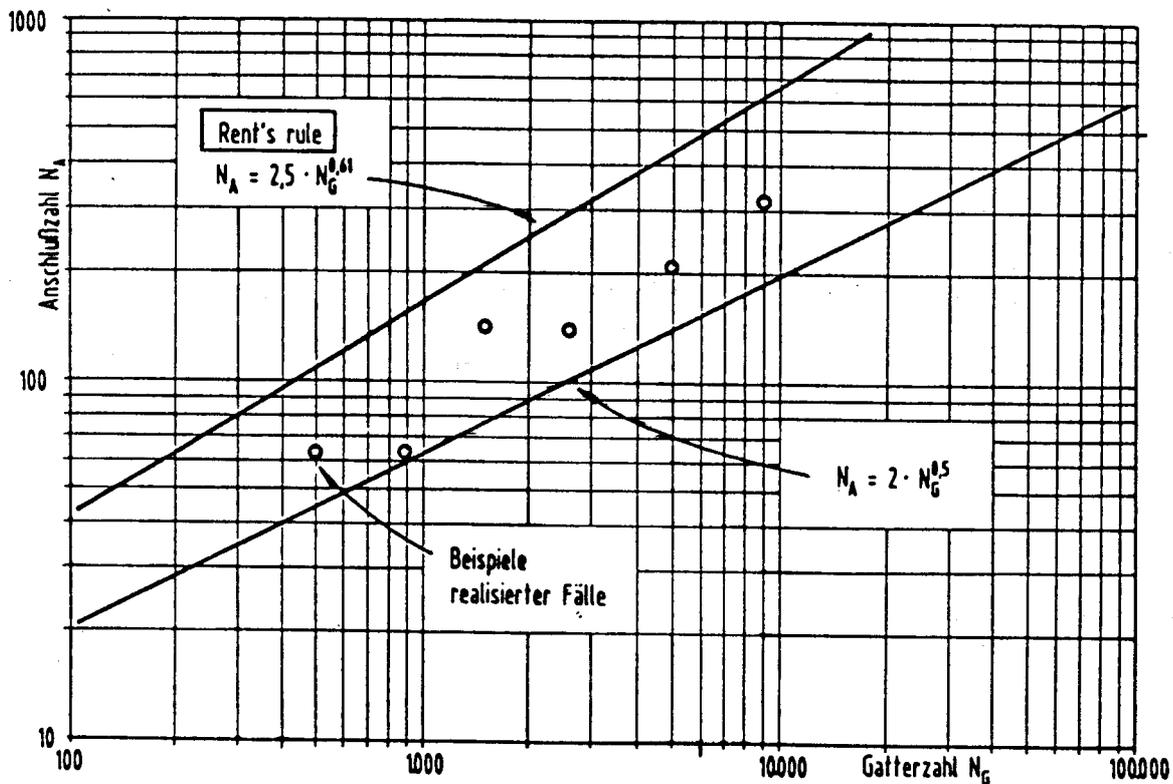


## Warum GRID ARRAYS ?

- Komplexität der Schaltungen steigt
- Zunahme der Chipfläche
- Rentsche Regel (Rent's Rule)

==> stetige Zunahme der Anschlußzahl

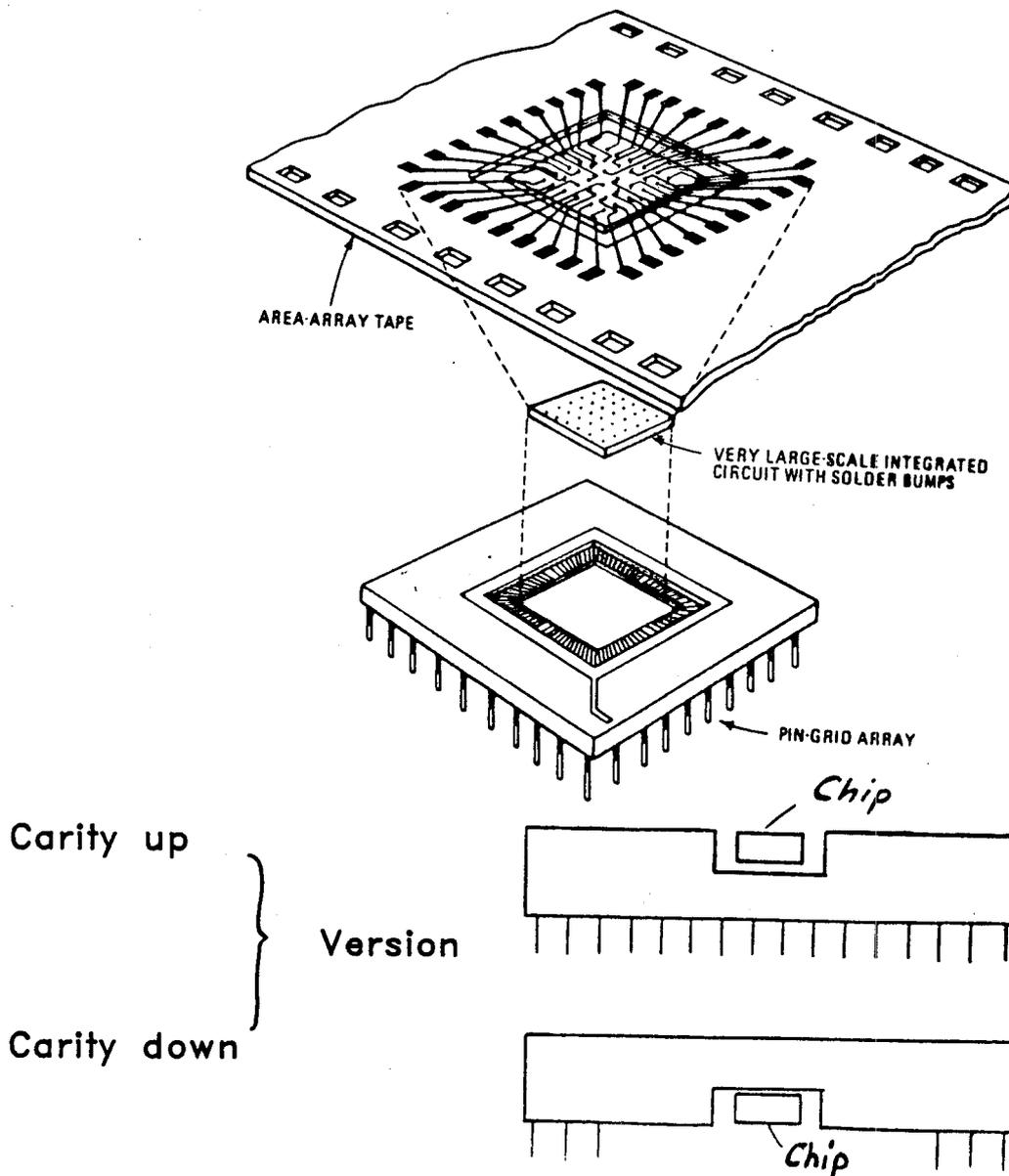
## Anschlußzahl in Abhängigkeit der Gatterzahl



## Aufbau von Grid Arrays

- Keramikplatte mit eingepressten Stiften
- Quadratische Aussparung für Chip
- Metallbahnen von Stiften zur Aussparung
- Verbindung zum IC → Drahtbonds
- bei hoher Pin-Zahl mehrlagige Verdrahtung
- Pin-Raster 2.54mm (100mil)

## Pin Grid-Gehäuse

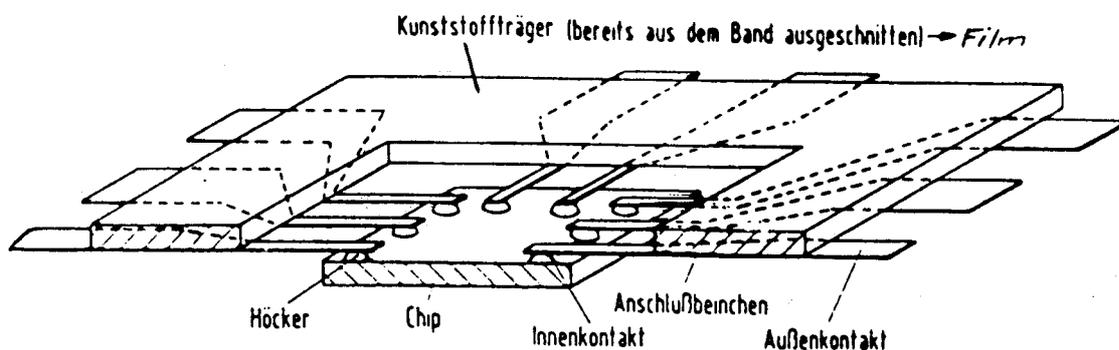


## Tape Automated Bonding (TAB)

(Filmkontaktierungsmethode)

- Kontaktierungstechnik, bei der in einem Vorgang alle Anschlüsse gebondet werden  
→ Simultankontaktierung ('gang bonding')
- Film als Träger für eine geätzte Kontaktspinne
- Innenanschlüsse der Spinne werden auf Chip gebondet
- Chips sind voll prüfbar
- Chips "vom laufenden Meter" möglich

### Prinzip der Spinnenkontaktierung (TAB)



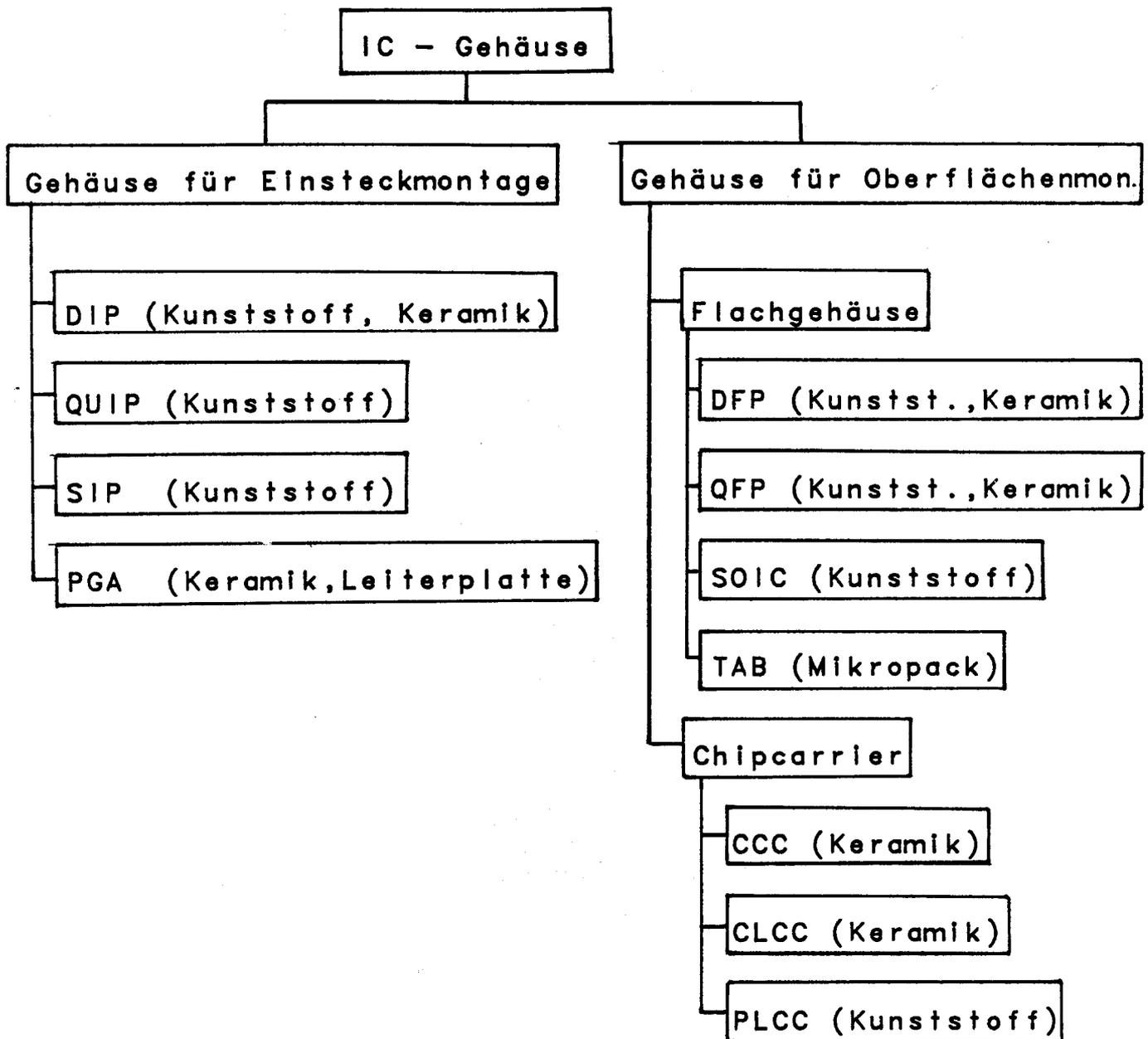
- Anwender kauft voll geprüfte Chips
- Einbau in vier vollautomatischen Schritten :
  - Ausstanzen des Chips mit den Anschlußfingern
  - Biegen der Anschlüsse
  - Aufkleben des Chips
  - Bonden der Außenanschlüsse

Weitere Möglichkeit :

Mikropack – Chip wird auf dem Band verkapselt

→ SMD-fähiges Gehäuse mit sehr kleinen Abmessungen

## Gliederung von Gehäusebauformen





## 5. ENCAPSULATION – VERPACKUNG INTEGRIERTER SCHALTUNGEN

5.1 Aufgaben und Anforderungen an  
Chip-Verpackungen

5.2 Die Verbindung Chip – Gehäuse

5.3 Gehäuse Arten

## 5.1 Aufgaben und Anforderungen an Chip Verpackungen

Mit zunehmendem Integrationsgrad auf dem Chip steigt die Zahl der elektrischen Anschlüsse. In guter Näherung gilt für unregelmäßige Strukturen

$$n_A \sim \sqrt{n_G}$$

$n_A$  : Anzahl der el. Anschlüsse  
 $n_G$  : Anzahl der Gatter auf dem Chip

Je mehr Gatter auf dem Chip sind, desto kleiner ist die Zahl der Anschlüsse pro Gatter

Häufigster Ausfallgrund bei ICs :

fehlerhafte Anschlüsse (z.B. durch Korrosion)

⇒> Bei steigendem Integrationsgrad verringert sich die Ausfallrate pro Gatter

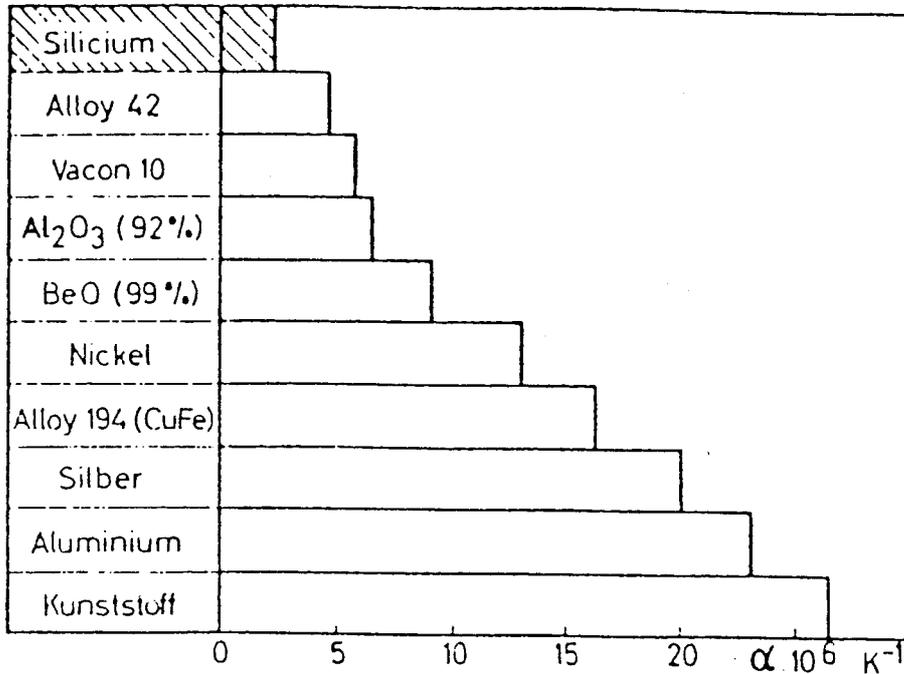
weitere Auswirkungen der Integration

- kleinere Abmessungen auf dem Chip führen zu
  - höheren Verarbeitungsgeschwindigkeiten
  - kleineren Signalpegeln
  - Störsignalproblemen
- größere Verlustleistung
  - höhere Ausfallrate
  - Probleme mit Wärmeabführung

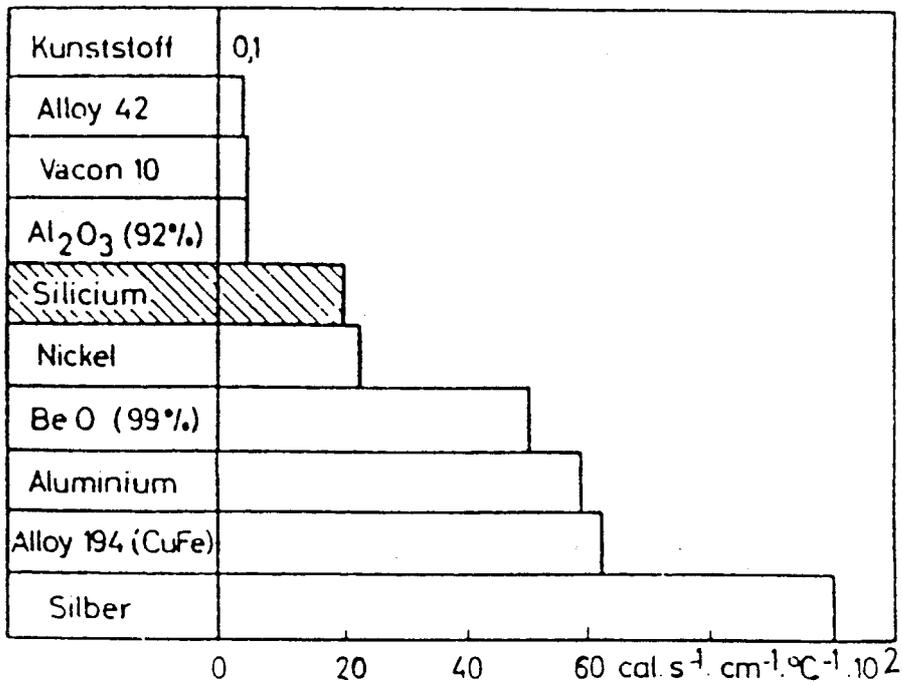
Die Verpackung macht bis zu 50% des Preises eines Chips aus, da die zur Verpackung erforderlichen Produktionsschritte zum großen Teil (noch) als Einzelschritte ausgeführt werden müssen.

## Thermischer Ausdehnungskoeffizient der für die Verpackung üblichen Materialien

Längenänderung  $\Delta l = \alpha \Delta v l_1$   $\Delta v$  : Temperaturdifferenz  
 $l_1$  : Anfangslänge



## Wärmeleitfähigkeit der wichtigsten Materialien



Die hohe Wärmeleitfähigkeit in Verbindung mit dem sehr niedrigen Ausdehnungskoeffizient von Silizium wird von keinem der üblichen Gehäusematerialien erreicht.

## 5.2 Die Verbindung Chip – Gehäuse

### 5.2.1 Allgemeines

Das Gehäuse stellt die Verbindung  
CHIP – LEITERPLATTE dar.

Aufgaben – mechanischer und chemischer Schutz  
– mechanische Befestigung  
– Wärmeabfuhr  
– Herstellung der el. Verbindungen

übliche Technik : Chip wird am Gehäuseboden befestigt  
Wärmeabfuhr über Gehäuseboden

Probleme : gute Wärmeleitfähigkeit ist gefordert  
mechanische Spannungen zwischen Chip und  
Gehäuse dürfen nicht zu groß werden  
=> Ausdehnungskoeffizient muß klein sein

Materialien für Gehäuseböden

$\text{Al}_2\text{O}_3$  – Keramik

BeO – Keramik      gute Eigenschaften, BeO-Staub ist  
jedoch gesundheitsschädlich =>  
Verarbeitung ist teuer u. gefährl.

Kovar (Plastikgehäuse)

## 5.2.2 Mechanischer und chemischer Schutz

kritisch sind besonders Leiterbahnen durch

- mechanische Beschädigung
- Korrosion

Schutztechniken :

- Passivierung der Chipoberfläche durch  $\text{SiO}_2$ - oder  $\text{Si}_3\text{N}_4$ -Schichten mit 1 bis 2  $\mu\text{m}$  Dicke oder Siliziumphosphat-Glas Schichten
- Verbindungsschicht aus Silikon
- Schutzschicht gegen mechanische Einwirkung aus Epoxid (Gehäuse oder Chip-Träger)

Problem : Die Anschlußpads auf dem Chip müssen vor dem Kontaktieren von der Schutzschicht befreit werden. Hier besteht nach Entfernung der Schutzschicht die Gefahr der Korrosion.

neuere Entwicklungen

Bessere Schutzschichten direkt auf dem Chip ermöglichen neue, preiswerte Packungstechniken, wie z.B.

- EPIC Chip Träger
- keramische Chip Träger

## 5.2.3 Mechanische Befestigung des Chips

### 1. LÖTEN

- Chip-Unterseite und Gehäuseboden werden bedampft
- gelötet wird mit AuSi-Eutektikum (Schmelzpunkt 390° C)

#### Vorteile :

- feste Verbindung
- gute Leitfähigkeit

#### Nachteile :

- mechanische Spannungen im Si-Chip bei Erwärmung
- falls  $\alpha_{\text{Gehäuse}} \neq \alpha_{\text{Si}}$  Funktionsstörungen oder Zerstörung des Chips möglich => bei Al<sub>2</sub>O<sub>3</sub>-Keramik Löten nur bei Chips mit kleiner Kantenlänge
- teuer

### 2. KLEBEN

Epoxidharzkleber mit Metallpulver als Füller

#### Vorteile :

- niedrige Kosten des Klebers
- Plastizität => kaum mech. Spannungen am Chip

#### Nachteile :

- geringe Haftfähigkeit, falls keine Silikonverbindungsschicht vorhanden
- geringe Wärmeleitung
- bei Verarbeitung in hermetischen Gehäusen können aggressive Substanzen entstehen (Korrosion !)

## 5.2.4 Elektrische Verbindung

### DRAHTBONDEN

#### 1. Bonddraht aus Gold

- Stärke ca. 20  $\mu\text{m}$
- Drahtende wird zu Kugel aufgeschmolzen, die bei 200° C auf das Al-Pad aufgequetscht wird ('Thermo-Kompressionsbonden')

#### Nachteile :

- falls Temp. > 370° C AuSi-Eutektikum bildet sich  
=> Unterbrechung der Verbindung mögl.
- falls Temp. > 200° C dauernd an Au-Al Grenzschicht  
=> Verbindung wird brüchig  
Bonddraht kann sich abheben
- serieller Prozess
- hohe Justiergenauigkeit erfordert

#### 2. Bonddraht aus Aluminium :

- Bonden mit Ultraschall
- Haftung < als bei Thermokompressionsbonden mit Au
- Verfahren ist teurer als Thermokompressionsbonden
- für Plastikverkapselung ist Ultraschallbonden nicht anwendbar (Haftung Plastik-Al sehr groß im Vergleich zur Haftung Al-Chip-Pad, außerdem Korrosionsgefahr)

## **FLIP-CHIP-TECHNIK**

### **Fertigungsablauf :**

- 1. Chip-Pads :** Halbkugeln aus niedrigschmelzendem Lot werden aufgebracht
- 2. Keramiksubstrat :** metallische Anschlüsse in Filmtechnik werden geometrisch den Anschlüssen auf dem Chip entsprechend aufgebracht
- 3. Zusammensetzen :** Chip wird so auf dem Substrat positioniert, daß Kontaktflächen sich berühren
- 4. Kurzes Aufschmelzen :** elektrische Verbindung entsteht  
Chip wird mechanisch fixiert

### **Vorteil :**

- preiswert

### **Nachteile :**

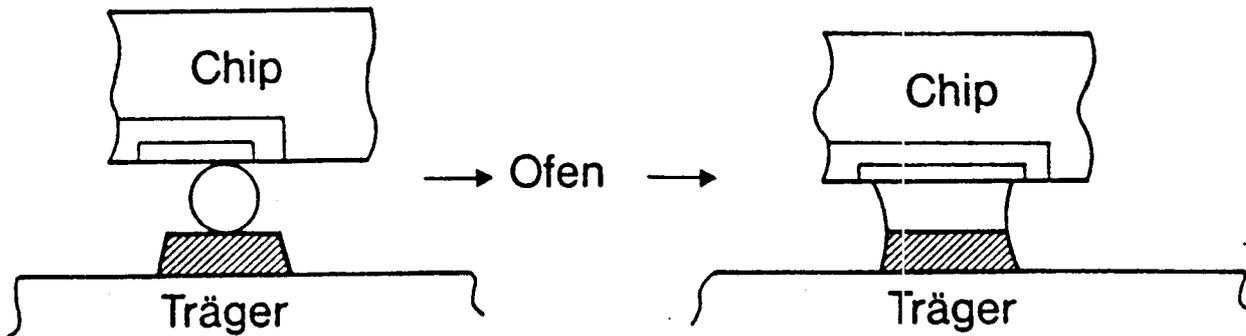
- schwierige Technologie
- hoher Wärmewiderstand Chip-Substrat  
(Wärme wird hauptsächlich über diese Verbindung abgeführt)
- mechanische Spannungen können zu Ermüdungsbrüchen führen

Beispiel für diese Technik ist die IBM C4 Technologie bei MCMs (Controlled Collapse Chip Connection, Multi Chip Module)

## 6. IBM – VERBINDUNGSTECHNIK CHIP-MODUL

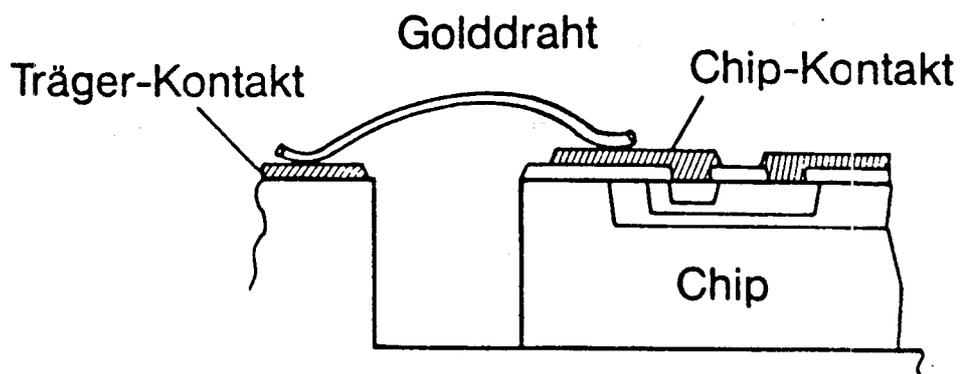
### IBM 'C4'–Verbindung

(C4 = Controlled Collapse Chip Connection)

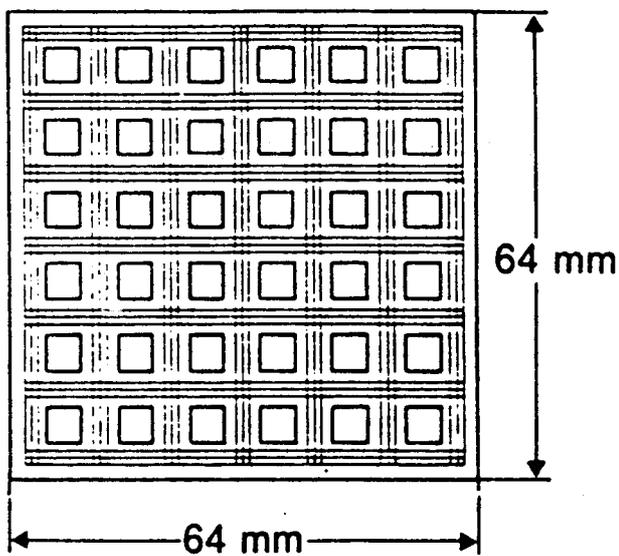


### 'Wire-Bonding'

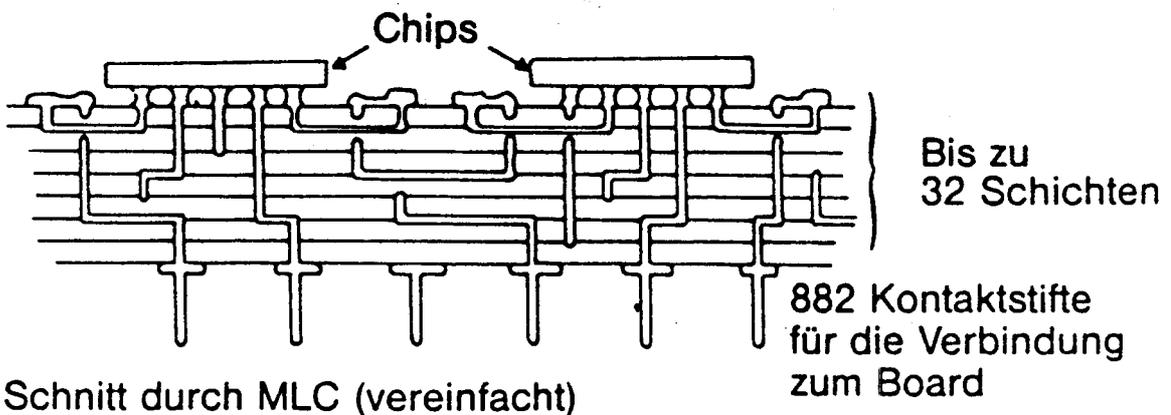
Übliche Chip-Träger-Verbindung der Halbleiterindustrie



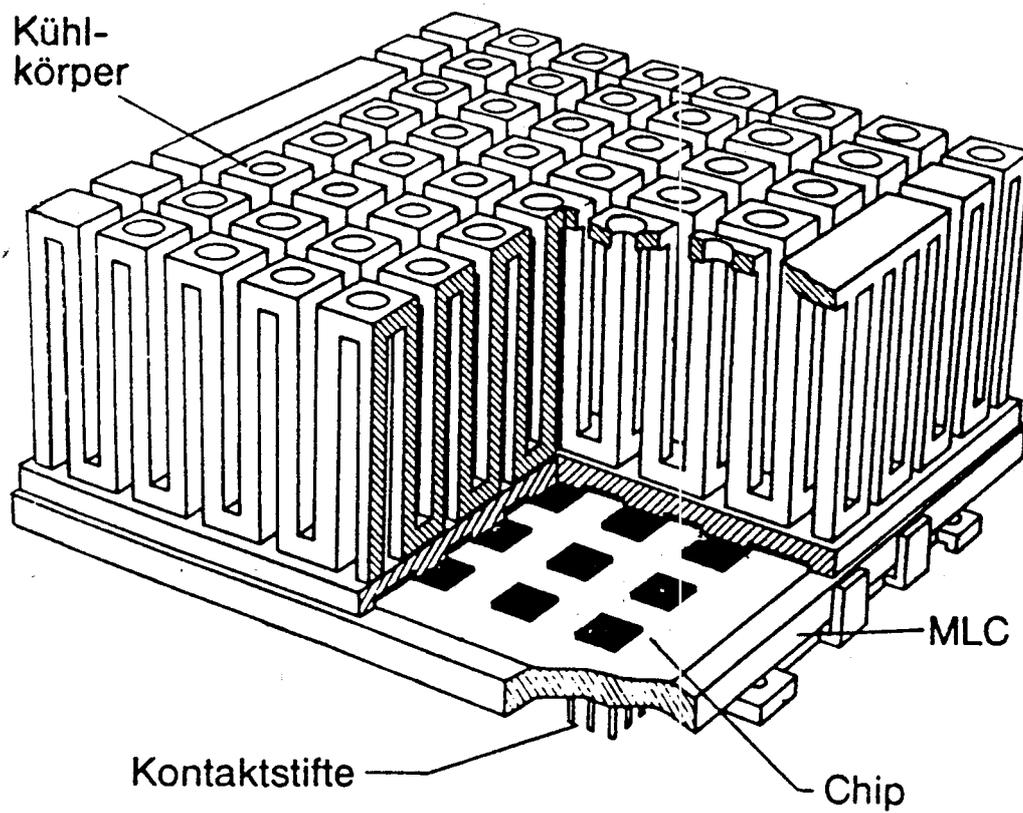
## Mehrschichtkeramik (MLC = Multi Layer Ceramic)



Bis zu 36 Chips  
auf einem Modul  
(Logik- und Array-Chips)

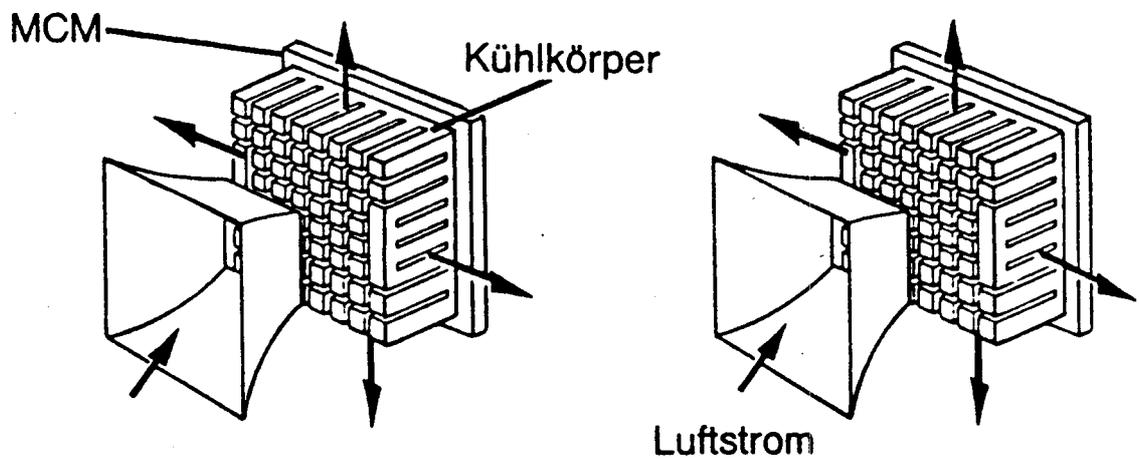


## Multi Chip Module (MCM)



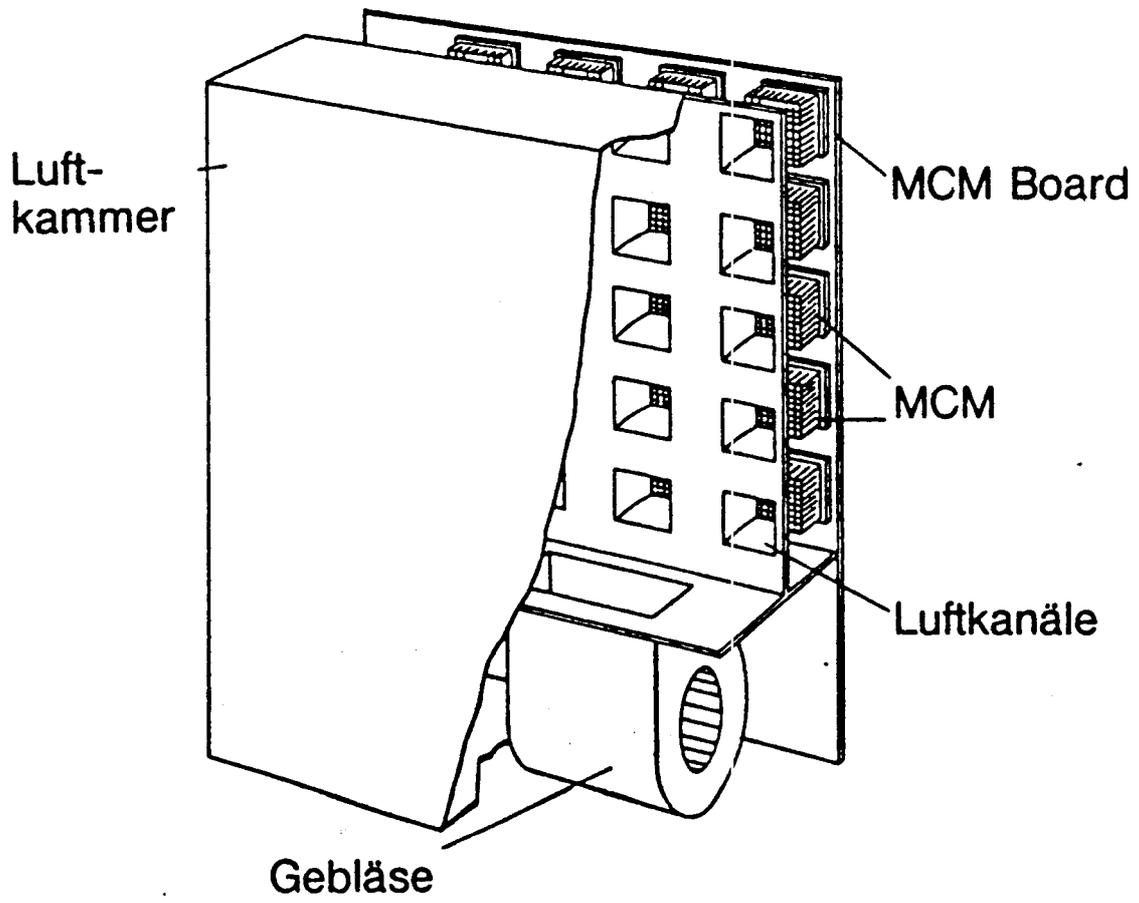
**Kompakter Prozessor-Baustein**

## Luftkühlung



- Kühlluft wird direkt auf jedes MCM geblasen
- Erwärmte Luft wird zwischen den MCM abgeführt

# Luftkühlung



## 7. MATHEMATISCH-PHYSIKALISCHE ASPEKTE DER VERBINDUNGSTECHNIK

Die Signalausbreitungsgeschwindigkeit  $v_s$  und die Signallaufzeit  $t_s$  lassen sich als Funktion der Lichtgeschwindigkeit  $c$  und der relativen Dielektrizitätskonstanten  $\epsilon_r$  des den Leiterzug umgebenden Isolators angeben.

$$v_s = c / \sqrt{\epsilon_r}$$

bzw.

$$t_s = \sqrt{\epsilon_r} \cdot l / c$$

$l$  : Abstand zweier aktiver Zellen

Beispiel : Auswahl eines Trägers für Chips in GaAs-Technologie mit  $t_s < 100\text{ps}$

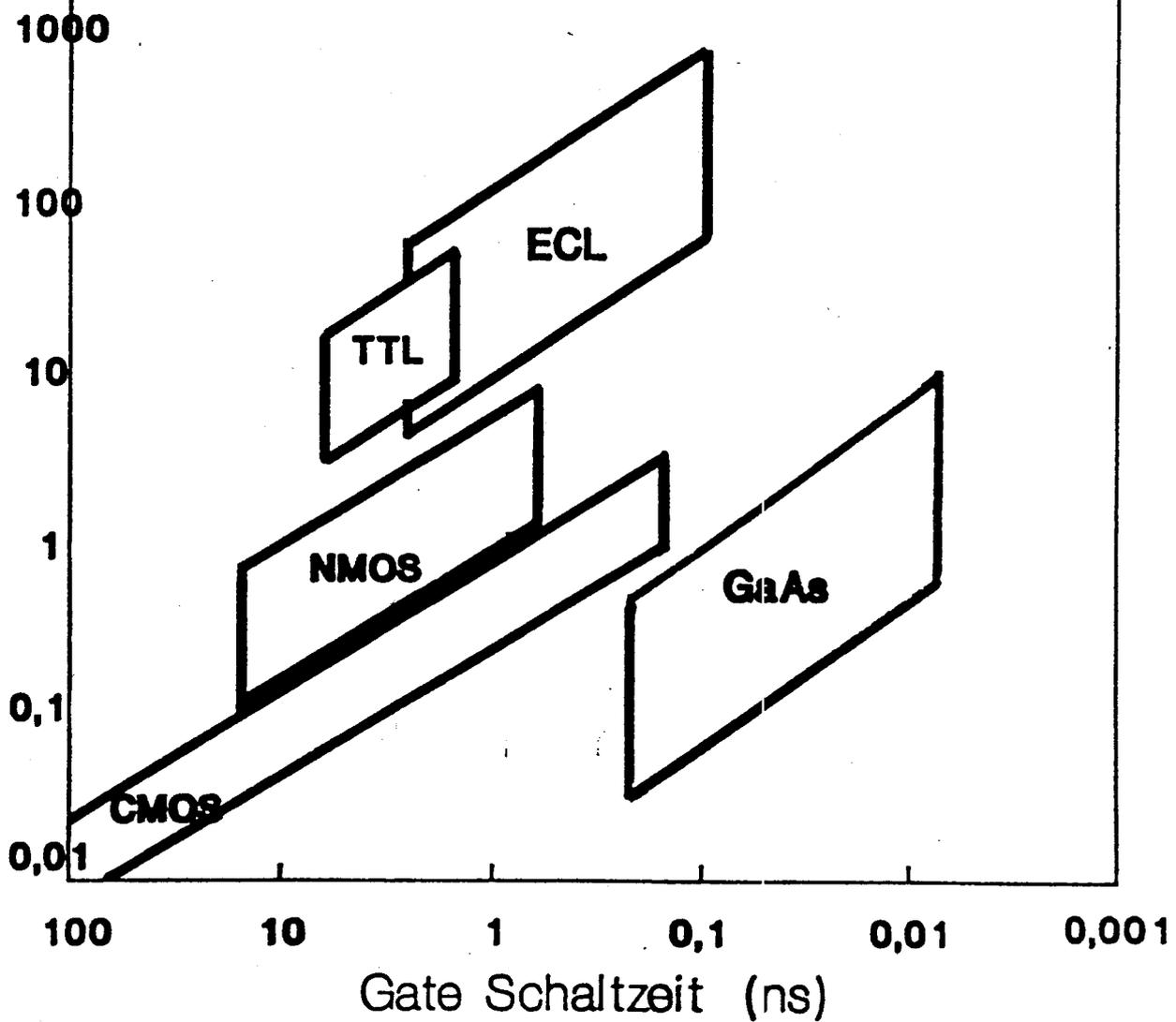
$$\Rightarrow \epsilon_r = ( t_s \cdot c / l )^2$$

Bei einer maximalen Verbindungslänge von 1.73 cm zwischen zwei aktiven Zellen ergibt sich hieraus

$$\epsilon_{r\text{max}} = 3$$

Verluste (mW/Gate)

# Halbleitertechnologie



## 8. AUSBLICK

Solange es nicht möglich ist ein komplettes System auf einem einzigen Chip unterzubringen, kann auf die Verbindungstechnik nicht verzichtet werden.

Wäre jedoch dieses "Super-Sytem" verfügbar, dann bliebe immer noch die Forderung nach einem Träger für

- die elektrische Verbindung zu den anderen Systemkomponenten
- die Ableitung der Verlustwärme
- den mechanischen Schutz des Chips
- den Schutz gegen chemische Einflüsse
- den Schutz gegen radioaktive Strahlen

Die Verbindungstechnik hat in der Mikroelektronik zunehmend an Bedeutung gewonnen. Sie ist unverzichtbar bei der

- Entwicklung schnellerer Halbleiterschaltungen
- Verbesserung der Leistungsfähigkeit von Rechnersystemen
- Erhöhung der Zuverlässigkeit von Systemen
- Verbesserung der Wartungsfreundlichkeit von Systemen
- Erhöhung des Qualitätsstandards von Systemen

## Entwicklungstendenzen der Träger- und Verbindungstechnik

- Mehrschichtbauelementträger mit verbesserten dielektrischen Materialien ( $\epsilon_{\sigma} < 5$ )
- vermehrter Einsatz von SMD und TAB
- höhere Packungsdichte, hohe Automatisierbarkeit der Montageprozesse und Steigerung der Produktivität der Schaltkarten
- 1 Mbit und 4 Mbit Speicher sind bereits auf dem Markt erhältlich
- das 16 Mbit Chip wurde 1988 in Japan angekündigt
- die Planungsphase des 16 Mbit Chips ist abgeschlossen
- aller Wahrscheinlichkeit nach wird bereits 1995 das 256 Mbit Chip produziert

Hier sind jedoch die Probleme der Kontaktierung und der Wärmeabfuhr noch nicht gelöst. Sie können nur durch interdisziplinäre Zusammenarbeit bewältigt werden. Dies ist eine große Herausforderung an den Fachbereich Mikroelektronik-Mikromechanik – an seine Professoren und Studenten.

## Literaturverzeichnis

- [1] Reichl, H.: Hybridintegration, Hüthig Verlag 86
- [2] Hacke, H.J.: Montage Integrierter Schaltungen, Springer Verlag 87
- [3] Müller, H.: Chip Carrier - Pin Grid Array - TAB - Anwendung
- [4] Verbindungstechnik '88 VDI Berichte 673
- [5] Tummala / Rymaszewski; Microelectronics Packaging Handbook Van Nostrand Reinhold 1989

ANALYSIS AND SIMULATION OF POWER

DIVIDERS AND COMBINERS USING

PSPICE

BY H. R. M G O M B E L O, M. Sc. (Eng), Ph. D.

Paper Presented at a Seminar at the Fachhochschule Ulm,

Federal Republic of Germany,

on 23rd June, 1989.

## 1. INTRODUCTION

Power dividers and combiners are a class of electrical circuits which are used in many radio frequency engineering applications<sup>[1]</sup>. Fig. 1 shows a general block diagram of a typical N-way power divider, which is an  $(N + 1)$  - port network.



FIG 1. N - WAY POWER DIVIDER

A signal at the input port of the divider is divided to the output ports in the required proportion and phase. Conversely, signals fed at the output ports of the divider are combined at the input port of the network. Here-after, we shall be talking only of power dividers but the fact that they can be used also as power combiners will be implied.

### 1.1 Classification of Power Dividers

By nature of their performance, power dividers can be classified into two categories:

- those which divide the input signal power to N output ports in a single step - N-way dividers and
- those which require several stages of division.

The latter category of dividers include the chain (or serial) (Fig. 2) and tree (or corporate) (Fig. 3) networks and rely on

two-way divisions.

Other types of classification are based on: the frequency range (H.F., V.H.F., U.H.F., etc. dividers); transmission media used (coaxial-cable, stripline, microstripline, slotline, etc. dividers); elements used (distributed or lumped - element dividers); etc.

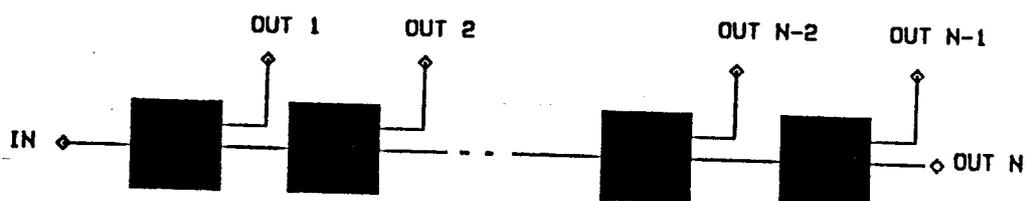


FIG. 2 SERIAL OR CHAIN COMBINING NETWORK

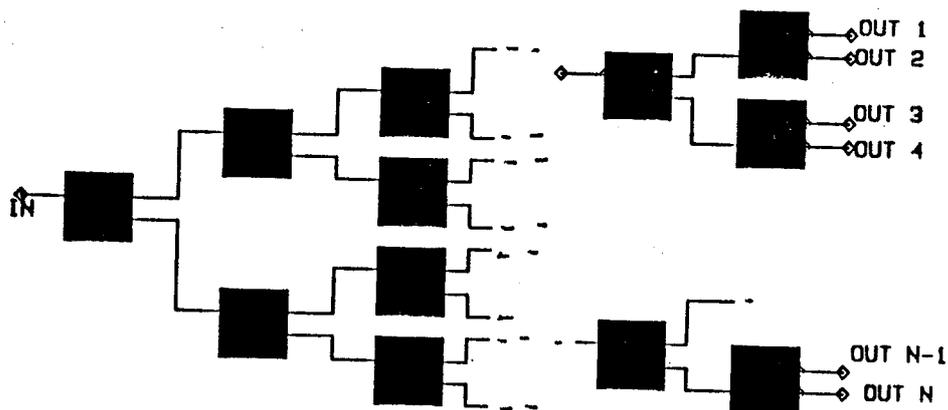


FIG 3 CORPORATE OR TREE COMBINING STRUCTURE

## 1.2 Uses of Power dividers

Power dividers are used to give equal power levels<sup>[2]</sup> in receiver distribution systems, linear amplifier blocks, etc. Sometimes, the networks are required to give outputs with unequal power levels such as in measurement applications, antenna arrays, Cable-TV outlets, etc. In the latter usage they are generally referred to as **directional couplers**. There are, also, applications

where the outputs are required to be of varying or different phases such as in phase shifters.

### 1.3 Performance Characteristics

Power dividers are required, among other things, to have the following critical performance characteristics in the desired frequency range:

- Optimum VSWR at all ports,
- Optimum insertion loss (from input to output ports) and isolation (among output ports) characteristics,
- Tolerable differences in phase and power level at the output ports, etc.

### 1.4 Methods of Analysis and Simulation

As  $(N+1)$ -port networks power dividers can be analysed using:

- a) Even and Odd<sup>[3]</sup> method of analyses in case there is symmetry,
- b) Cascade (transmission),  $Y$ , etc. matrices especially in cascade networks and
- c) Scattering parameters<sup>[4]</sup>.

It is evident that for some of the dividers, the analysis may become very much involved and at times cumbersome. Fortunately, there are several packages which are suitable for analysis and simulation of power dividers such as COMPACT, SUPERCOMPACT<sup>[5]</sup>, TOUCHSTONE<sup>[6]</sup>, etc. By nature of their uses

and time used in writing them, these packages are very expensive and consequently not within reach of all interested parties.

We note that, presently, the majority of electronic circuits, especially for lower than microwave usage, are analysed and simulated using the powerful software **SPICE**<sup>[7,8]</sup> (Simulation Programme with Integrated Circuit Emphasis).

However the usage of **SPICE** in analysing and simulating power dividers and combiners has so far not attracted much attention.

It is the objective of this presentation to explore the usage of **PSPICE**, which is a version of **SPICE** for personal computer usage, in the analysis and simulation of power combiners and dividers. This objective is motivated by the fact that Micro Sim Corporation, the company which sells **PSPICE**, makes an evaluation version available at no cost which is capable of analysing and simulating the majority of presently known power dividers and combiners.

## 2. **PSPICE FUNDAMENTALS**

This section is not supposed to give a detailed account of the **PSPICE** package, but rather to give the specific features which will be used in this presentation.

Since we shall be dealing mainly with transmission lines and resistors, hereby, let us write their **PSPICE** syntax:

### a) Transmission Line:

Format:      **Tname N1 N2 N3 N4 Z0=value +[TD=val2] or**  
                  **[F=freq[NL=nlen]]**

where the transmission line name must begin with a letter T. N1 and N2 are nodes at port 1. N3 and N4 are the nodes at port 2. Z0 is the value of the characteristic impedance. TD specifies the time to propagate from port 1 to port 2. F is the frequency and NL is the number of wavelengths at that frequency for a wave to propagate down the line. The default value for NL is 0.25. One is required to specify the TD values or the F values alone.

EXAMPLES:        T1 1 0 2 0 Z0=50 TD=25NS  
                   T5 10 0 23 0 Z0=75 F=100MEG NL=0.1

b) Resistor:

Format:        Rname N1 N2 value

whose parameters are self explanatory.

EXAMPLE:        R1 1 2 75

After simulating the circuits, we are interested in observing the following performance characteristics of the power dividers:

- a) **Insertion Loss** - Resulting from the insertion of the divider in a transmission system -  $VDB(N1,N2)$  in this case.
- b) **Voltage Standing Wave Ratio (VSWR)** - This is a measure of matching commonly found from the formular:

$$VSWR = \frac{1 + |\rho|}{1 - |\rho|} \quad \text{where } \rho = \frac{Z_{in} - Z_0}{Z_{in} + Z_0}$$

is the reflection coefficient.

- c) **Isolation** - A measure of decoupling at the output ports. In this case we observe  $VDB(N3,N4)$ .
- d) **Insertion Phase** - This is the phase of the output signal relative to the input signal -  $VP(N1,N2)$ .

For each of the power dividers considered we shall use Fig. 4 for investigations of power transfer from port 3 to 4 (for example) to find the input and output VSWR, insertion phase and loss (or isolation) characteristics.

In Fig. 4 a bridge has been introduced at the input to facilitate the computation of the reflection coefficient and hence the VSWR.

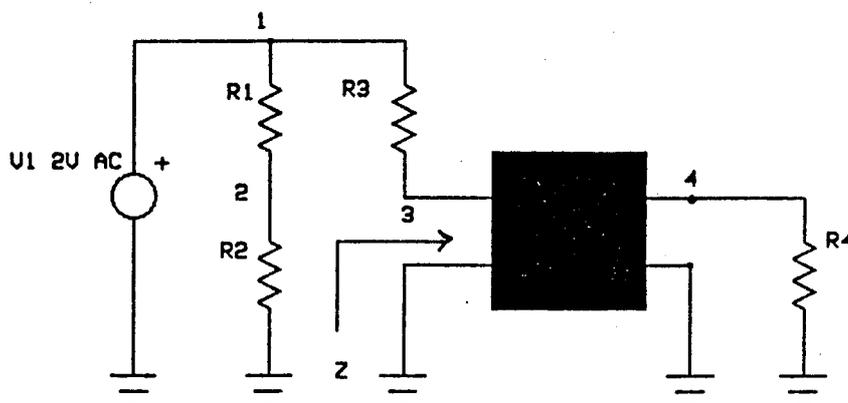


FIG. 4 CONNECTION OF POWER DIVIDER FOR COMPUTATION OF PERFORMANCE CHARACTERISTICS

It can be seen from Fig. 4 that:

$$V(3,2) + 1 = \frac{2}{Z + Z_0} \cdot Z, \quad \text{hence} \quad V(3,2) = \frac{Z - Z_0}{Z + Z_0} = \rho$$

This means that the voltage  $V(3,2)$  is equal in magnitude and phase to the reflection coefficient at the input port.

The input VSWR characteristic will, therefore, found from

the relation:

$$\text{INPUT VSWR} = (1 + \text{ABS}(V(3,2)))/(1 - \text{ABS}(V(3,2))).$$

The procedure for the analysis and simulation is as follows:

- 1) Draw the network
- 2) Number the nodes and components
- 3) Write the input ( or circuit) file
- 4) Run the Simulation
- 5) Observe the characteristics of interest

The above procedures can be repeated for each modification of the circuit (see Example 1. in the next Section).

In a recent development, INTUSOFT<sup>[9]</sup> have developed a package which allows for all the procedures above to be performed by the computer. The package consists of:

- **PRE\_SPICE** - which is used to prepare circuit analysis files for either **IS\_SPICE** or mainframe **SPICE**, using an extended syntax to call models and subcircuits from libraries, pass parameters to subcircuits, and to perform circuit optimisation, parameter sweeping, expression substitution, and Monte Carlo tolerance insertion. The circuit description is prepared using **IS\_ED.EXE** which has pop up help menus or **SPICE\_NET**.
- **INTU\_SCOPE** - whose main role is as a **SPICE** post processor, reads data from an ASCII file, views and manipulates on the **SCOPE** screen and plots on a plotter

or printer.

In the Example 2 of the next section the above mentioned package has been used.

### 3. ANALYSIS AND SIMULATION EXAMPLES

In this section we shall give examples of the analysis of some power dividers.

#### 3.1 Example 1 - Simulation Using PSPICE

We start with the most popular Wilkinson<sup>[10]</sup> (Fig. 5) which was introduced in 1960.

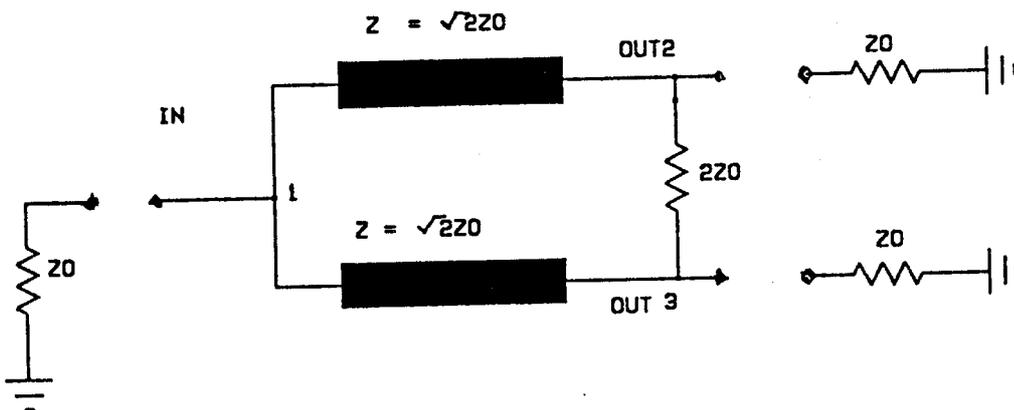
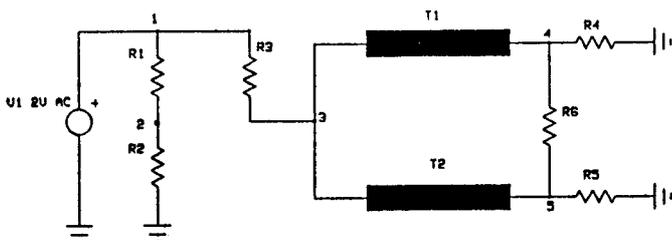


FIG. 5 TWO-WAY WILKINSON DIVIDER

Fig. 6 shows the diagram of a two-way Wilkinson divider with its nodes and components numbered together with the circuit file, drawn for the purpose of finding the input match and insertion loss characteristics.



```
TWO-WAY WILKINSON DIVIDER (TWD.CIR)
V1 1 0 AC 2V
R1 1 2 1.0
R2 2 0 1.0
R3 1 3 1.0
R4 4 0 1.0
R5 5 0 1.0
R6 4 5 2.0
T1 3 0 4 0 ZO=1.4142136 F=100MEG
T2 3 0 5 0 ZO=1.4142136 F=100MEG
.AC LIN 101 50MEG 150MEG
.PROBE
.END
```

FIG. 6 DIAGRAM AND CIRCUIT FILE FOR SIMULATION

After running the simulation using PSPICE the following performance characteristics were obtained:

- Input reflection coefficient - magnitude of  $V(3,2)$ ;  
(Fig. 7).
- Input VSWR -  $(1 + \text{ABS}(V(3,2)))/(1 - \text{ABS}(V(3,2)))$ ;  
(Fig. 8).
- Insertion loss - VDB(4) and VDB(5); (Fig. 9).
- Insertion phase - VP(4) and VP(5); (Fig. 10).

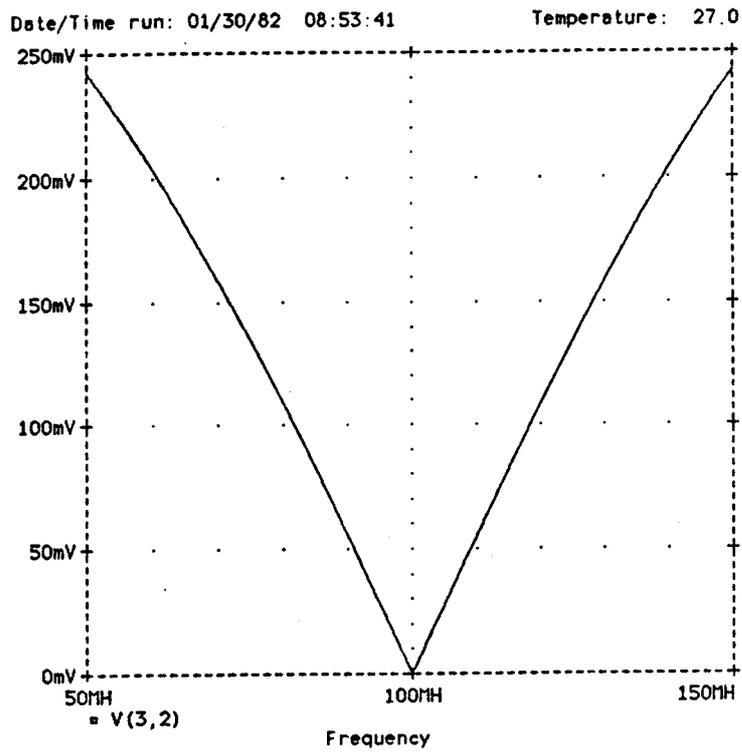


FIG. 7 INPUT REFLECTION COEFFICIENT CHARACTERISTICS

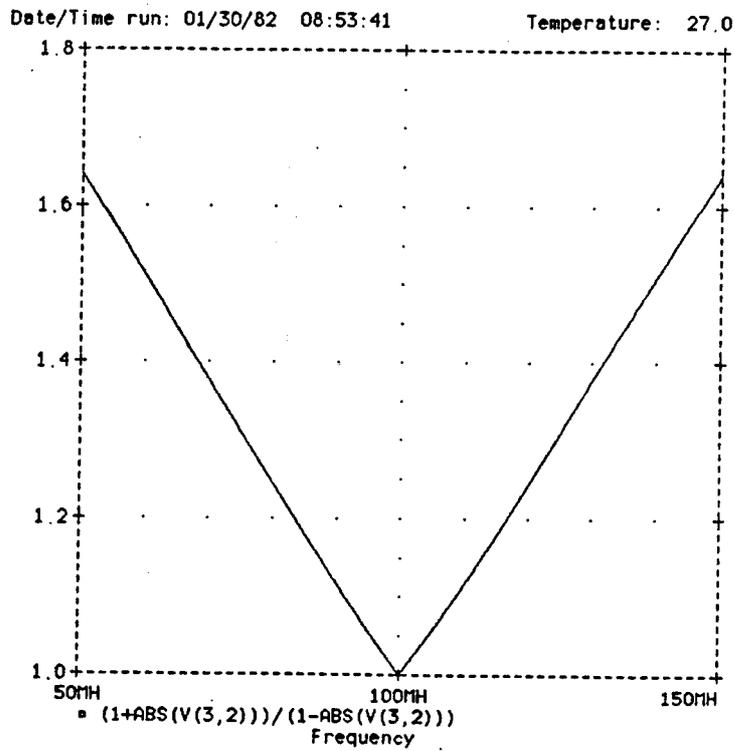


FIG. 8 INPUT VSWR CHARACTERISTICS

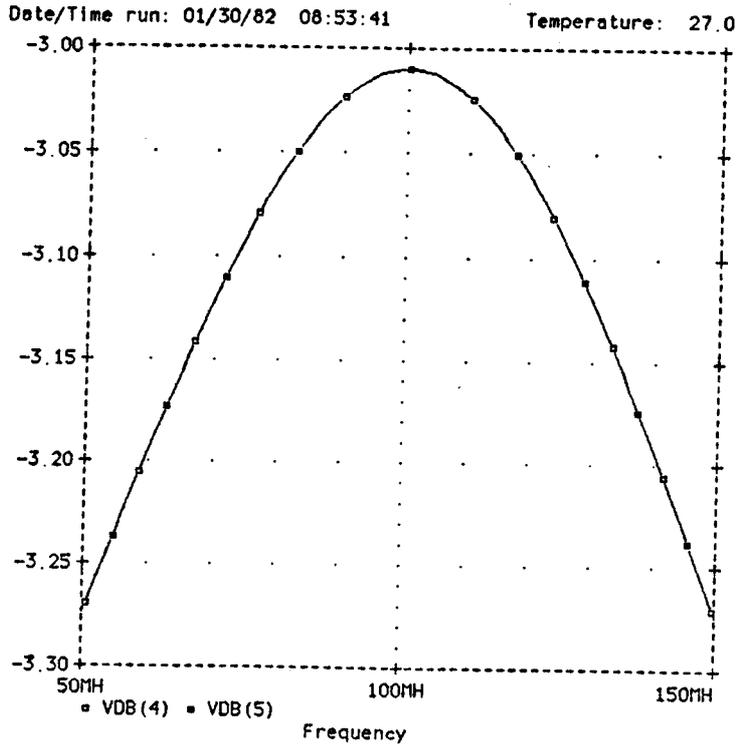


FIG. 9 INSERTION LOSS CHARACTERISTICS

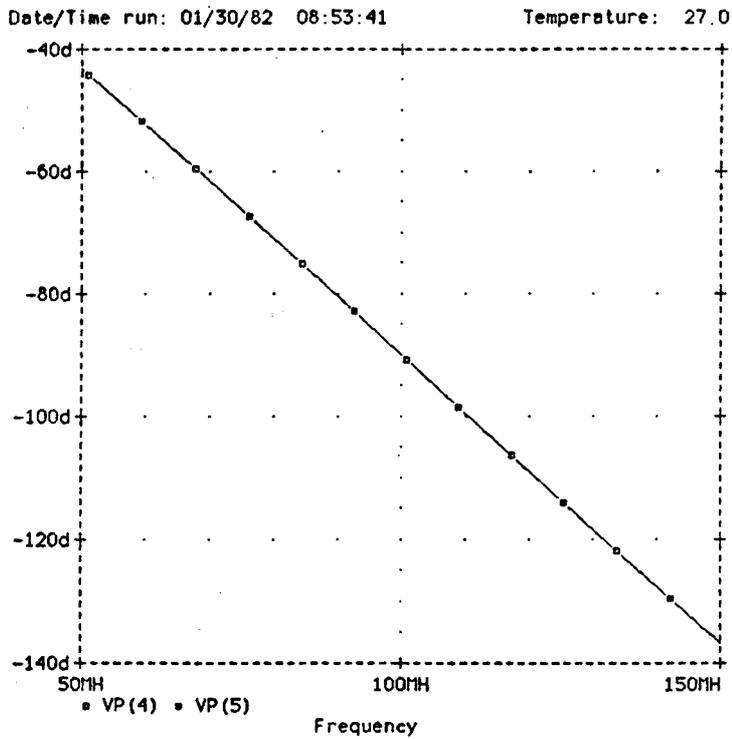


FIG. 10 INSERTION PHASE CHARACTERISTICS

### 3.2 Example 2 - Simulation Using PRE\_SPICE, SPICE\_NET and INTU\_SCOPE

Fig. 11 shows a modified Wilkinson divider drawn using the above mentioned package together with the circuit file. The procedure to do the above is well elaborated in reference 9.

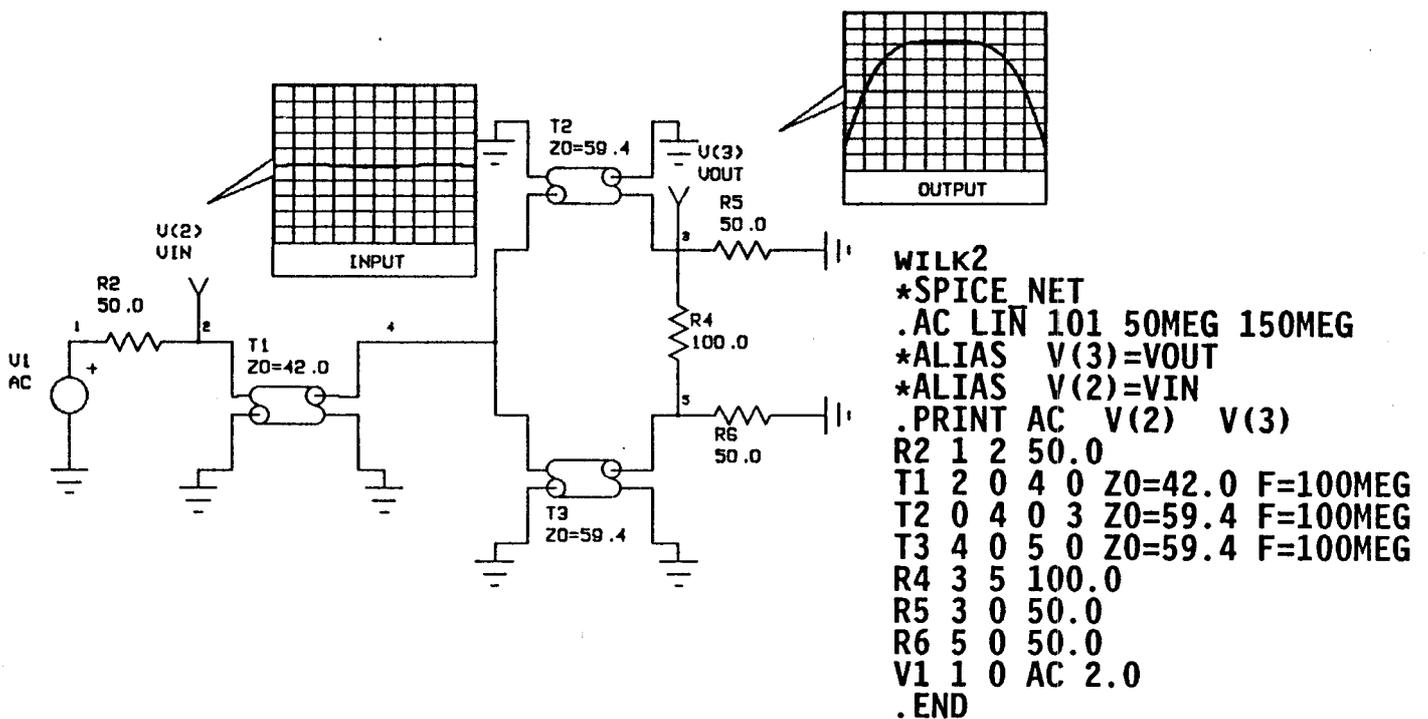


FIG. 11 SIMULATION OF MODIFIED WILKINSON DIVIDER

#### 4. ONGOING RESEARCH

The above mentioned procedures have been used to analyse a number of power dividers and combiners.

As a result of the above it has been possible to reveal the, hitherto, unknown performance characteristics of these circuits and also to design new power dividers and combiners.

Since January, this year when this work was started, two papers<sup>[11,12]</sup> have been accepted for publication and a number of them<sup>[13-17]</sup> submitted for publication.

Further research will be geared on optimising the performance characteristics of these dividers using the new added features of PRE\_SPICE.

#### 5. CONCLUSIONS

The usage of PSPICE to analyse and simulate power dividers and combiners has been the subject of this presentation. It has been shown that the performance characteristics of these dividers can be computed easily using the package. Several examples on this topic have been given and published papers on this subject have been reported.

It is noted that PSPICE offers a cheap alternative of analysis and simulation of power dividers and combiners to the more specialised and expensive packages such as SUPERCOMPACT and TOUCHSTONE.

## 6. ACKNOWLEDGEMENTS

The author would like to thank the Germany Academic Exchange Services (DAAD) for offering him a research fellowship to work on this topic, the Fachhochschule Furtwangen, through his colleague - Prof. Dr. -Ing. H. Nielinger for their hospitality and for allowing him to use their facilities and the University of Dar es Salaam, Tanzania for granting him study leave.

## REFERENCES

1. J. G. Gardiner and H. R. Mgombelo: 'Hybrid signal dividers for VHF and UHF receiver distribution systems', Proc. IERE Conf. on Radio Receivers & Associated Systems, No. 50, pp. 41 - 48, Leeds, 7 - 9th July, 1981.
2. R. G. Manton: 'Hybrid networks and their uses in radio frequency circuits', The Radio & Electronic J., vol. 54, No. 11/12, pp. 473 -489, Nov./Dec. 1984.
3. J. Reed and G. J. Wheeler: 'A method of analysis of symmetrical four port networks', IRE Trans. Microwave Theory & Tech., vol. MTT-4, pp. 246-252, Oct., 1956.
4. K. C. Gupta, R. Garg and R. Chadha, Computer Aided Design of Microwave Circuits, Artech Hse, Dedham (MA), 1981.
5. Super-Compact Users Manual, Version 1.6, Compact Software, Inc., Palo Alto, (CA), July, 1982 .

6. Touchstone 002 Users Manual, Version 1.4, EEsof, Inc., Westlake Village, (CA), Dec. 1985.
7. P. W. Tuinenga, SPICE A Guide to Circuit Simulation and Analysis Using PSPICE, Englewood Cliffs, NJ, Prentice-Hall, 1988.
8. E. E. E. Hofer and H. Nielinger, SPICE Analyse programm für elektronische Schaltungen, Springer Verlag, Berlin Heidelberg, 1985.
9. INTUSOFT, Personal Computer Circuit Design Tools, Manuals for PRE\_SPICE, IS\_SPICE, INTU\_SCOPE and SPICE\_NET, San Pedro (CA), 1986 - 1988.
10. E. J. Wilkinson: 'An N-way hybrid power divider', IERE Trans. Microwave Theory & Tech., vol. MTT-8, pp. 116 - 118, Jan. 1960.
11. H. R. Mgombelo: 'Computation of performance characteristics of a two-way impedance transforming Wilkinson divider', Accepted for publication, Int. J. of Computation & Maths in Electrical & Electronic Engineering, (COMPEL), Jan. 1989.
12. H. R. Mgombelo: 'Computer aided simulation and analysis of a two-way, 3dB, equiphase, planar divider', Accepted for publication, Int. J. of Simulation & Modelling, May, 1989.
13. H. R. Mgombelo & H. O. Ali: 'A new 3dB equiphase, impedance transforming planar power divider', Submitted to Int. J. COMPEL, March, 1989.

14. H. R. Mgombelo & H. O. Ali: 'A new two-way, 3dB, equiphase impedance transforming power divider suitable for high power applications', Submitted to Electronic Letters, March, 1989.
15. H. R. Mgombelo & H. O. Ali: 'Performance characteristics of a class of two-way, 3dB, planar power dividers', Submitted to The Radio & Electronic Eng., J., April, 1989.
16. H. R. Mgombelo & H. Nielinger: 'Novel impedance-transforming, equiphase, equal-power N-way Wilkinson dividers', Submitted to Int. J. COMPEL, June, 1989.
17. H. R. Mgombelo & H. Nielinger: 'Broadband N-way, equiphase, equal-power Wilkinson dividers', Submitted to Int. J. of Elect. Eng. Education, (IJEEE), June, 1989.



FACHHOCHSCHULE FURTWANGEN (SCHWARZWALD)

Thema: Portierung des KIC-Layouteditors auf die UIS-Grafik der VAX2000  
Workstation.

Vortragender: Jürgen Vogel

Fachrichtung: Elektrotechnik

Fachbereich: Ingenieur-Informatik

Studiengang: Mikroelektronik

Betreuer: Prof. Dipl.-Ing. K.H. Schmidt, M.S.E.

Meine Aufgabe ist es, das Maskenlayoutprogramm KICBox auf die VAX2000 Workstation mit Farbmonitor zu portieren.

Zur Verfügung standen mir eine VAX-Workstation mit Farbmonitor, VAX 'C', VAX Linker und VAX Debugger. Außerdem lagen mir die Source-listings einer KIC Version der FHT Mannheim und eine Object-library sowie Teile der Source der KIC Version der Universität Braunschweig vor. Die Mannheimer Version von KIC arbeitet mit GKS für VAX2000. Die Braunschweiger Version, die auch an der Fachhochschule Furtwangen verwendet wird, ist auf eine Reihe grafkfähiger Tektronix Terminals abgestimmt.

Da mir kein GKS für die VAX2000 zur Verfügung stand habe ich die Mannheimer Version nur als zusätzliche Informationsquelle benutzt. Als eigentliche Grundlage meiner Arbeit benutzte ich die Version der Universität Braunschweig.

Geändert wurde von mir bis jetzt nur das sogenannte Frame-Buffer File ( FB.C ) in dem alle primitiven Grafikausgabe- und Deviceeingabefunktionen enthalten sind.

Das Programm KIC ist in den Programmiersprachen 'C' und PL/1 geschrieben. Die UIS-Grafik kann von einer Vielzahl von Sprachen, wie 'C', FORTRAN, PASCAL usw. aus angesprochen werden. Da mir 'C' die zur Zeit am geläufigsten Hochsprache ist kodierte ich das Frame-Buffer File dann auch wieder in dieser Sprache.

Eine Anzahl der Routinen in diesem File konnte dadurch geändert werden, indem die jeweilige Tektronix-Command-Sequence einfach durch die entsprechende UIS-Funktion ersetzt wurde. Schwierigkeiten entstanden dann bei der Initialisierung der Workstation, da sich die Fensterverwaltung der UIS-Grafik doch sehr von der der Tektronix-Grafik unterscheidet. Auch die Abfrage des Pointer-device, im Fall der Workstation die Maus, war mit Problemen behaftet. Diese Probleme konnten jedoch bis zum jetzigen Zeitpunkt alle beseitigt werden.

Das Hauptproblem das mich bis zum heutigen Tage beschäftigt sind die Füllmuster.

Das Tektronix-Terminal 4115 ist in der Lage selbstdefinierte Füllmuster zu erzeugen. Dadurch ist der Benutzer in der Lage jedem Layer ein Füllmuster so zuzuordnen, daß dieser halbdurchsichtig erscheint und somit ein quasi-dreidimensionaler Effekt entsteht. Das räumliche Vorstellungsvermögen des Benutzers wird hierdurch stark entlastet.

Daher ist es wünschenswert diesen Effekt auch bei meiner Programmversion zu nutzen.

Die UIS-Grafik bietet nicht die Möglichkeit Füllmuster selbst zu definieren. Man ist hier nur in der Lage aus 59 vordefinierten Mustern jeweils Passende auszuwählen. Es befinden sich hierunter auch solche Muster ( vorwiegend Punktmuster in verschiedenen Dichten ), mit denen ein solcher halbdurchsichtiger Effekt auch erzielt werden kann. Das Problem besteht jetzt darin bestimmte dieser Füllmuster den Layern zuzuordnen. Die Information für das Füllmuster im File LAYERS.KIC kann hierzu nicht verwendet werden. Auch ist es nicht ratsam das Format des File LAYERS.KIC zu verändern, um z. B. zusätzliche Information über Füllmuster hineinzubringen, da sonst Inkompatibilitäten auftreten können.

Ich habe vor ein neues File mit z. B. dem Namen LAYERS.DEF zu entwerfen. In diesem File werden dann in ASCII-Form Informationen über die Layernummer und das ihr zugeordnete Füllmuster abgelegt. Außerdem können Kommentare eingestreut werden. Dieses File wird nach der Initialisierung der Workstation eingelesen und ausgewertet. Die Layernummer und das jeweilige Füllmuster werden dann in einem Integer-array abgelegt. Dadurch kann dann jedem Layer über seine Styleid, die als Index in dieses Array dient, ein Füllmuster zugeordnet werden. Ist das File LAYERS.DEF nicht vorhanden, so sollen nur die Füllmuster 'filled' und 'outlined' zur Verfügung stehen.

Ein Manko ist auch die Darstellung des Mauszeigers auf dem Bildschirm der Workstation. Bei den Tektronix Terminals 4115 wird ein ganzseitiger Fadenkreuz-Cursor dargestellt mit dem sich sehr schnell und exakt arbeiten läßt, insbesondere wenn man Bezug auf weit voneinander entfernte Bildschirmpunkte nehmen muß.

Der defaultmäßig dargestellte Pfeil der Workstation ist für die Arbeit mit KIC denkbar ungeeignet. Ich habe daher erst einmal diesen Pfeil zu einem Mini-Fadenkreuz mit einem Muster von 16 x 16 Bit umgewandelt. Einen größeren Cursor läßt die UIS-Grafik nicht zu. Mit diesem Cursor läßt es sich zwar nicht so schön arbeiten, aber damit muß man leben. Auch die Farbe dieses Cursors läßt sich programmtechnisch nicht beeinflussen. Um ein weißes Fadenkreuz zu erhalten muß man im Setup-Menü der Workstation die Pointer-Foreground-Color auf 'Schwarz' und die Pointer-Background-Color auf 'Weiss' setzen. Ein anderes Verfahren ist mir nicht bekannt.

Fachhochschule Ulm  
Fachbereich Nachrichtentechnik

**Aufbereitung einer Digitalschaltung  
mit LOG/IC-Gates  
für die Integration mit einem ASIC**

**STUDIENARBEIT**

**im Fach Schaltungsintegration-Labor  
Sommersemester 1989**

**Verfasser: Joachim Schmidt  
Betreuer : Prof. Arnold Führer**



## I N H A L T S A N G A B E

### 0.0 VORWORT

### 1.0 AUFGABENBESCHREIBUNG

#### 1.1 Schaltungsbeschreibung

#### 1.1 Aufgabenstellung der Laborarbeit

### 2.0 LOG/iC GATES COMPILER

#### 2.1 Erstellen der Gatterbibliothek

#### 2.2 Aufbereitung des vorhandenen PAL-Listings

#### 2.3 Phase 1

#### 2.4 Phase 2

#### 2.5 Gatterschaltbild

### 3.0 LAYOUTENTWURF

#### 3.1 Berechnung der Chipflaeche

#### 3.2 Entwurf (Top down)

#### 3.3 Zusaetzlich eingefuegte Gatter

#### 3.4 Ausblick auf Fortfuehrung der Laborarbeit

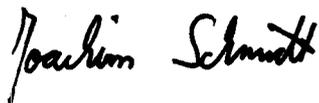
### Anhang:

Fuer LOG/iC Gates aufbereitetes Listing

O. O. VORWORT

Meine Laborarbeit bestand darin, die Daten einer fuer ein PAL entwickelten Schaltung aufzubereiten, so dass diese mit Standard Zellen integriert werden kann. Zusaetzlich habe ich fuer diese Schaltung das Layout entwickelt.

Ulm, Juni 89

A handwritten signature in black ink, reading "Joachim Schmidt". The signature is written in a cursive style with a large initial 'J'.

Joachim Schmidt

**1.0 AUFGABENBESCHREIBUNG**

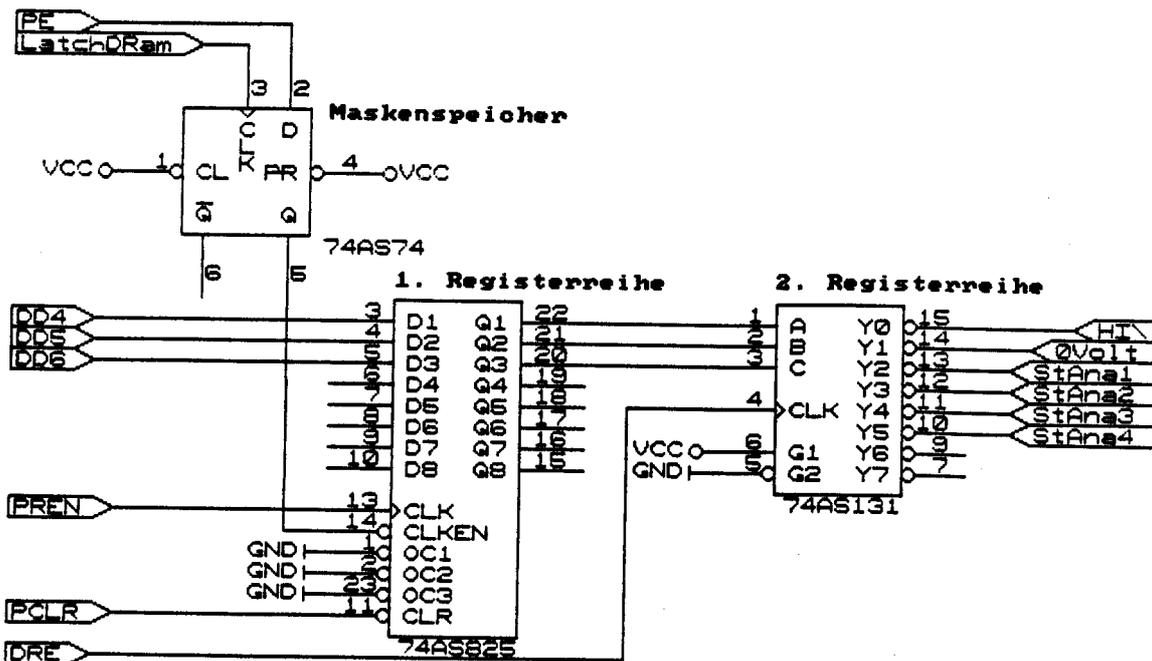
**1.1 Schaltungsbeschreibung**

Die Schaltung hat Herr Kaiser im Rahmen seiner Diplomarbeit im WS 88/89 entwickelt. Die Aufgabe dieser Schaltung ist es, durch Anwahl verschiedener CMOS-Analogschalter verschiedene Programmierspannungen an die Programmsockel eines im Labor entwickelten PLD-Programmiergerätes zu legen.

Die Schaltung besteht im wesentlichen aus zwei Registerreihen, die die Signale speichern. Diese Pufferung der Signale erlaubt es unterschiedliche Spannungen an 96 Pins gleichzeitig anzulegen. Die Referenzspannung wird durch einen 3-Bit-Code wie folgt dargestellt:

DD6	DD5	DD4	:	Spannungen
0	0	0	:	HI-Impedanz (Endstufe abgeschaltet)
0	0	1	:	0 Volt
0	1	0	:	DAU1
0	1	1	:	DAU2
1	0	0	:	DAU3
1	0	1	:	DAU4

Der Aufbau dieser Schaltung mit konventionellen Bausteinen wuerde in etwa wie folgt aussehen:



Ungefähre logische Funktion des PAL22V10 in konventioneller Technik

Die Schaltung existiert 96-mal, also fuer jeden Pin einmal.

Die Idee ist folgende:

Man legt den ersten Programmierspannungscodes an die erste Registerreihe an. Dann laedt man die 96 Bitbreite Maske, welche bestimmt, an welche Pins diese erste Spannung angelegt werden soll. Dann laedt man den zweiten Programmierspannungscodes usw. ... bis alle noetigen Spannungscodes fuer alle zu programmierenden Pins in den 1. Registerteil geladen sind. Mit dem Signal DRE werden saemtliche 6 Spannungscodes parallel in die 2. Registerreihe geladen und die entsprechen Spannungen liegen an den Pins an.

In Anbetracht der Tatsache, dass der Maximalausbau 96 Pins be-  
traegt und auf einer Doppel-Europakarte 16 Pintreiber unter-  
gebracht werden sollten, wurde die erste und zweite Register-  
reihe sowie die Zwischenspeicherung einer Maske auf dem PAL22V10  
realisiert. Der gesamte Ausbau verlangt also 6 Pintreiberkarten.

### 1.1 Aufgabenstellung der Laborarbeit

Meine Aufgabe war es die vorhandenen Daten aufzubereiten, so dass diese Schaltung mit Standard-Zellen integriert werden kann. Zusätzlich zu dieser Aufgabe habe ich das Layout in Ansätzen entwickelt. Leider wird mir die gegebene Zeit nicht mehr ausreichen um die Laborarbeit fertig zu führen.

Die in der Diplomarbeit gemachten Verbesserungsvorschläge wurden aufgenommen.

Hauptaufgabe war es die Schaltung in eine Struktur umzuwandeln die ausschliesslich Gatter der Form NAND, NOR, INV, BUFFER und D-FF gebraucht, da invertierende Gatter günstiger realisierbar sind als nicht invertierende. Zusätzlich muss die Schaltung hinsichtlich:

- Signalverzögerungszeiten
- Lastfaktoren
- Kosten
- Stufigkeit

optimiert werden.

Als Hilfsmittel diente mir das Entwicklungspaket Gates von LOG/ic.

## 2.0 LOG/iC GATES COMPILER

Der LOG/iC Gates Compiler dient zur Synthese von kombinatorischer bzw. sequentieller Logik in Form von mehrstufigen Gatter-Netzwerken, die z.B. in Gate Arrays oder LCA's realisiert werden koennen. Ergebnis ist die Beschreibung der synthetisierten Schaltung als Netzliste in einem LOG/iC internen Format.

LOG/iC Gates greift fuer die Entwicklung auf eine interne Gatterbibliothek zurueck, die die verfuegbaren Gatter und ihre technischen Eigenschaften, wie Laufzeiten und FAN-Out enthaelt. Ein Bibliotheksprogramm erlaubt dem Anwender, diese Bibliotheken zu generieren und zu modifizieren.

Die Synthese der mehrstufigen Logik wird in zwei Phasen durchgefuehrt:

### Phase 1:

In einer ersten Programmphase wird eine optimierte zweistufige AND/OR Schaltung synthetisiert. Das als Ergebnis dieser Phase vorhandene, zweistufige Schaltnetz bildet den Ausgangspunkt zur weiteren Bearbeitung in Phase 2.

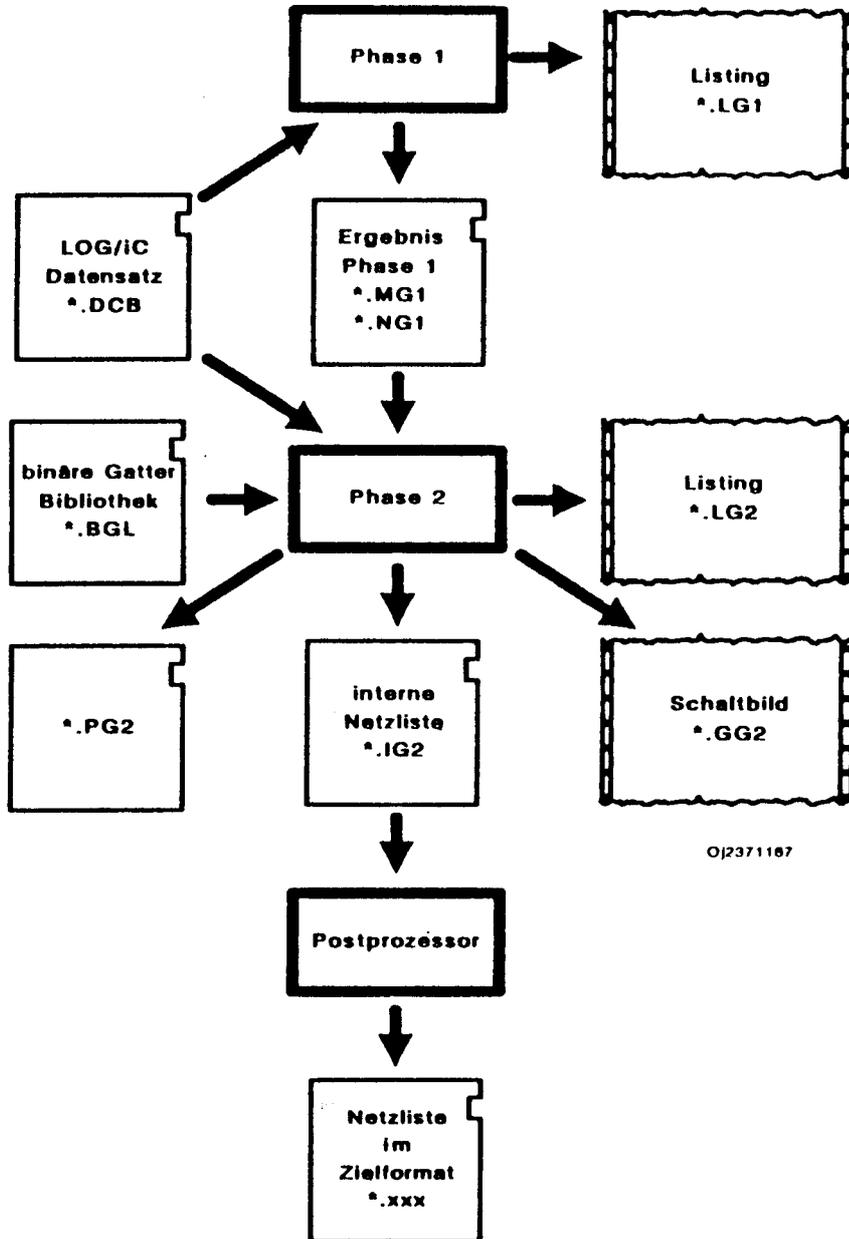
### Phase2:

Aus der zweistufigen AND/OR Schaltung wird mit Hilfe der nachfolgend beschriebenen Schritte eine mehrstufige Schaltung erzeugt:

- Expansion der zweistufigen Schaltung zu einer mehrstufigen Schaltung.
- Nachbildung grosser Gatter mit kleinen Gattern
- Transformation der AND/OR Schaltung in eine NAND/NOR Schaltung
- Entfernung ueberfluessiger Gatter
- Ueberpruefung der Ausgangsbelastung der Gatter und ggf. Korrektur durch geeignete Massnahmen.
- Ermittlung der Verzoegerungszeiten aller Signalpfade der Schaltung und des kritischen Pfades
- Erzeugung der Dokumentation und der Netzliste
- ggf. mehrfache Wiederholung dieser Schritte zur Auffindung eines Laufzeitoptimums.

Die Ergebnisse aller Entwicklungsschritte werden im Ergebnisprotokoll dokumentiert. Welche Ausgaben in das Ergebnisprotokoll aufgenommen werden ist beeinflussbar. Zusaetzlich ist es moeglich, auf einer getrennten Datei ein Schaltbild der erzeugten Schaltung in Gatterform zu erhalten.

Ein Compilerlauf mit den noetigen Eingabedateien und den erzeugten Ausgabedateien sieht wie folgt aus:



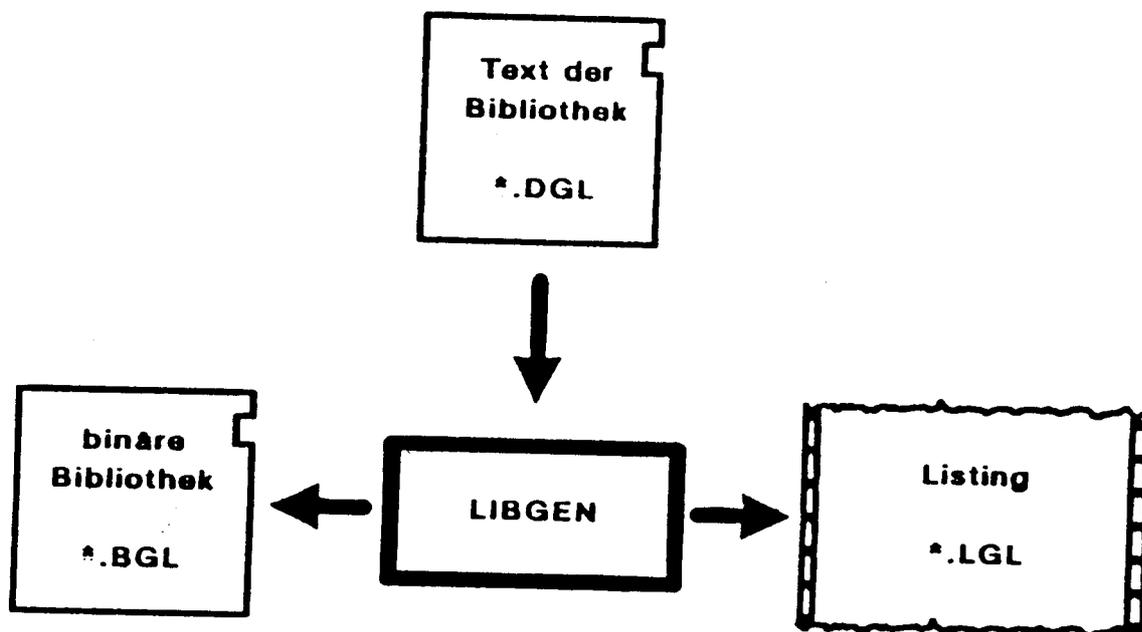
Fuer meine Aufgabe war es ausreichend nur die Phasen 1 und 2 zu starten, da fuer die MENTOR-Workstations die Postprozessor-Phase noch nicht moeglich ist. Das entsprechende Programm ist im Labor noch nicht verfuegbar.

## 2.1 Erstellen der Gatterbibliothek

Zur Durchfuehrung der Optimierung greift die Phase 2 auf eine binaere Gatterbibliothek zurueck. Diese Gatterbibliothek enthaelt Angaben ueber die zur Verfuegung stehenden Bauelemente. Diese Eigenschaften werden vom Compiler aus einer binaeren Gatterbibliothek entnommen.

Die binaere, also nichtdirekt lesbare Gatterbibliothek wird mit Hilfe eines Tools zur Bibliothekserzeugung (LIBGEN) erzeugt. Zu diesem Zweck erstellt der Anwender eine lesbare Quelldatei, die die notwendigen Angaben enthaelt.

Den Vorgang der Bibliothekserstellung und die dazu erforderlichen Dateien verdeutlicht das folgende Bild:



Die Daten der zur Verfuegung stehenden Bauelemente habe ich dem Band 'Standardzellenbibliothek der Fh Furtwangen' entnommen.

Die Eingabe zur Erzeugung der Gatterbibliothek ist wie ein normaler LOG/iC Datensatz in Bereiche eingeteilt, die durch Schlüsselworte eingeleitet werden:

\*GATES  
\*FLIPFLOP  
\*END

Im Datenbereich \*GATES sind die gesamten Daten fuer jeweils ein Gatter abzulegen.

**TYPE**

type = Gattertyp z.B. NAND

**NAME**

name = Gattername z.B. SZNAND3

**INPUTS**

inputs = Anzahl der Eingaenge z.B. 3

**COST**

cost = Gatterkosten z.B. 4

Die Gatterkosten sind relativ bezogen auf ein Grundelement. Als Gatterkosten sollten normalerweise ein Masszahl fuer den Flaechenbedarf des Gatters angegeben werden. Typisch ist die Masszahl 1 fuer ein 2-Input NAND. Die anderen Gatterkosten ergeben sich dann Flaechenrelativ zu dem 2-Input NAND. Wir haben als Gatterkosten die Flaechenbreite der Standardzellen der Fh Furtwangen genommen, da alle Zellen zwar dieselbe Hoehe aber unterschiedliche Breiten haben.

**Bsp:**

SZNAND2: Breite = 30 um ==> COST = 3  
 SZNAND8: Breite = 100 um ==> COST = 10

**SIGNALS**

signals: signaltyp = Wert I = 1, Q = 4

Auf diese Weise wird angegeben, welche Signaltypen, d.h. Eingaenge bzw. Ausgaenge an jedem Gatter vorhanden sind und wie stark sie ein vorangegangenes Gatter belasten bzw. wieviele Gatterlasten sie treiben koennen.

**TPLH, TPLH**

TPLH:  $10 + L * 3$ ;

TPHL:  $11 + L * 4$ ;

Zu jedem Gatter muessen die entsprechenden Verzoegerungszeiten fuer jedes Fanout von 1 bis zum Maximalfanout vorgegeben werden. Dies geschieht getrennt fuer die HL, bzw. LH Flanke des Ausgangs. Dabei koennen wahlweise die einzelnen Werte fuer jedes Fanout getrennt oder als Bereich vorgegeben werden, oder als Formel in Form einer Geradengleichung vorgegeben werden.

Damit sind alle fuer ein normales Gatter erforderlichen Angaben beschrieben.

**Bsp:**

; NAND3 Gate

TYPE = NAND;

NAME = SZNAND3;

INPUTS = 3;

COST = 4;

SIGNALS: I = 1, Q = 4;

TPLH:  $10 + L * 3$ ;

TPHL:  $12 + L * 6$ ;

Im Datenbereich \*FLIPFLOP sind alle Daten fuer jeweils ein Flipflop abzulegen. Das Flipflop wird nur durch drei Daten beschrieben:

TYPE  
NAME  
SIGNALS

Da ich diese drei Daten schon oben beschrieben habe moechte ich hier darauf verzichten.

**Bsp:**

```
; D-FLIPFLOP
*FLIPFLOP
TYPE = D-FLIPFLOP
NAME = SZDFNR;
SIGNALS: D = 1, CLK = 1, /R = 2, Q = 3, /Q = 3;
```

\*END bezeichnet das Ende der Bibliothek.

Wenn diese Gatterbibliothek erstellt ist, wird sie mit LIBGEN in eine binaere Gatterbibliothek umgewandelt.

An dieser Stelle moechte ich auf Unstimmigkeiten verweisen, die zwar erst zur Laufzeit der Phase 1 auftraten, die ihre Ursache schon im Aufstellen der Gatterbibliothek haben. Zur Berechnung der Kostenfaktoren fuer eine zweistufige Loesung werden von LOG/iC Gates fiktive Gatter aufgenommen z.B. AND100. Dabei entstanden Kostenfaktoren, die den von Gates gesetzten Maximalwert ueberschritten hatten, was einen Abbruch der Phase 1 zur Folge hatte. Wir haben diesen Fehler umgangen, indem wir bei dem Parameter COST in der Gatterbibliothek den Wert '1' eintrugen, obwohl '5' der richtige Wert gewesen waere.

## 2.2 Aufbereitung des PAL-Listings

LOG/iC Gates bietet Moeglichkeiten den Entwicklungsprozess zu beeinflussen. Bedingt durch die zweistufige Phasenentwicklung wird dieser Datensatz sowohl von Phase 1 als auch von Phase 2 gelesen. Zur Steuerung wird einfach das fuer die PAL-Programmierung erstellte Listing erweitert.

Das Listing dieses Datensatzes befindet sich im Anhang

### **\*GATES**

Type = IMSSZ ( Kuerzel: Institut Mikroelektronik Stuttgart  
Standard Zellen )

Die Auswahl eines speziellen Bauelements erfolgt ueber das Schluesselwort \*GATES. Unter diesem Schluesselwort kann der gewuenschte Bauteiltyp, auf den integriert werden soll, angegeben werden.

### **\*PINS**

DD4, DD5, DD6,

Unter dem Schluesselwort \*PINS werden die Signale aufgefuehrt, die ueber Pins nach aussen abgegeben werden.

### **\*NODES**

QDD4, QDD5, QDD6

Der Datenbereich \*NODES dient LOG/iC Gates nur zu dem Zweck eine Variable intern innerhalb der Schaltung beobachtbar zu erhalten.

### **\*FANOUT**

\$XALL=1;

\$YALL=4;

Fuer die Berechnung der Verzoegerungszeiten bzw. die Sicherheit der erzeugten Schaltung spielt eine wesentliche Rolle, wie stark die Eingaenge der Schaltung belastet werden duerfen, bzw. mit welcher Last auf der Eingangsseite der Schaltung gerechnet werden muss. Unter dem Schluesselwort \*FANOUT koennen Angaben fuer alle X-, Y-Variablen gemacht werden. Zusaetzlich werden die Namen \$XALL und \$YALL akzeptiert. Auf diese Weise werden fuer alle Variablen ein Default-Wert vorgegeben.

### **\*DELAY**

Frame: 100;

Hier wird ein Zeitrahmen fuer das zu realisierende Schaltnetz vorgegeben. Diese Zeit bezieht sich auf die in der Gatterbibliothek benutzten Zeiteinheit. Die Interpretation dieser Zeit liegt beim Anwender.

**\*RUN-CONTROL**

Der Datenbereich \*RUN-CONTROL dient den LOG/iC Compilern zur Kontrolle der Programmfunktion, zur Steuerung der Listings und zur Anforderung der entsprechenden Programmierdaten.

**LIST = EQUATIONS, CROSS-REFERENCE, CRITICAL-PATHS, DELAY, GATE-PLOT, DELAY**

Der Parameter **EQUATIONS** veranlasst die Ausgabe des von der Phase 2 ermittelten Schaltnetzes in Gleichungsform. Dabei wird jedes Gatter durch eine eigene Gleichung dargestellt.

**CROSS-REFERENCE** bewirkt die Ausgabe einer Cross-Referenceliste der Gatter, in der auch die Belastungen der Gatter und der Schaltungseingänge aufgeführt sind.

Standardmässig führt LOG/iC Gates nur den einen kritischen Pfad der Gesamtschaltung auf. Sollen zusätzlich die kritischen Pfade für jeden Ausgang aufgelistet werden, dann ist der Parameter **CRITICAL-PATHS** anzugeben. Diese liefert die maximale Verzögerung. Man prüft damit, ob die erforderliche Taktfrequenz erreicht werden kann.

Mit dem Parameter **DELAY** erhält man die Pfad-Gatter-Liste. In ihr sind die 100 langsamsten Pfade mit ihren Gattern ausgewiesen. Zusätzlich sind diese Gatter entsprechend ihrer Verzögerungszeit sortiert.

Wenn ein Schaltbild des bearbeitenden Schaltnetzes gewünscht wird, dann muss der Parameter **GATE-PLOT** angegeben werden.

**GATLIB = SZ** ; in Datei sz.bgl befinden sich die Informationen  
: ueber die Zellen der Fh Furtwangen.  
Als Parameter ist der vollständige Name einer Gatterbibliothek anzugeben. Fehlt die Extension, so wird defaultmässig '.BGL' angehängt.

**TRANSFORMATION = YES**

Sind in der Gatterbibliothek sowohl AND/OR Gatter als auch NAND/NOR Gatter enthalten, so wird mit obiger Angabe bestimmt, ob in der Phase 2 die Transformation nach NAND/NOR durchgeführt werden soll. Fehlen AND/OR bzw. NAND/NOR Gatter in der Bibliothek, so wird diese Angabe nicht beachtet.

**COST = 1000;**

Mit dieser Angabe wird der Phase 2 mitgeteilt, dass die Optimierung bzgl. den Flächenkosten erfolgen soll, wobei der angegebene Wert unterschritten werden soll. Die Kosten werden als Summe der einzelnen Gatterkosten, wie sie in der Gatterbibliothek angegeben sind, berechnet.

**STAGE-LIMIT = 5..9;**

Der Suchbereich der Optimierung wird mit der obigen Angabe eingegrenzt. Fehlt diese Angabe, so setzt LOG/iC Gates ein oberes Limit von 20 Stufen ein. In diesem Fall wird genau eine Lösung ermittelt, deren Stufenzahl 20 Stufen nicht überschreitet.

Wenn unter \*DELAY und unter \*COST Vorgaben fuer die Schaltung gemacht werden, so kann durch Vorgabe der minimalen und maximalen Stufenzahl der Suchbereich der Optimierung beeinflusst werden.

### **Nachtrag**

Ich habe nur die Parameter erklart, die ich zum Steuern von Gates verwendet habe. Auf die Restlichen moechte ich auf das LOG/iC Gates Handbuch verweisen.

### **2.3 Phase 1**

Das von Phase 1 erzeugte Listing wird normalerweise nur waehrend der Erstellungsphase des Datensatzes benoetigt. Das Listing der Phase 1 enthaelt standardmaessig ein Echo des Eingabedatensatzes. Sollten syntaktische Fehler gefunden werden, so werden diese direkt unter der entsprechenden fehlerhaften Zeile angemahnt. Waren in dem Datensatz Konsistenzfehler enthalten, so werden diese am Ende des Echos der Eingabe aufgelistet.

Ist der Eingabesatz erst einmal fehlerfrei, so ist das Listing der Phase 1 in der Regel nicht mehr wichtig fuer den Anwender.

### **2.4 Phase 2**

Die Phase 2 baut auf den von Phase 1 abgelegten, zweistufigen Ergebnissen auf. Phase 2 kann mehrfach gestartet werden ohne dass ein erneuter Lauf der Phase 1 erforderlich waere. Die Phase 2 liest ebenfalls den urspruenglichen LOG/iC Eingabedatensatz ein. Allerdings werden aus diesem Datensatz lediglich die Programmsteuerungen entnommen. Die Information ueber die Schaltungslogik hingegen wird ausschliesslich aus den Ergebnissen der Phase 1 gelesen.

Zunaechst uebergibt das Listing einige Kenndaten ueber die berechnete Schaltung. An dieser Stelle wird angegeben, welche Gatterbibliothek benutzt wurde, welche maximale Verzoegerungszeit die berechnete Schaltung aufweist, welche Flaechenreduktion gegenueber der zweistufigen Loesung erzielt wurde, wieviele Pfade in der berechneten Schaltung insgesamt enthalten sind, usw.

Wenn unter RUN-CONTROL ein Suchbereich fuer die Stufenzahl angegeben wird, so wird an dieser Stelle eine kleine Tabelle erzeugt, die die entsprechenden Kenndaten in Abhaengigkeit von den jeweiligen Stufenzahl wiedergibt.

Als naechster Informationsblock erfolgt im Listing der Phase 2 eine Liste der verwendeten Gatter. Hier werden die Namen der Gatter entsprechend der in der Gatterbibliothek verwendeten Bezeichnungen wiedergegeben, gefolgt von einer Angabe, wie oft das entsprechende Gatter in der Schaltung benutzt wird.

Darauf folgen die logischen Gleichungen (EQUATIONS) fuer jedes einzelne in der Schaltung enthaltene Gatter.

**Bsp:**

```
SZINF:      NQPE      = / QPE
SZNAND2:    A#1       = /(AI#9  &   AI#25)
SZNOR2:     A#25     = /(STANA2 +  AI#31)
SZBUF:      AI#36    = LATCHDRAM
SZDFNR:     QDD6 :D  = QDD6.M
```

Auch hier haben wir eine Diskrepanz gefunden. In der Liste 'Used Gates' werden 22 SZBUF angegeben, obwohl wir unter den Equations 23 Buffergleichungen gefunden haben.

In der Cross-Reference Liste wird fuer jeden Schaltungseingang bzw. Gatterausgang angegeben, mit wievielen Einheitslasten er belastet wird und welche Folgegatter er treibt.

Die Path Gate List enthaelt die 100 langsamsten Pfade, sortiert nach der Pfadverzoegerung.

Die Critical Pathes List ist identisch zu der Path Gate Liste, wobei die zum Pfad beitragenden Gatter allerdings nicht nach der Geschwindigkeit, sondern nach der Reihenfolge ihres Auftretens im Pfad sortiert sind.

## 2.5 Gatterschaltbild

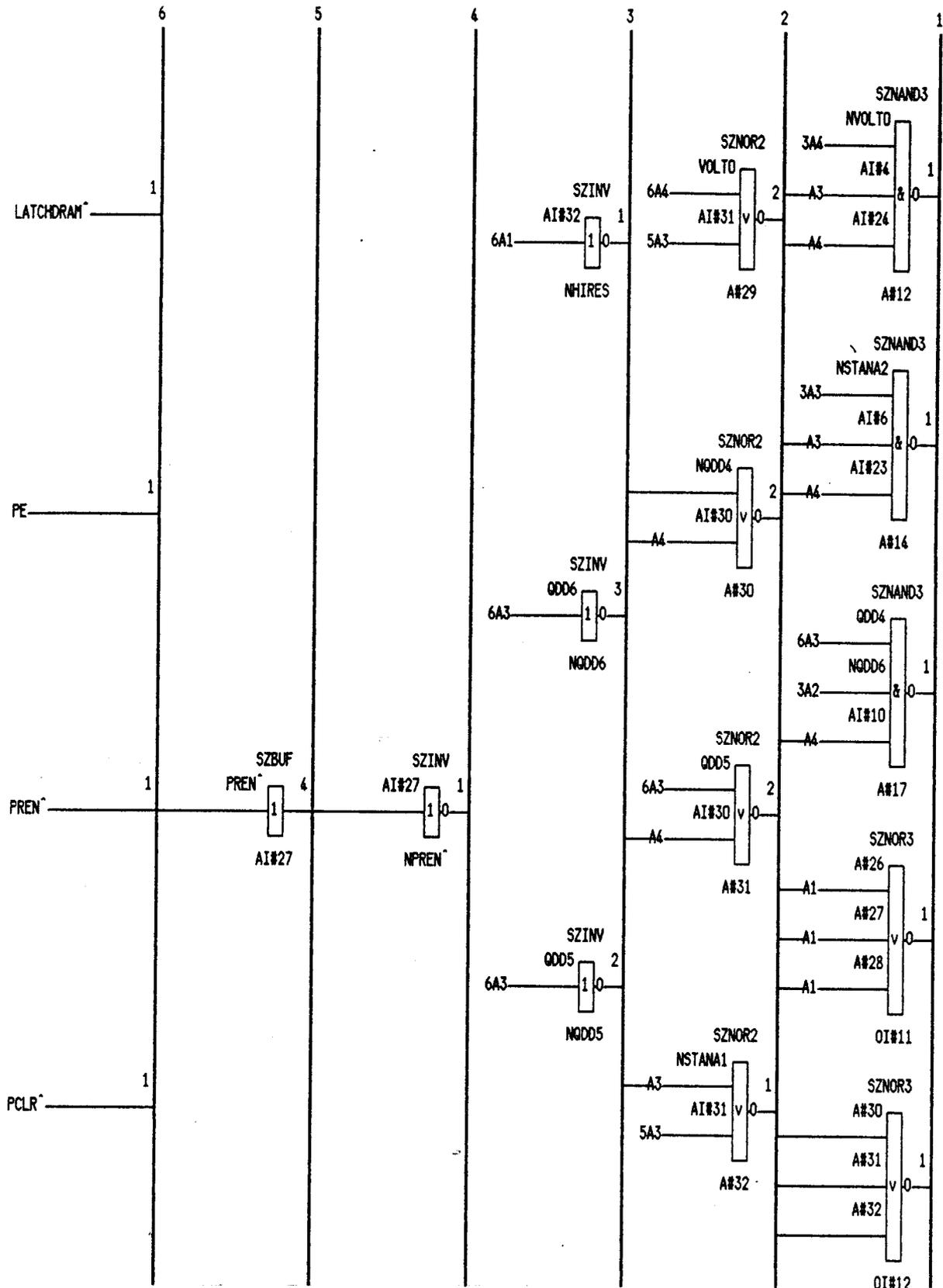
Zusaetzlich wird eine Datei name.gg2 erzeugt, die das Schaltbild der erzeugten Schaltung enthaelt.

Diese Datei enthaelt die Semigraphikzeichen des IBM 8 Bit Character Set. Sie kann daher nur mit solchen Editoren bzw. Druckern bearbeitet werden, die dieses Set unterstuetzen. Da ich den Gatescompiler auf der Micro-VAX benutzt habe, hatte ich Schwierigkeiten, diese Datei zu lesen. Normalerweise muesste fuer Rechner, die diese Norm nicht unterstuetzen ein spezieller Postprozessor fuer den Gates Compiler beigefuegt sein, mit dessen Hilfe eine Transformation durchgefuehrt werden kann, um eine lesbare Datei zu erzeugen. Leider war dies nicht der Fall. Wir sind daher den Umweg gegangen und haben die Datei auf einen PC geladen und mit dessen Hilfe ein lesbares Gatterschaltbild erzeugt und ausgedruckt. Inzwischen wurde ein kleines Programm im Labor entwickelt, das diesen Code in den VAX-Code umsetzt.

Das naechste Bild zeigt einen Ausschnitt aus einem Gatterschaltbild. In diesem Bild werden alle Leitungen, die zu einer logischen Ebene der Schaltung gehoeren, zu einem Bus zusammengefasst. Dieser Bus ist dann mit einer Ebenennummer gekennzeichnet. Am weitesten rechts auf dem Gatterschaltbild befindet sich der Bus 1, am weitesten links der Bus mit der hoechsten Ebenennummer.

Gate plot design: mko date: 19-APR-89 11:24:51

A2



Ueber jedem Gatter ist die Typbezeichnung (laut Gatterbibliothek) des Gatters angegeben, unter dem Gatter steht der Gattername. Ueber jeder Eingangsleitung steht der Name des entsprechenden Signals. Stammt das aus dem davorliegenden Bus, so wird das Signal an den Bus angeschlossen. Liegt das speisende Gatter nicht auf derselben Seite des Schaltplans, so wird die Seitenreferenz angegeben.

Wird ein Signal nicht aus dem direkt davorliegenden Bus gespeist, so ist die Busnummer und die Seitennummer angegeben.

Als Zusatzinformation ist bei jedem Ausgang die Anzahl der Gattereingeänge angegeben, die der Ausgang tatsaechlich treibt.

Auf dem Schaltbild endet die Schaltung nach Erzeugung der Ausgangssignale. Die D-FF, sowie die Buffer, die die Signale entsprechend treiben, dass diese an die Ausgangspins gelegt werden koennen, fehlen. Dass LOG/iC Gates diese Buffer beruecksichtigt hat, erkennt man an der Anzahl der Buffer unter der Tabelle 'Used Gates' bzw. Equations.

### 3.0 LAYOUTENTWURF

Als Grundlage zum Layoutentwurf habe ich die Daten genommen, die mir LOG/iC Gates zur Verfügung gestellt hat. Als erstes habe ich die Chipfläche berechnet, die die Schaltung verbrauchen wird.

#### 3.1 Berechnung der Chipfläche

Nach der Tabelle 'Used Gates' aus Phase 2 benötige ich insgesamt 117 Standard-Gatter. Die Fläche der benötigten Gatter entnehme ich dem Band 'Standardzellenbibliothek der Fh Furtwangen'. Dabei wird in der Höhe zwischen Logik-Bausteinen (80 Lambda) und Speicherbausteinen (163 Lambda) unterschieden.

$$\begin{aligned} \text{Chipfläche (Logik)} &= ( 21*30 + 8*40 + 3*50 + \\ & \quad 6*100 + 18*30 + 5*40 + \\ & \quad 24*20 + 22*40 ) \text{ Lambda} \\ & * \\ & \quad 80 \text{ Lambda} \end{aligned}$$

$$= 304000 \text{ Lambda} * \text{Lambda}$$

$$\begin{aligned} \text{Chipfläche (Speicher)} &= ( 10 * 90 ) \text{ Lambda} \\ & * \\ & \quad 163 \text{ Lambda} \end{aligned}$$

$$= 146700 \text{ Lambda} * \text{Lambda}$$

$$\begin{aligned} \text{Chipfläche} &= (304000 + 146000) \text{ Lambda} * \text{Lambda} \\ &= 450000 \text{ Lambda} * \text{Lambda} \end{aligned}$$

$$\text{mit Lambda} = 2 \text{ um}$$

$$\begin{aligned} &= 450000 * 4 \text{ um*um} \\ &= 1,802800 \text{ mm*mm} \end{aligned}$$

Als Platzbedarf fuer den Bus nehmen wir etwa die gleiche Fläche an:

$$\text{Chipfläche (Gesamt)} = (1,802 + 1,802) \text{ mm*mm}$$

$$\text{=====> } \underline{\text{ca. 4 mm*mm}}$$

Als Chip auf dem integriert werden soll, nehmen wir den Baustein GF90.

Laut Herstellerangaben hat der Chip eine zu integrierende Fläche von:

$$\text{Integrierfläche} = (6,55 * 6,65) \text{ mm*mm}$$

Von dieser Fläche müssen wir die Fläche für die Bondpads abziehen:

$$\begin{aligned}(6,550 - 0,720) \text{ mm} &= 5,830 \text{ mm} \\ (6,650 - 0,720) \text{ mm} &= 5,930 \text{ mm}\end{aligned}$$

Es verbleiben als Chipfläche:

$$\begin{aligned}\text{Integrierfläche (Rest)} &= (5,830 * 5,930) \text{ mm}^2 \\ &= \underline{\underline{34,5719 \text{ mm}^2}}\end{aligned}$$

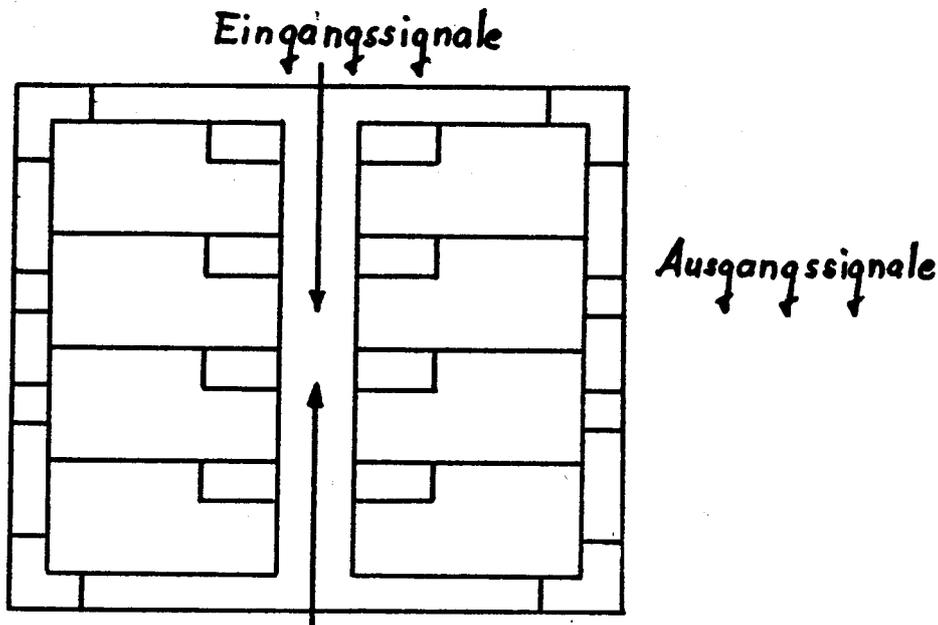
Das heißt wir können die Schaltung

$$(34,5719 \text{ mm}^2 / 4 \text{ mm}^2) = 8$$

mal auf dem Chip realisieren.

Wir benötigen also einen ASIC um 8 Pins zu programmieren. Zwei ASIC's = 16 Pins werden auf einer Pinctreiberkarte untergebracht. Um also 96 Pins zu programmieren, benötigen wir 6 Pinctreiberkarten.

Die Schaltung wird wie folgt auf dem Chip aufgeteilt:



In der Mitte ist der Bus für die Signale freigelassen, die von den Pins in den Chip eingeführt werden.

Damit bleibt für eine einzige Zelle folgender Platzbedarf

$$\text{Zelle} = 2,84 * 1,4825 \text{ mm}^2$$

### 3.2 Entwurf (Top down)

Da ich nun weiss, welche Struktur die Zelle haben wird, kann ich das Layout fuer diese Schaltung entwerfen. Als Stuetze diente mir dabei das Gatterschaltbild von LOG/iC Gates.

Wie man anhand des Schaltbildes erkennen kann, ist die Gatterdichte um den Bus 1 dichter als am Bus 6. Ich habe daher zuerst versucht, die Flaechendichte dadurch zu optimieren, indem ich einfach ohne Ruecksicht auf jede Schaltungs- bzw. Verknuepfungslogik die Gatter zusammengeschoben habe. Grob abgeschätzt kann man sagen, dass ich die Gatter vor Bus 1..3 belassen habe, und die Bausteine vor dem Bus 4..6 zu einer Ebene zusammengefuegt habe.

Nachdem die Flaechen optimiert war, und ich eine ungefaehre Vorstellung davon hatte, welches Gatter auf welcher Ebene in das Layout eingehen wird, habe ich versucht die Verknuepfungslogik zu optimieren, um die Signallaufzeiten kurz zu halten.

Als Vorteilhaft hat es sich erwiesen das Layout von den Ausgangs- zu den Eingangssignalen her zu entwickeln, denn in dem Gatterschaltbild verweisen die Eingangssignale der Gatter, aus welchem vorherigen Gatter sie generiert wurden.

Ich habe daher das Ausgangsgatter platziert, und in dessen Naehue diejenigen Gatter platziert, die in das Ausgangsgatter eingehen. So bin ich bis zu den Eingangsgattern vorgegangen. Gatter, die logisch zusammengehoeeren, habe ich entweder hintereinander bzw. parallel nebeneinander platziert. Nebeneinander Platzieren hat den Vorteil, dass die Verknuepfung nicht unbedingt ueber Ein- bzw. Ausgangssignale erfolgen muss, sondern, dass ich die beiden Gatter intern direkt auf PolySilizium bzw. Metall verdrahten kann.

Einfach waren diejenigen Gatter zu platzieren, die nur in ein Gatter eingingen. Diese wurden sofort direkt bei dem anderen Gatter platziert. Gatter, dessen Ausgangssignale in mehrere Gatter eingehen, habe ich versucht fuer alle beteiligten Gatter guenstig zu platzieren. Hier war natuerlich keine eindeutige Loesung moeglich. Dies konnte nur auf spielerische Art und Weise geloest werden, was aber sehr zeitaufwendig war.

### 3.3 Zusaetzlich eingefuegte Gatter

Zusaetzlich zu den Gattern, die wir aufgrund der Schaltung platziert haben, wurden noch ein paar Bausteine eingefuegt. Fuer Testbetrieb ist es notwendig die internen Signale QDD[4..6] an die Pins zu legen, damit alle FlipFlops beobachtbar sind. Daher haben wir drei Multiplexer eingefuegt, die im Normalbetrieb, die Signale STANA[1..3] an die Pins legen und wenn das Signal Test an die Multiplexer angelegt ist, die Signale QDD[4..6] nach aussen fuehren.

Herr Schaefer hat daher einen neuen Baustein entwickelt, der aus einem Multiplexer und einem Buffer kombiniert wurde.

Es war auch notwendig eine Tunnelzelle zu entwickeln, mit der man Signale ueber mehrere Ebenen hinweg durchtunneln kann.

### 3.4 Ausblick auf Fortfuehrung der Laborarbeit

Meine Laborarbeit ist nun auf dem Stand, dass alle Gatter platziert wurden, aber noch keine Verdrahtung der Gatter erfolgte. Auch fuer die Verdrahtung der Gatter gibt es keine eindeutige Loesung. Auch hier muss durch eine Trial and Error Methode auf eine guenstige Loesung hingearbeitet werden.

Momentan versuche ich auf dem Papier eine akzeptable Loesung zu finden. Dies wird auch der Abschluss meiner Laborarbeit sein. Ich hoffe ich habe meine Arbeit genuegend dokumentiert, so dass ein Anderer ohne Schwierigkeiten, meine Arbeit fortfuehren kann.

Es muss auch noch daran gedacht werden, wie die Eingangssignale ueber die Pins in die Schaltung gebracht werden. Eine Loesung waere je ein Buffer auf eine Zelle zu verteilen.

## ANLAGE

## \*IDENTIFICATION

DESIGN : Pal fuer Pintreiberkarte  
 Erstellt : Manfred Kaiser  
 Projekt : Diplomarbeit PLD Programmiergeraet  
 Firma : FH ULM Schaltungsintegration  
 Verwendung : Pintreiberkarte; Registerreihe 1 und 2  
 Datum : 26.01.89  
 Geaendert : Fuehrer, 22.3.89, Realisierung mit GATES

## \*X-NAMES

DD[6..4], LatchDRam<sup>^</sup>, PE, PREN<sup>^</sup>, PCLR<sup>^</sup>, DRE, HIRES, QDD[6..4], QPE, StAna[1..4],  
 Hi, Volt0, CLK;

## \*Y-NAMES

QDD[6..4], Hi, HiN, Volt0, StAna[1..4], QPE;

## \*FUNCTION-TABLE

\$ ((LatchDRam<sup>^</sup>, PE, QPE)) : QPE;                      Zwischenspeicher fuer Maske

00- : 0;  
 01- : 1;  
 1-0 : 0;  
 1-1 : 1;

\$ ((DD4, QDD4, QPE, PREN<sup>^</sup>, PCLR<sup>^</sup>)) : QDD4;                      1. Registerreihe

---00 : 0;  
 0-001 : 0;  
 1-001 : 1;  
 -1-1- : 1;  
 -0-1- : 0;  
 -11-1 : 1;  
 -01-1 : 0;

\$ ((DD5, QDD5, QPE, PREN<sup>^</sup>, PCLR<sup>^</sup>)) : QDD5;

---00 : 0;  
 0-001 : 0;  
 1-001 : 1;  
 -1-1- : 1;  
 -0-1- : 0;  
 -11-1 : 1;  
 -01-1 : 0;

\$ ((DD6, QDD6, QPE, PREN<sup>^</sup>, PCLR<sup>^</sup>)) : QDD6;

---00 : 0;  
 0-001 : 0;  
 1-001 : 1;  
 -1-1- : 1;  
 -0-1- : 0;  
 -11-1 : 1;  
 -01-1 : 0;

```
$ ((HIRES,DRE,QDD[6..4],Hi,Volt0,StAna[1..4])) : ((Hi,Volt0,StAna[1..4]));
```

```
0- --- -- ---- : 01 1111;  
11 000 -- ---- : 01 1111;  
11 001 -- ---- : 10 1111;  
11 010 -- ---- : 11 0111;  
11 011 -- ---- : 11 1011;  
11 100 -- ---- : 11 1101;  
11 101 -- ---- : 11 1110;  
10 --- 01 1111 : 01 1111;  
10 --- 10 1111 : 10 1111;  
10 --- 11 0111 : 11 0111;  
10 --- 11 1011 : 11 1011;  
10 --- 11 1101 : 11 1101;  
10 --- 11 1110 : 11 1110;
```

```
REST          : 01 1111;
```

```
*BOOLEAN
```

```
HiN = /Hi;
```

```
*PINS
```

```
DRE,DD4,DD5,DD6,  
PREN^,PCLR^,PE,LATCHDRAM^,HIRES,  
HI,HiN,VOLTO,STANA4,STANA3,STANA2,STANA1;
```

```
*NODES
```

```
QDD4,QDD5,QDD6,QPE;
```

```
*SPECIAL FUNCTIONS
```

```
HI.REG      = YES;  
VOLTO.REG   = YES;  
STANA4.REG  = YES;  
STANA3.REG  = YES;  
STANA2.REG  = YES;  
STANA1.REG  = YES;  
QDD4.REG    = YES;  
QDD5.REG    = YES;  
QDD6.REG    = YES;  
QPE.REG     = YES;  
$CLK        = CLK;
```

```
*GATES
```

```
TYPE=IMSSZ;
```

```
*DELAY
```

```
FRAME: 100;  
;TPLH   : clk = 100;
```

```
*FANOUT
```

```
$XALL=1;
```

```
$YALL=4;
```

```
*RUN-CONTROL
```

```
LIST = EQUATIONS,CROSS,CRITICAL,DELAY, GATE-PLOT, LONG;  
GATLIB=sz;
```

STAGE-LIMIT= 5..9:  
TRANSF=YES;  
COST=1000;

\*END



FACHHOCHSCHULE FÜR TECHNIK ESSLINGEN  
FACHHOCHSCHULE FURTWANGEN  
FACHHOCHSCHULE KARLSRUHE  
FACHHOCHSCHULE ULM

**Bericht über eine Informationsreise in die USA**

Dauer der Reise: 10.6.-19.6.1989

Schwerpunkte: 2 Beiträge zum Eighth Biennial University  
Government Industry Microelectronics Symposium  
in Westborough, MA

CAD und Technologie der Mikroelektronik in  
Industrie und Hochschulen

Besuchte Einrichtungen:

- |             |   |
|-------------|---|
| Industrie   | - Massachusetts Microelectronics Center,<br>Westborough, MA |
|             | - Raytheon Research Division,<br>Lexington, MA              |
|             | - Bell Communications Research,<br>Red Bank, NJ             |
| Hochschulen | - University of Massachusetts Amherst,<br>Amherst, MA       |
|             | - Massachusetts Institute of Technology,<br>Cambridge, MA   |

Teilnehmer:

Fachhochschule für Technik Esslingen	Prof.Dr.-Ing.G.Kampe Prof.Dr.-Ing.H.Khakzar Dipl.-Ing.A.Volk
Fachhochschule Furtwangen	Prof.Dr.-Ing.H.Nielinger
Fachhochschule Karlsruhe	Prof.Dipl.-Ing.W.H.Ritzert
Fachhochschule Ulm	Prof.Dipl.-Ing.A.Führer

## Z u s a m m e n f a s s u n g

---

### 1. Symposium

Hauptthema war die Zusammenarbeit zwischen Hochschulen, der Regierung und Industriebetrieben zur Verbesserung des Mikroelektronikstandards in den USA. Entsprechend stark war auch das Thema Ausbildung vertreten. Weitere Vorträge befaßten sich mit Entwurf und Herstellung integrierter Schaltungen.

Die Beiträge stammten von US-Autoren und europäischen Autoren (BRD 3, Finnland 2, Großbritannien 1 und Spanien 1).

Die Lehre auf dem Gebiet VLSI-Design wird durch die Fertigung von Musterschaltkreisen auf Multiprojekt-Wafern im Rahmen des MOSIS-Programms unterstützt. Neben dem Entwurf integrierter Schaltungen bildet die Halbleitertechnologie einen Ausbildungsschwerpunkt; in mehreren Beiträgen wurde über hochschuleigene Fertigungseinrichtungen berichtet.

### 2. CAD der Mikroelektronik

In den besichtigten Labors wurden Workstations der Firmen APOLLO, DEC und SUN eingesetzt. Ein Trend zur Rechner-unabhängigen CAD-Software ist erkennbar. An Hochschulen sind Netzwerk-weite Lizenzen üblich. Die CAD-Pakete MAGIC und CADENCE sind weit verbreitet. Auch in USA ist die Testbarkeit von komplexen Chips noch nicht zufriedenstellend gelöst. VHDL hat sich als Standard-Hardware-Beschreibungssprache noch nicht durchgesetzt. Die Unterstützung der Hochschulen beim Aufbau von CAD-Labors durch die Industrie ist bemerkenswert.

### 3. Technologie der Mikroelektronik

In Massachusetts haben die Studenten durch das Massachusetts Microelectronics Center die Möglichkeit, Prototypen ihrer Entwürfe zu erhalten. Zusätzlich sind an einigen Hochschulen einfache Prozeßlinien für die Ausbildung eingerichtet, teilweise sogar mit 3-5-Verbindungen.

In der Industrie setzen sich für hohe Frequenzen immer mehr Integrierte Schaltungen mit unipolaren GaAs-MESFET, HEMT und - in naher Zukunft - mit bipolaren InP-Transistoren durch. Während in USA und Japan bereits mehrere Herstellerfirmen die 3-5-Technologie anbieten, ist eine Serienfertigung bei der deutschen Industrie bisher nicht möglich.

I n h a l t

	<u>Seite</u>
1. Programm .....	2
2. Microelectronics Symposium .....	3
3. Massachusetts Microelectronics Center .....	4
4. University of Massachusetts, Amherst .....	5
5. Raytheon Research Division .....	6
6. Massachusetts Institute of Technology .....	7
7. Bell Communications Research .....	10

1. Programm

- 10.6.1989      Flug    Stuttgart - New York
- 11.6.            New York, Fahrt nach Westborough, MA
- 12.6.            Eighth Biennial University Government Industry  
13.6.            Microelectronics Symposium in Westborough, MA  
14.6. vorm.      mit Besichtigung des Massachusetts Microelectronics Center
- 14.6. nachm.     University of Massachusetts, Amherst, MA  
Fahrt nach Boston
- 15.6. vorm.      Raytheon Research Division, Lexington, MA
- 15.6. nachm.     Massachusetts Institute of Technology, Cambridge, MA  
Fahrt nach New Jersey
- 16.6.            Bell Communications Research, Red Bank, NJ
- 17.6.            New York
- 18./19.6.        Flug    New York - Stuttgart

## 2. Microelectronics Symposium

12. -14.6.1989

Die Tagung bot die folgenden 6 Themenschwerpunkte:

- 1) University/Government/Industry Programs I und II
- 2a) Microelectronics Education I      3) IC Processing
- 2b) Microelectronics Education II     4) IC Design
- 3) Device Modeling                      6) Design Methodology

Das Hauptgewicht war von den Veranstaltern dem Themenschwerpunkt 1 zugewiesen worden, für den ein Tag reserviert worden war. Die übrigen Themen wurden in Parallelsitzungen angeboten.

Aus den US-Beiträgen des Themenschwerpunktes 1 und aus der Rede eines Luncheon Speakers, einem Mitglied der Regierung von Massachusetts, war die große Sorge der USA zu erkennen, Japan auf dem Gebiet der Mikroelektronik nicht mehr einholen zu können.

Es wurde beklagt, daß sich zu wenige US-Bürger für den Beruf des Ingenieurs entscheiden und daß die Ausgaben der US-Firmen für Forschung sinken. Zitat: Wenn die USA als High Tech Land bestehen wollen, ist langfristig die Änderung des gesellschaftlichen Wertesystems erforderlich.

Es wurde berichtet, daß die Regierung der U.S.A. den Hochschulen pro Jahr 50..60 Millionen \$ ausschließlich für die Förderung der Forschung und Entwicklung auf dem Gebiet der Halbleiter zur Verfügung stellt. 50% dieser Mittel stehen für individuelle Projekte zur Verfügung, 26% gehen an Institute, 6 % an Kleingruppen (bis zu 5 Professoren) der Rest fließt in ein Industry/University Cooperative Research Centers Program.

Besonders gefördert werden sollen Verbundprojekte aus den Bereichen Elektronik/Chemie/Biologie.

Es ist die Notwendigkeit erkannt worden, bereits im Sekundarschulbereich aktiv zu werden, um die Motivation, Ingenieur zu werden, zu fördern. Um den Ingenieurmangel zu beheben sollen farbige US-Bürger und solche spanischer Abstammung, die bisher in dieser Berufsgruppe nur schwach vertreten sind, ermuntert werden den Ingenieurberuf zu ergreifen.

Beim Themenschwerpunkt 2 ist erwähnenswert, welch großes Gewicht die Hochschulen der Projektarbeit zumessen.

Eine Reihe von Beiträgen befaßte sich mit der Ausbildung im Bereich Halbleitertechnologie. Hochschulen in Massachusetts, die keine eigenen Fertigungslabors haben, können Ihre Studenten zur Ausbildung an das Massachusetts Microelectronic Center abordnen.

Auf die folgenden Bücher als Basis für einen Designlehrgang wurde mehrfach hingewiesen:

Mead/Conway, Introduction to VLSI Systems, Addison Wesley, 1980  
Weste/Eshragian, Principles of CMOS VLSI Design, Prentice Hall, 1985  
Gray/Meyer, Anal. and Design of Analog Integr. Circ., J. Wiley, 1985  
Hascard/May, Analog MOS VLSI Design nMOS and CMOS, Prent. Hall, 1988

Ein leistungsfähiges Programm für die Simulation auf Transistorebene scheint CAZM zu sein (4x schneller als SPICE). Herr Dr. Nieslinger erhält das Programm zugeschickt.

3. Massachusetts Microelectronics Center (M2C)

12.6.1989

Westborough, MA

Das M2C wurde 1983 gegründet. Der Bundesstaat Massachusetts (MA) beteiligte sich mit ca. 20 Mio.\$, die Industrie mit ca. 30 Mio.\$ an der Erstausrüstung. Die jährlichen Folgekosten betragen 10 Mio.\$.

Das M2C hat folgende Ziele:

- Unterstützung bei der Ausbildung von Mikroelektronik-Ingenieuren für die Industrie des Bundesstaates MA
- Weiterbildungsangebote für die Mikroelektronik-Industrie
- Koordinierung und Betreuung von CAD-Software für die Hochschulen und für die Entwicklungsabteilungen der Industrie; Bereitstellung von didaktisch ansprechend gestalteten Handbüchern für den ungeübten CAD-Benutzer
- Unterstützung gemeinsamer Forschungsprojekte zwischen Industrie und Hochschulen (anders als in der Bundesrepublik Deutschland sind in USA die Hochschulen meistens nicht staatlich und werden durch Studiengebühren und Drittmittel finanziert)
- Förderung von Zukunftstechnologien in MA

Die Partner des M2C sind 10 Hochschulen mit insgesamt 12000 Studenten der Elektrotechnik und Informatik. Über 2000 Studenten nehmen jährlich an Unterrichtveranstaltungen teil, die vom M2C unterstützt werden.

Das M2C hat 4 Arbeitsbereiche:

1. VLSI-CAD-Rechnerverbund mit Netzknoten an jeder Hochschule (insgesamt über 200 Workstations). Das M2C erstellt zentral die Dokumentation zu den CAD-Paketen.
2. Chip-Fabrikation in Westborough für die kurzfristige Herstellung von Prototypen für die Studenten. Die Reinräume gehören zur Klasse 10 (10 Partikel in 1 Kubik-Foot). Die Herstellung erfolgt auf Multi-Projekt-Wafern (12,5 cm Durchmesser; bis zu 40 verschiedene Entwürfe je Wafer).
3. VLSI-Test-Labors an jeder Hochschule.
4. Technologie-Labors an 5 Hochschulen zur Vermittlung von Grundkenntnissen über die Prozeß-Schritte.

Die Mitarbeiter des M2C unterstützen jeden dieser 4 Bereiche. Sie veranstalten im Schulungsgebäude in Westborough Workshops und Seminare für Teilnehmer aus Hochschulen und Industrie. Besonders effektiv ist die zentrale Unterstützung der Hochschulen bei der Beschaffung und Inbetriebnahme von CAD-Software.

#### 4. University of Massachusetts, Amherst

14.6.1989

Amherst, MA

Das Programm wurde durch Prof.Dr.J.E.A.John vorbereitet. Prof.John kennt die Fachhochschule für Technik Esslingen durch seine Besuche im Rahmen einer Hochschul-Zusammenarbeit. In Amherst wurden mehrere Laboratorien besichtigt.

##### 4.1 CAD

Der Chip-Entwurf wird auf Arbeitsplatzrechnern von Digital Equipment (DEC) durchgeführt. Die ca. 15 Geräte wurden von der in Massachusetts ansässigen Firma DEC gestiftet (!). Die Vernetzung der Arbeitsplatzrechner erfolgte durch die Firma ATHENA, die auch das gesamte Campus-Netz erstellt hat. Teilnehmer am CAD-Labor sind etwa 50 Graduierte Studenten. Der Übungsbetrieb findet Montag bis Freitag von 8 bis 22 Uhr statt. Nur bei Engpässen werden diese Öffnungszeiten verlängert.

Als CAD-Software kommt MAGIC zum Einsatz. Kleinere Entwürfe mit logischen Grundschaltungen werden als Laborarbeiten vorlesungsbegleitend durchgeführt. Außerdem werden komplexere Schaltungen in Entwurfs-Projekten entwickelt (Beispiel: 8000 Transistoren, 40 Anschlüsse, 1,8mm x 1,8mm, CMOS).

Die Prototypen werden im Massachusetts Microelectronics Center hergestellt (MOSIS Design Rules) und stehen nach 1 bis 2 Monaten zur Verfügung.

##### 4.2 Technologie

In den Technologie-Labors können die Studenten ihre eigenen Chip-Herstellungsprozesse sowohl in Silizium als auch in 3-5-Verbindungen definieren (5 Maskenschritte bei Silizium, 3µm-Technik).

Die Laborräume haben die Reinraumklasse 1000, in den Laminar-Flow-Boxen liegt die Klasse 100 vor.

Die Prozeß-Schritte werden mit dem Simulator SUPREME nachgebildet.

5. Raytheon Research Division

15.6.1989

Lexington, MA

Das Programm hatte der Leiter der Forschung, Herr Dr.H.Statz, zusammengestellt. Herr Dr.Statz ist für die Projekte von ca. 350 Wissenschaftlern verantwortlich. Als Absolvent der Universität Stuttgart war er über den Besuch aus Baden-Württemberg besonders erfreut. Er berichtete zunächst über eigene Forschungsarbeiten (Simulationsmodell für Gallium-Arsenid-Transistoren) und ermöglichte dann einen freizügigen Einblick in verschiedene Labors sowie in die Chip-Fertigung.

5.1 CAD

Ein Test-Chip mit 100 bis 150 verschiedenen Strukturen wurde vorgestellt. Unter anderem enthält es Bereiche zur Beurteilung des 0,5µm-BICMOS-Prozesses (Dicke des Gate-Oxids 12 nm, Betriebsspannung 3,3V). BICMOS-Schaltungen werden für Interface-Anwendungen eingesetzt.

Die bisherige CAD-Software von MENTOR-Graphics wurde durch Programme der Firma SILICON DESIGN AUTOMATION (SDA) ersetzt: CAD-Paket CADENCE mit Compactor-Programm der Firma ECAD. Die Erstellung einer neuen Zellenbibliothek dauert nur 2 Wochen (z.B. digitale GaAs-Zellen).

Die Arbeitsplatzrechner sind vorwiegend APOLLO DN4000 sowie eine leistungsfähige Anlage DN10000. Im heterogenen Rechnernetz sind außerdem einige SUN-Workstations sowie Microvax-Rechner angeschlossen.

5.2 Technologie

Raytheon hat Pionierarbeit auf dem Gebiet der 3-5-Halbleiter geleistet (z.B. GaAs-Technologie, InP-Technologie). Die Vorteile dieser Verbindungen im Vergleich zur Silizium-Technologie sind

- hohe Beweglichkeit der Elektronen (Schaltgeschwindigkeit)
- verwendbar bei hohen Temperaturen (z.B. in Leistungs-Endstufen von Satelliten, wo bisher Wanderfeldröhren mit hohem Raum- und Spannungsbedarf eingesetzt werden)
- hochohmige Substrate (günstig bei Integrierten Schaltungen für hohe Frequenzen)
- günstige Rauscheigenschaften bei der Verwendung von pseudomorphischen HEMT-Transistoren in Satellitenempfängern (geringe Sendeleistung des Satelliten ausreichend).

In der Chip-Fertigung fiel die Vielzahl der Prozeß-Einrichtungen auf, die ein Hinweis auf die Breite der Technologie-Forschung bei Raytheon ist. Es wurde eine Schaltung mit Impatt-Diode gezeigt, welche bei 44 GHz, 25W Ausgangsleistung und 11% Wirkungsgrad eine Fläche von nur 10cm x 10cm benötigt.

6. Massachusetts Institute of Technology (MIT)

15.6.1989

Cambridge, MA

In den technischen Fächern gehört das MIT zu den führenden Hochschulen der USA. Im Bereich der Mikroelektronik (Microsystems) wird die Herstellung, der Entwurf und die Architektur Integrierter Schaltkreise als interdisziplinäre Wissenschaft von folgenden Fakultäten betrieben: Elektrotechnik, Informatik, Chemie, Mathematik, Physik, Werkstoffkunde und Maschinenbau. Dabei geht es zumeist um VLSI-Schaltkreise (VLSI = Very Large Scale Integration, Höchstintegration).

Unter anderem bestehen zur Zeit die Forschungsschwerpunkte

- Submicron-Strukturen (Röntgenlithographie; holographische Lithographie; UV-Lithographie usw.)
- Halbleiter-Werkstoffe (Rekristallisation; Keramik- und Polymer-Werkstoffe für die Gehäuse; Elektromigration; Korrosion usw.)
- Halbleiter-Herstellung (Modellbildung; CIM; Mikromechanik usw.)
- Halbleiter-Bauelemente und -Schaltungen (Bipolare Hochfrequenz-Bauteile; extrem lineare analoge Schaltungen; Leistungshalbleiter usw.)
- VLSI-Entwurfsautomatisierung (CAD-Pakete; Signalprozessoren; Generieren von Testvektoren; Testbarkeit usw.)
- Theorie der VLSI-Komplexität (prinzipielle Grenzen für Zeitverhalten, Raumbedarf usw. bei vorgegebener Schaltungsspezifikation; Bewertung von Synthese-Algorithmen usw.)
- Architektur Integrierter Schaltungen (neuartige Architektur; Spezialsysteme für parallele Verarbeitung bei Signalprozessoren, Steuerungen, Netzteilen usw.)

Zwei Themen standen beim Besuch des MIT im Vordergrund: ein Beispiel für ein anspruchsvolles VLSI-Projekt sowie die Didaktik des Chip-Entwurfs.

### 6.1 VLSI-Projekt

Das Gespräch fand im Arbeitszimmer von Prof.Dr.J.Wyatt statt. Er stellte sein Forschungsprojekt vor, an dem er mit ca. 10 Mitarbeitern bereits 9 Monate gearbeitet hat und noch weitere 5 Jahre arbeiten wird. Die Gruppe befaßt sich mit dem Entwurf und der Herstellung eines Gerätes zu Bilderfassung (ohne Bilderkennung). Das Gerät soll in der MIT-Chip-Fabrik hergestellt werden. Das MIT ist somit zwar eine Hochschule in Massachusetts, aber kein Kunde des Massachusetts Microelectronics Center, vgl. Abschnitt 3. Diese Chipfabrik hat zur Erstausrüstung ca. 20 Mio \$ und für Personal sowie Materialien jährlich 10 Mio \$ benötigt.

Einige Eigenschaften des zu entwickelnden Gerätes zur Bilderfassung:

- Größe einer Zigarrenkiste
- Preis 5000 bis 10000 \$
- Rechengeschwindigkeit 100 mal schneller als CRAY II durch Verarbeitungsprinzipien der "Neuralen Netze" in Anlehnung an parallele Vorgänge im Nervensystem von Lebewesen (Buch: Analog VLSI and Neural Systems, C.Mead, Addison Wesley, 1989, 112.-DM)
- Bildvorverarbeitung (Early Vision) mit analoger Schaltungstechnik, in Realzeit; Ergebnis: Abstand, Lichtintensität und Geschwindigkeitsänderung eines Objektes als analoges Breitbandsignal sowie digital (Kontrastlinien).
- 16000 Multiplizierer je Chip, 6 Transistoren je Multiplizierer.
- endgültige Zielsetzung entweder "klein und billig" für industrielle Anwendungen (Konkurrent: Japan) oder "leicht und stromsparend" für militärische Anwendungen (Konkurrent: UdSSR)
- Anwendung z.B. auch für Roboter (Buch: Robots Vision, Horn, McGraw Hill)
- Bilderfassung durch 2 Linsen hindurch auf einer lichtempfindlichen CCD-Schicht, unter der dann CMOS-Schaltkreise liegen (im selben Chip!).

Prof.Wyatt übergab der Besuchergruppe einen Statusbericht zu diesem Projekt.

## 6.2 Didaktik des Chip-Entwurfs

### Einführung in die Mikroelektronik am MIT - ein Gespräch mit Prof. J. Allen

Bei dem Besuch des Massachusetts Institute of Technology fand eine Begegnung mit Herrn Prof. J. Allen statt, der seine im Rahmen der Mikroelektronik-Ausbildung zentrale Lehrveranstaltung "Introduction to VLSI Design" vorstellte. Diese Veranstaltung hat in der Ausbildung ein hohes Gewicht (12 credit hours), ist auf eine maximale Teilnehmerzahl von 30 beschränkt und wird zweimal im Jahr angeboten. Es handelt sich offensichtlich um eine selbst für MIT-Maßstäbe herausragende Aktivität eines sehr engagierten Lehrers und Wissenschaftlers, denn die ganze Vorlesung wird auf Videobändern (Preis 12000 \$) für die Weiterbildung von Ingenieuren in der Industrie angeboten.

Die Anfänge dieser Lehrveranstaltung gehen auf einen Kurs zurück, den Lyn Conway (Mitverfasserin des Standardwerks Mead/Conway "Introduction to VLSI-Systems") im Herbst 1978 am MIT hielt. Das Mead-Conway-Konzept ist auch in Prof. Allens Lehrveranstaltung zu finden: Entwurf von integrierten Digital-Schaltungen mit minimalen Technologie-Kenntnissen, einfache skalierbare Entwurfsregeln ( $\lambda$ -rules). Das Handwerkliche des Entwurfs, das Umgehen mit dem Computer und den Software-Werkzeugen wird sehr am Rande behandelt (Zitat Prof. Allen: unsere Studenten bringen sich den Umgang mit den Design-Programmen selbst bei), im Vordergrund steht die Elektronik der mikroelektronischen Schaltungen, die Darstellung der für die Integration geeigneten Strukturen und Architekturen. Im Rahmen der Veranstaltung bearbeitet jeder Student ein meist selbstgewähltes Projekt bis zum Layout. Dazu stehen 8 Apollo-Workstations DN 3000 mit GDT-Software (General Development Tool) der Firma Silicon Compiler Systems zur Verfügung. Zur Simulation wird ein Logik-Simulator MOSIM und natürlich SPICE verwendet. Bei der Erstellung des Layouts wird mit der Stick-Diagram-Technik gearbeitet mit anschließender Kompaktierung. Die Realisierung der Projekte findet auf Multi-Project-Chips im Rahmen des MOSIS-Programms bei Halbleiterherstellern außerhalb des MIT statt.

Prof. Allens Lehrveranstaltung, die als Voraussetzung für alle anderen Mikroelektronik-relevante Veranstaltungen des MIT genannt wird, ist im Urteil der Studenten "extrem anspruchsvoll, aber außerordentlich befriedigend".

7. Bell Communications Research (BELLCORE)

16.6.1989

Red Bank, NJ

Das Programm hatte Herr Dr. Schumacher vorbereitet. Er gab zunächst einen Überblick über die Firmengeschichte. BELLCORE ist seit 1984 die gemeinsame Forschungsgesellschaft von 22 Firmen (in 7 Holdings), die in USA den Nachrichtentechnischen Lokalverkehr abwickeln. Die Ziele von BELLCORE sind

- übergreifende Entwicklungsprojekte
- Software für Vermittlungstechnik
- Angewandte Forschung (ca. 500 Mitarbeiter der insges. 7500 Mitarbeiter)
- Grundlagenforschung
- System-Prototypen

Als beispielhafte Projekte wurden genannt

- Anwendung der Hochtemperatur-Supraleitung in der Vermittlungstechnik
- neue Dienste, z.B. hochauflösendes Fernsehen
- Breitband-ISDN
- Video-Konferenz
- synchrones optisches Netz (SONET), genormt bis 9,6 GBit/s

Im Verlauf des Besuchs fanden mehrere Informationsgespräche mit Wissenschaftlern aus den Bereichen CAD und Technologie statt.

7.1 CAD

Verschiedene CAD-Pakete sind bei BELLCORE im Einsatz:

- CADENCE (mit sehr leistungsfähiger Entflechtung)
- KIC (für einfache, sich wiederholende Strukturen)
- MAGIC (nicht geeignet für Chips mit kritischen Toleranzgrenzen)
- SPICE3C1 (müßte in Europa über DECUS zu beziehen sein!)
- MENTOR GRAPHICS (für Gate Arrays und Leiterplatten-Entwurf)
- GDT (für Telecom-Anwendungen; Gate-Arrays, RAM und schnelle Interface-Schaltung auf demselben Chip!)

Außerdem hat BELLCORE eigene CAD-Programme entwickelt, z.B. einen Stickdiagram-Editor (mit Balken anstelle der dünnen Striche), der unabhängig von den Design-Rules einen symbolischen Entwurf ermöglicht. Dieser wird anschließend von einem Compactor-Programm weiterverarbeitet, welches zulässige Mindestabstände, Leiterbahnbreiten usw. berücksichtigt.

Als Beispiel wurde ein symbolischer Entwurf gezeigt, der in 5 unterschiedliche Layouts überführt wurde. Es wurde berichtet, daß u.a. die Firma Mentor Graphics die Hardware-Beschreibungssprache VHDL (durch das amerikanische Verteidigungsministerium geforderte Norm für alle Lieferanten militärischer Elektronik) für ihre Workstations aufbereitet.

Teilweise läuft die CAD-Software bei BELLCORE unter einer Netzlizenz.

Für die Parameter-Extraction werden Geräte der Firma CASCADE eingesetzt.

## 7.2 Technologie

Neben den unipolaren HEMT-Transistoren (Frequenzbereich 10 - 100 GHz) sind die bipolaren InP-Transistoren für Hochfrequenz-Anwendungen besonders interessant. Während bei bipolaren Silizium-Transistoren die Basis eine mittlere Dotierung aufweist (großer Basis-Bahnwiderstand), ist die Basis des InP-Transistors hoch dotiert und damit niederohmig. Dies bewirkt günstige Hochfrequenz- und Rausch-Eigenschaften. Prof. Khakzar konnte im Rahmen seines Fortbildungssemesters (Sommersemester 1988) bei BELLCORE am Beispiel eines optischen Empfängers zeigen, daß die Realisierung mit HEMT-Transistoren oder InP-Transistoren (hergestellt bei BELLCORE) keinen Unterschied im Frequenzverhalten aufweist.

Es wurde ein PCM-Multiplizierer im Betrieb bei einer Taktrate von 11,4 GBit/s gezeigt (schnellster derzeitig bekannter Multiplexer).

