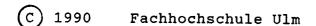
MULTIPROJEKT CHIP-GRUPPE

BADEN-WURTTEMBERG

WORKSHOP JANUAR 1990
MANNHEIM

HERAUSGEBER: FACHHOCHSCHULE ULM



Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers.

Vorwort

Für den Workshop WS 1989/1990 der Multiprojekt Chip-Gruppe konnten erneut Vertreter der Industrie gewonnen werden. Den Herren Dr. Killius vom Institut für Mikroelektronik Stuttgart und Dr. Glauert von der Robert Bosch GmbH sei an dieser Stelle nochmals für ihre interessanten Beiträge gedankt.

Neben den Fachvorträgen wurde als weiterer Schwerpunkt die Problematik der Ausbildung im IC-Entwurf behandelt. Diese Thematik ist gegenwärtig besonders aktuell, da mit der jetzt allen FHs zur Verfügung stehenden Hard-und Software möglichst bald eine effektive Ausbildung auf dem Gebiet des Entwurfs Integrierter Schaltungen zu erreichen ist.

Ulm, Januar 1990

Prof. Führer Fachhochschule Ulm

INHALTSVERZEICHNIS

Vorwort

A. Führer FH Ulm

- 1. ASICs : Historische Entwicklung u. Wirtschaftlichkeit
 - P. Killius Institut für Mikroelektronik Stuttgart
- 2. Programm zur Berechnung des zeit- u. frequenzabhängigen Sperrschichttemperaturverlaufs von Leistungshalbleitern mit Kühlkörpermontage
 - R. Rudloff FH Aalen
- Entwurf eines Uhren-IC als Vollkunden-Schaltkreis mit Zeitzeichen-Empfänger
 - R. Lieder, G. Kampe, A. Volk FHT Esslingen
- 4. Lehre des Entwurfs Integrierter Schaltungen
 - K. Schmidt
 FH Furtwangen
- 5. Ausbildung im IC-Entwurf Blick in den FH-Bereich in Holland
 - K. Schmidt
 FH Furtwangen
- 6. Design u. Layout eines 2 auf 6 Volt Spannungskonverters
 - W. Zerweck FH Furtwangen
- 7. Entwurf eines Logic-Cell Arrays (LCA) für eine Lichtwellenleiterübertragungsstrecke von einer CCD-Kamera zu einem Personal-Computer
 - B. Reinke
 FH Offenburg
- 8. DECUS-Software
 - G. Albert FHT Mannheim





VORTRAG

"ASICs: Historische Entwicklung und Wirtschaftlichkeit"

Mannheim, 12.01.1990

Dr. Peter Killius, Institut für Mikroelektronik Stuttgart





Dr. Peter Killius hat an der TU Berlin Physik mit der Ausrichtung experimentelle Festkörperphysik studiert. Nach einer Tätigkeit bei IBM in Schönaich und Sindelfingen folgten 3 Jahre als wissenschaftlicher Mitarbeiter am Institut für Mineralogie-und Kristallchemie der Uni Stuttgart, die er mit der Promotion abschloß. 1972 trat er in das Forschungszentrum der SEL in Stuttgart ein, wurde dort Leiter der MOS-Gruppe und später Leiter des Labors für hochintegrierte Kundenschaltungen. Auf Tagungen wie der Electronica/ Productronica sowie an der Technischen Akademie Esslingen hielt er Vorträge über Schaltungstechnik und Mikroelektronik. In diese Zeit fielen auch die ersten Kontakte zu Prof. Höfflinger an seinem damaligen Dortmunder Lehrstuhl. 1984 wurde er Geschäftsführer/Direktor der Dectroswiss Electronic Design AG in der Schweiz. Seit dem 15.1.1989 ist er Leiter des Bereichs Design und Test am IMS und zusätzlich mit Marketingaufgaben und der Abwicklung unserer ASIC-Projekte betraut.



1. EINLEITUNG

Technologische Eckdaten

1948 : Transistor (bipolar, Ge)

1959 : Si-Planartechnik

1969 : Erste Standardzellen (ohne SW)

1970 : Mikroprozessor

1972 : 1 K RAM

1976 : MEAD - CONWAY (Lambda-Regeln)

1985 : ASIC - Durchbruch

1990 : 16 M RAM (Muster)

Umsätze (1990) weltweit

- Elektronikgeräte: 400 Mrd \$

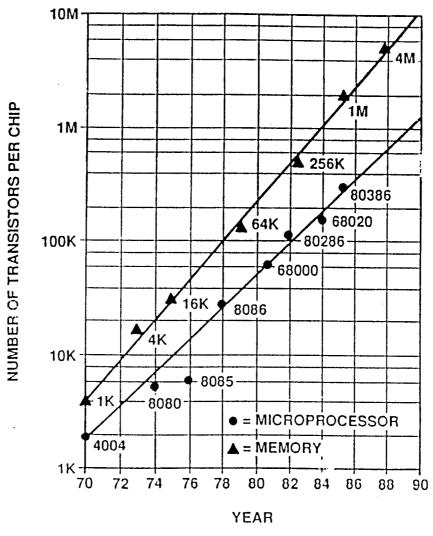
- Halbleiter (≙ 13%): 50 Mrd \$



2. HISTORISCHE ENTWICKLUNG

2.1 Technologie

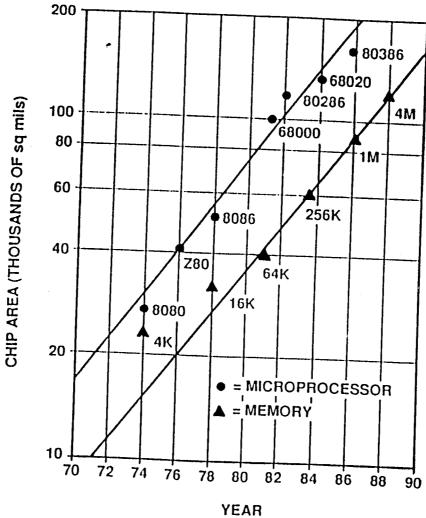
- Germanium: Betriebstemperatur zu niedrig
- Si-Planartechnologie erlaubte Integration (physikalischer Glücksfall: Si -> Si Operation Isolator) und revolutionierte Schaltungstechnik (ein einziges BE)
 - zunächst PMOS
 - dann NMOS
 - schließlich CMOS-Technologie wegen sehr kleiner Verlustleistung führend
 - Bipolartechnologie zunächst wesentlich schneller, aber deutlich kleinerer Integrationsgrad und vor allem höhere Verlustleistung;
 - MOS-Skalierung w/l, Sättigungsstrom = konst.
 - Bipolar-Skalierung Tr.Fläche, Sättigungsstrom Fläche
- GaAs sehr schnell (aber nicht mehr wesentlich schneller als Si), <u>aber</u> keine hohe Komplexität, Prozeß teuer und vor allem keine gute Störsicherheit



MEMOPY INCREASE = 1.5/YEAR MPU MCREASE = 1.35 YEAR

Source: Intel 11745

Figure 5-27. IC Density Trends



MEMORY INCREASE = 1.13/YEAR
MPU INCREASE = 1.13/YEAR

Source: Intel

11746

Flgure 4-14. IC Die Size Trends



HARDWARE / SOFTWARE

Bis Ende 60er Jahre

- Im wesentlichen SSI-Schaltungen
- fast nur Vollkundenschaltungen, jeder Transistor noch einzeln berechnet (Rechenschieber)
- allererste Simulatoren
- erste Bibliotheken (FAIRCHILD), die jedoch mangels geeigneter Software nicht zum Tragen kommen
- physikalische Realisierung durch "Konstruktions"-Mentalität
- IC's waren teuer und ein Abenteuer zugleich, d.h. viele Redesigns

CAD DIGITIZER

(1980)



11743 ©1984 TORRIC CORPORATION

FIGURE 3-8

THE THREE NARROW INTERFACES THAT ARE POORLY ADDRESSED

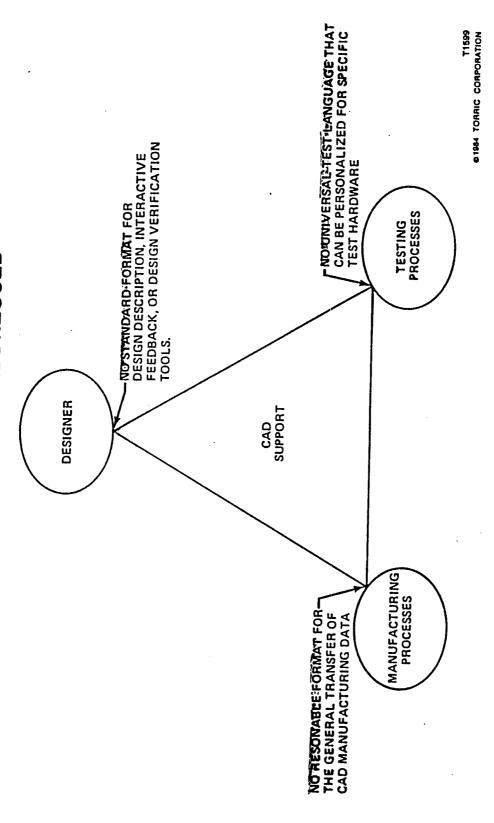
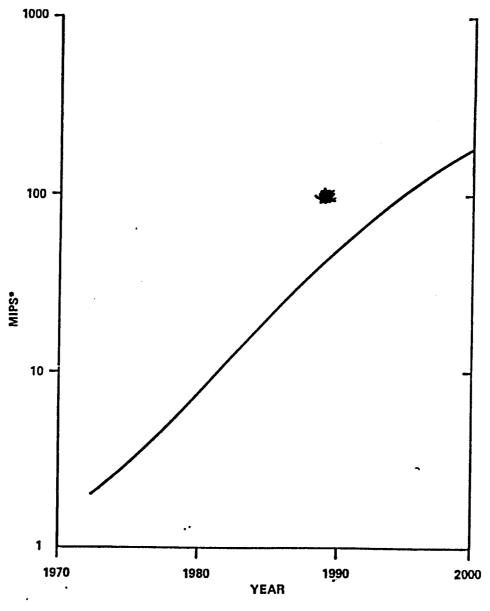


FIGURE 4-9

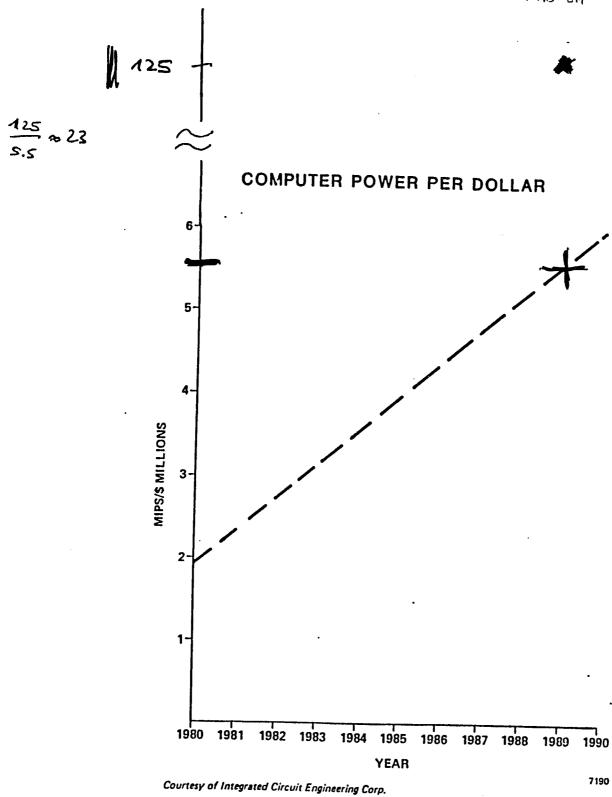
GROWTH OF MAXIMUM PROCESSING POWER



•(MILLIONS OF INSTRUCTIONS PERFORMED PER SECOND)

After Keyes FIGURE 2-74

T1554



-FIGURE 2-75



HARDWARE / SOFTWARE

Bis Ende der 70er Jahre

- Dekade der "Mikrorechner", d.h. Software-Euphorie ("Universalität")
- als Rechner dienten weitgehend "mainframes" (IBM, 10 MIPS) und PRIME
- Design-Möglichkeiten der Technologie weit voraus; Simulationen setzen sich auf breiter Front durch
- falls Hardwarelösung, Vollkundenschaltungen dominierend; nur IBM nutzt früh "Gate-Arrays"
- wegen kompatibler Technologien sind Bibliotheken amortisierbar ("multi sourcing")
- Design durch spezialisierte Firmen (z.B. AMI) bzw. Geschäftsbereiche oder Designzentren von Großfirmen
- Designer waren so etwas wie "Künstler" mit viel Technologie-Hintergrund
- übliche Schnittstelle: Spezifikation (besser Pflichtenheft)

HARDWARE / SOFTWARE

1. Hälfte der 80er Jahre

- Rückbesinnung auf Hardware-Lösungen
 - Mikrorechner oft zu langsam
 - Softwareaufwand "explodiert"
 - Kopierschutz
- große Halbleiterhersteller entdecken den ASIC-Markt und steigen massiv ein in Entwicklungswerkzeuge (Kunden = Designer)
- Mini-Rechner (DEC, 1 MIPS) erscheinen und lassen sich vernetzen
- Design-System aufgebaut aus Einzelprogrammen
- Industrie für ASIC-Software und entsprechender Fertigung entsteht (LSI Logic, VTI), mit Schnittstelle "simulierte Netzliste"
- NMOS-Technologie löst PMOS ab



HARDWARE / SOFTWARE

2. Hälfte 80er Jahre

- Workstations (0.3 MIPS) mit "geschlossenenem Designsystem" werden einsatzfähig (DAISY), ebenso erste Si-Compiler
- "formalisierte" Design-Methoden setzen sich auf breiter Front durch (Gate-Arrays)
- billige und bedienungsfreundliche Design-Werkzeuge erlauben dezentrale ASIC-Aktivitäten (Lernkurven)
- Optimierungsdruck bei Si verschwindet (Kostenverschiebung Si -> Design)
- Preiszusammenbruch bei Design-Leistungen wegen Kampf um Marktanteile
- CMOS wird die ASIC-Technologie
- starke Fusionswelle spez. bei SW-Häusern
- standardisierte Datenschnittstellen setzen sich durch (VHDL, EDIF)

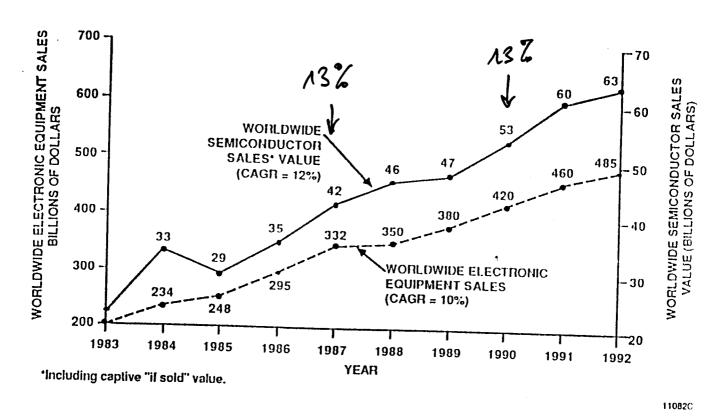


Figure 1-4. Electronic Equipment Sales and Semiconductor Sales Trends (1983 - 1992)

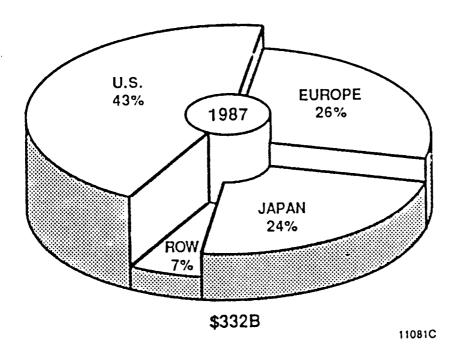


Figure 1-5. Electronic Equipment Production

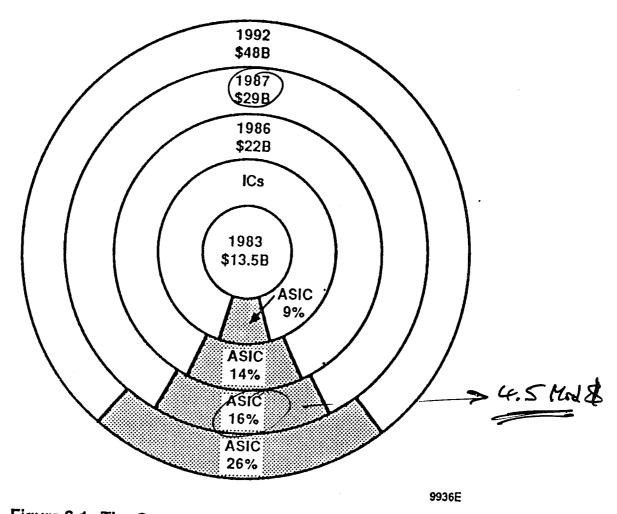
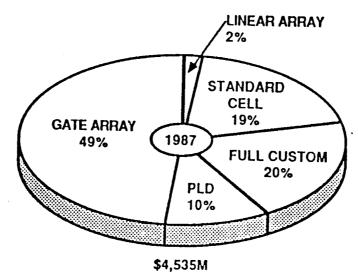


Figure 6-1. The Growing Worldwide Merchant ASIC Market



*Does not include IBM and DEC.

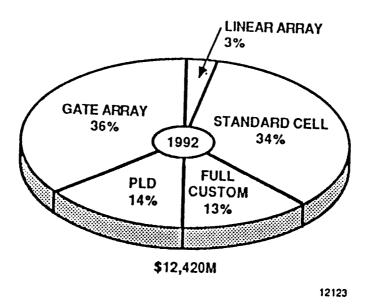
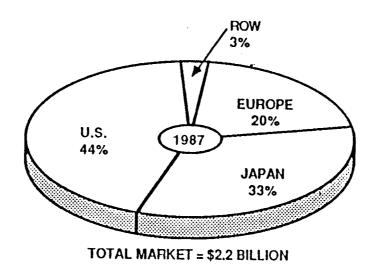


Figure 6-2. Worldwide ASIC Production*



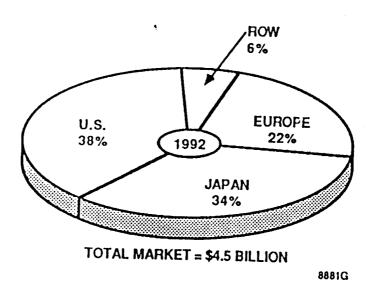
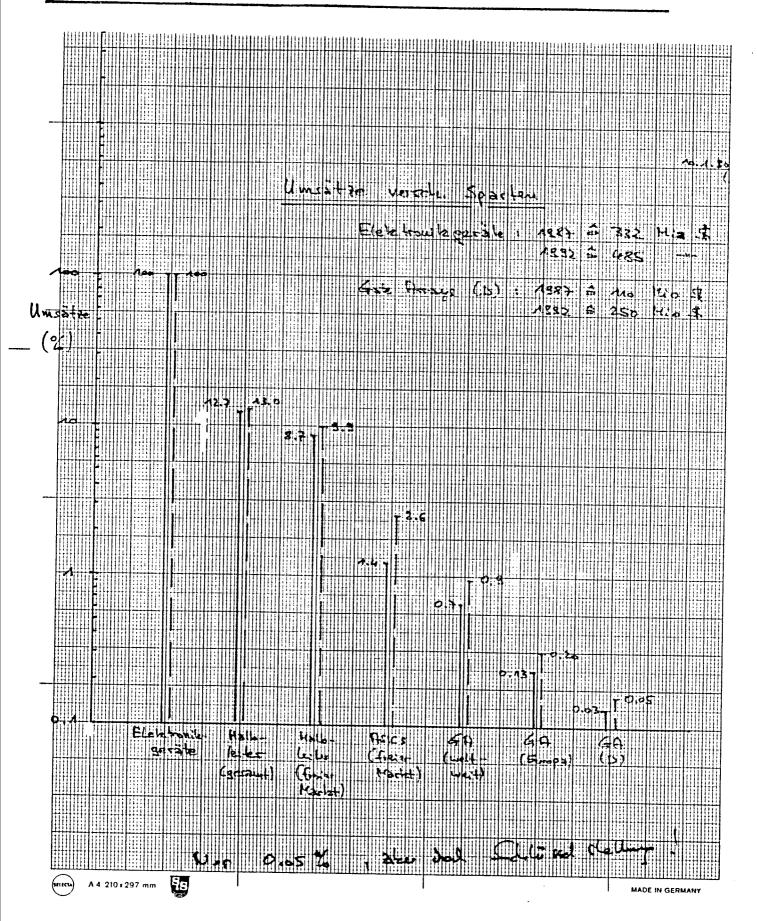


Figure 6-6. Worldwide Gate Array Market by Geographical Sector





Rang	Firmenname		1987		1988			
		BIPOLAR	MOS	TOTAL	BIPOLAR	MOS	TOTAL	
88	FUJITSU	240	150	390	290	235	525	
(2)	NEC	84	185	269	110	250	360	
3	LSI LOGIC		250	250	_	350	350	
3	TOSHIBA	_	200	200	-	260	260	
5	MOTOROLA	95	8	103	115	15	130	
6	HONEYWELL	33	67	100	40	80	120	
7	PLESSEY/FERRANTI	65	15	80	75	25	100	
8	HITACHI	30	36	66	40	60	100	
9	AT&T	60	-	60	60	-	60	
மி	SEIKO-EPSON	-	47	47	-	60	60	
11	SIEMENS	40	1	41	40	3	43	
6	MATSUSHITA	· -	40	40	-	80	80	
13	NATIONAL SEMIC.	_	38	38		48	48	
14	MARCONI		30	30		32	32	
15	GOULD	_	30	30	_	35	35	
6	OKI		30	30		45	45	
17	VLSI TECHNOLOGY		27	27		4,0	40	
18	GE SOLID STATE	-	26	26	-	25	35	
(9)	MITSUBISHI	-	25	25	_	40	40	
20	AMCC	24	-	24	27		27	
21	TEXAS INSTRUMENTS	6	9	15	9	13	22	
22	RICOH	-	15	15		25	25	
23	SGS-THOMSON		14	14	-	25	25	
24	SIGNETICS	12	-	12	15	e-um	15	
?5	CDI	-	. 11	11		18	18	
26	IMI	-	10	10		12	12	
TOTAL		689	1264	1953	821	1786	2607	
Andere		13	84	97	44	119	163	
TOTAL .		702	1348	2050	865	1905	2770	

Die größten Gate-Arrav-Hersteller mit ihren Umsatzzahlen (in Millionen Dollar)

Quelle: ICE

Table 1
Estimated Worldwide Gate Array
Design Starts

•	Design Starts				lay U			
	1985	1986	1987	1988	1989	1990	1991	1992
Total Design Starts	8,795	10,377	11,603	13,668	15,837	17.614	20,621	24,040
MOS ·	6,096	7,776	8,815	10,631	12,638	14,298	17,006	20,065
Bipolar	2,699	2,601	2,788	3,037	3,199	3,316	3,614	3,975
Merchant Design Starts	6,341	7,559	8,573	10,242	12,011	13,482	15,936	18,748
HOS	4,560	5,894	6,761	8,249	9,896	11,284	13,541	16,114
Bipolar	1,781	1,665	1,612	1,993	2,113	2,198	2,395	2,634
Intracompany Design Starts	2,454	2,818	3,030	3,427	3,826	4,132	4,685	5,292
HOS	1,536	1,882	2,054	2,383	2,740	3,014	3,466	3,951
Bipolar	918	936	976	1,044	1,086	1,118	1,219	1,341

Source: Dataquest July 1988

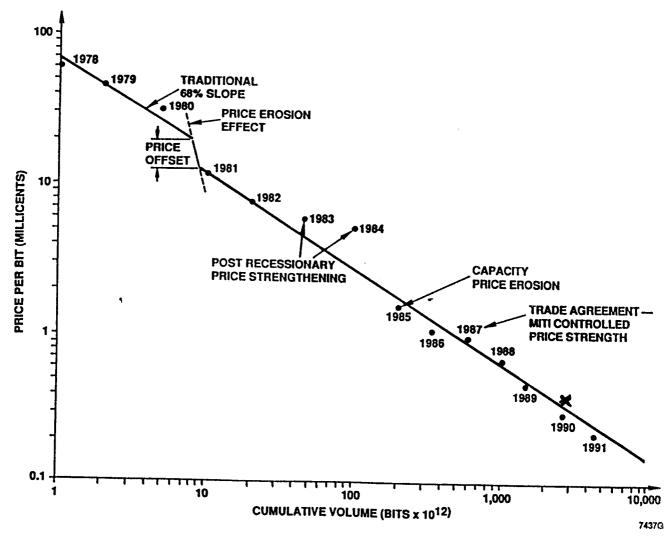
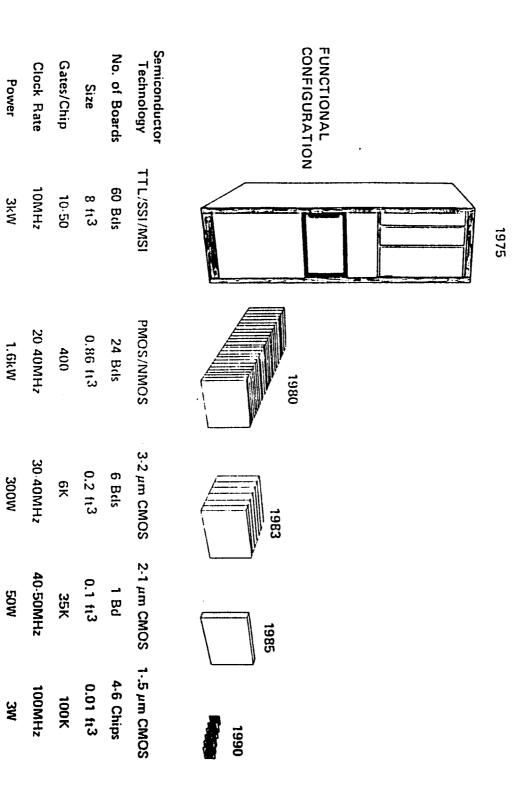
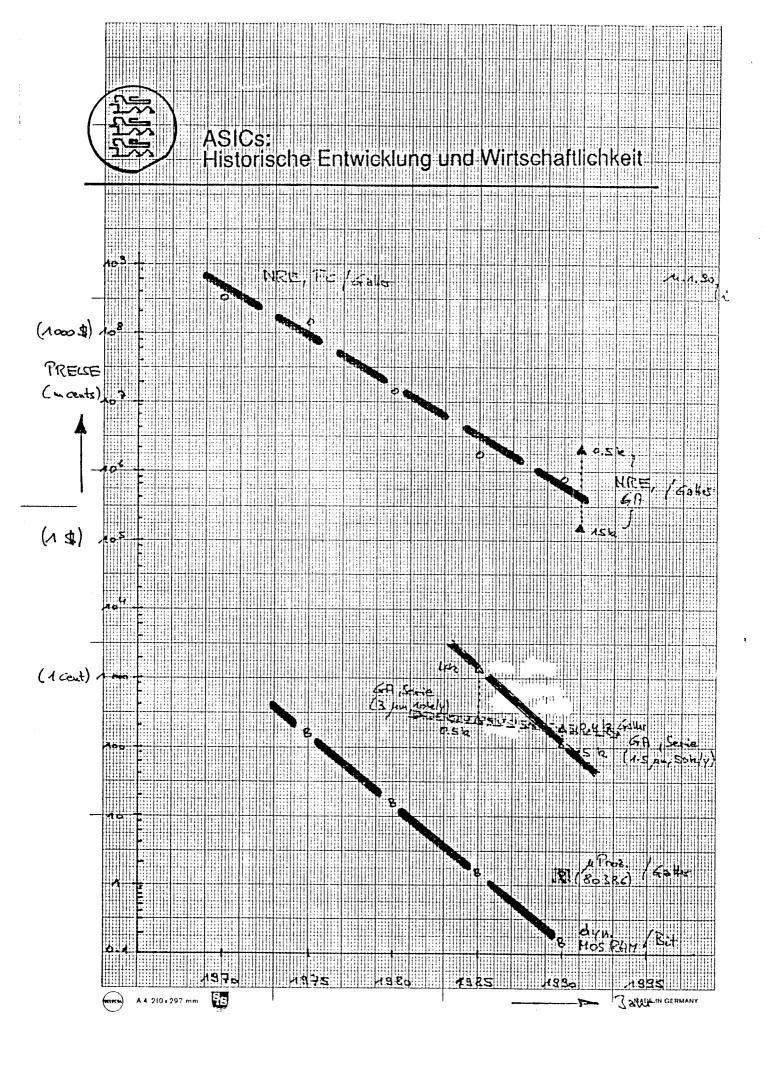


Figure 7-53. Price Curve for MOS Dynamic RAM

SEMICONDUCTOR TECHNOLOGY IMPACT AT SYSTEMS LEVEL



Courtesy of Integrated Circuit Engineering Corp.



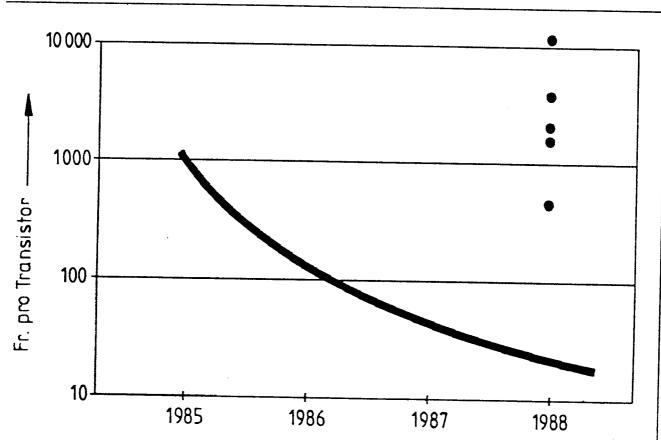
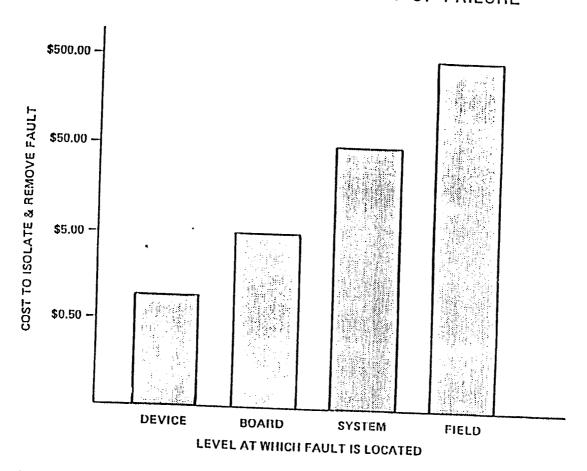


Bild 1. "Lernkurve" bei Dectroswiss (durchgezogene Linie): Durch stetige Verbesserung der Effektivität und Produktivität rd im 4.Jahr das unter Profis übliche Kostenniveau erreicht (für Prototypen, in sFr. je Transistor für gemischt digital/analoge Schaltungen, mit typisch 10 000 Transistoren Komplexität); Größe des ASIC-Zentrums: 20 Mitarbeiter. Die Punkte geben Momentaufnahmen singulärer ASIC-Aktivitäten (2–5 Mitarb./Gruppe) eines Großkonzerns wieder: Zusätzlich zu den höheren Kosten je Transistor dürfte auch die Lernkurve wegen des geringeren Spezialisierungsgrades und nur "Teilzeit-ASIC-Einsatzes" deutlich flacher verlaufen

REPAIR COSTS RELATED TO POINT OF FAILURE



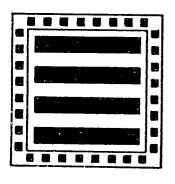
Courtesy of Integrated Circuit Engineering Corp.

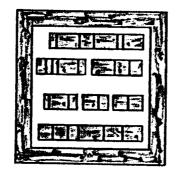
7052

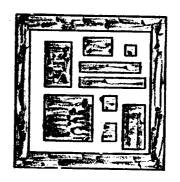
FIGURE 2-71

DESIGN OF CUSTOM ICS

• DESIGN METHODOLOGIES







Gate Array

Fixed chip size

Fixed cell count

Fixed basic cell

Fixed routing ch.

Fixed pin count

Standard Cells

variable chip size
variable cell count
fixed cell height
variable routing ch.
variable pin count
variable cell width

Full Custom (man. layout)

variable chip size

variable cell count

variable cell size

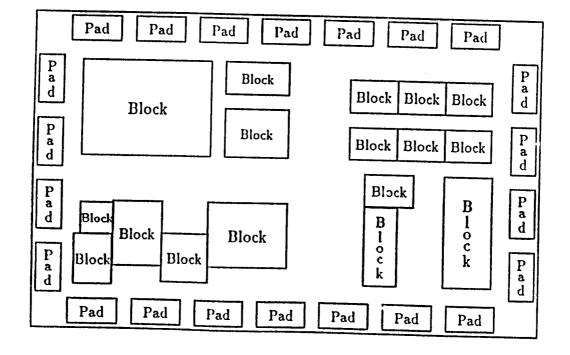
variable routing channel

variable pin count

 $\frac{\text{Fig. l}:}{\text{Designed Integrated Circuits}}$

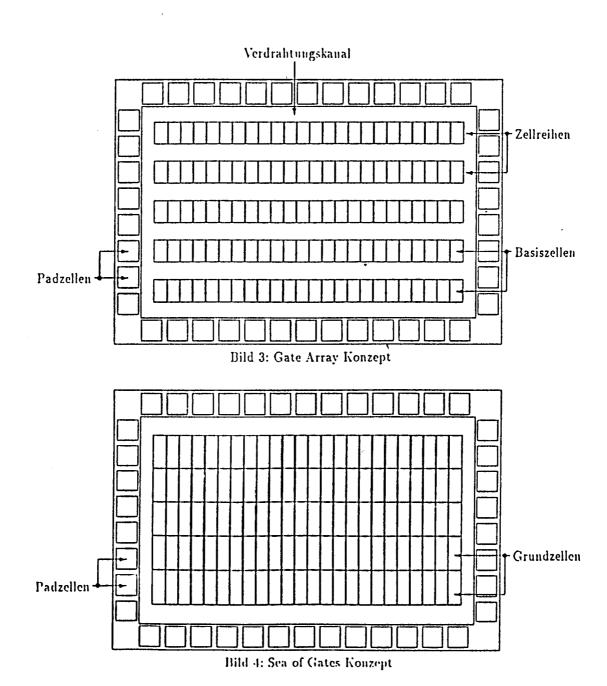
Réference : Journées d'Electronique et de Microtechnique, Lausanne, 1984.

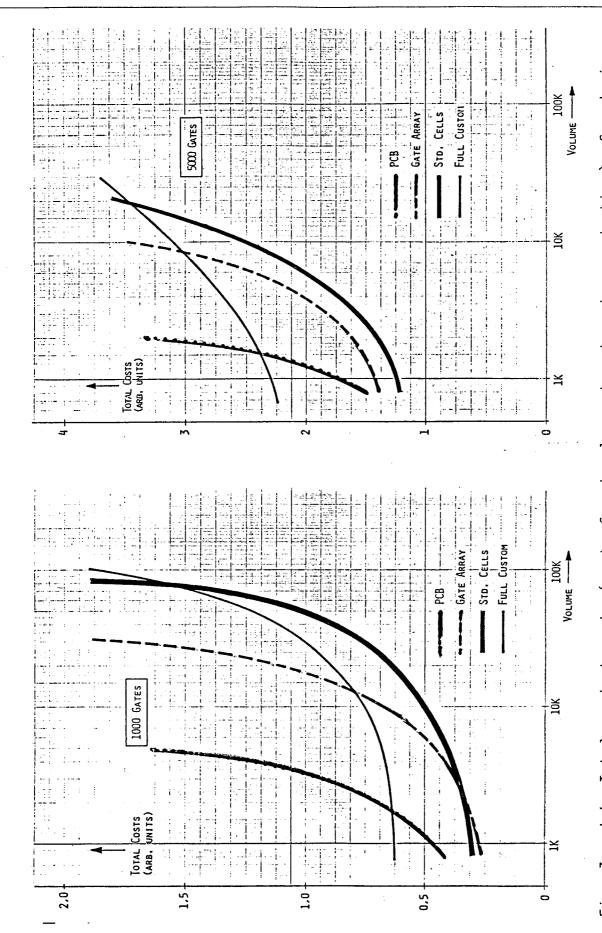




Vollkundenschaltung

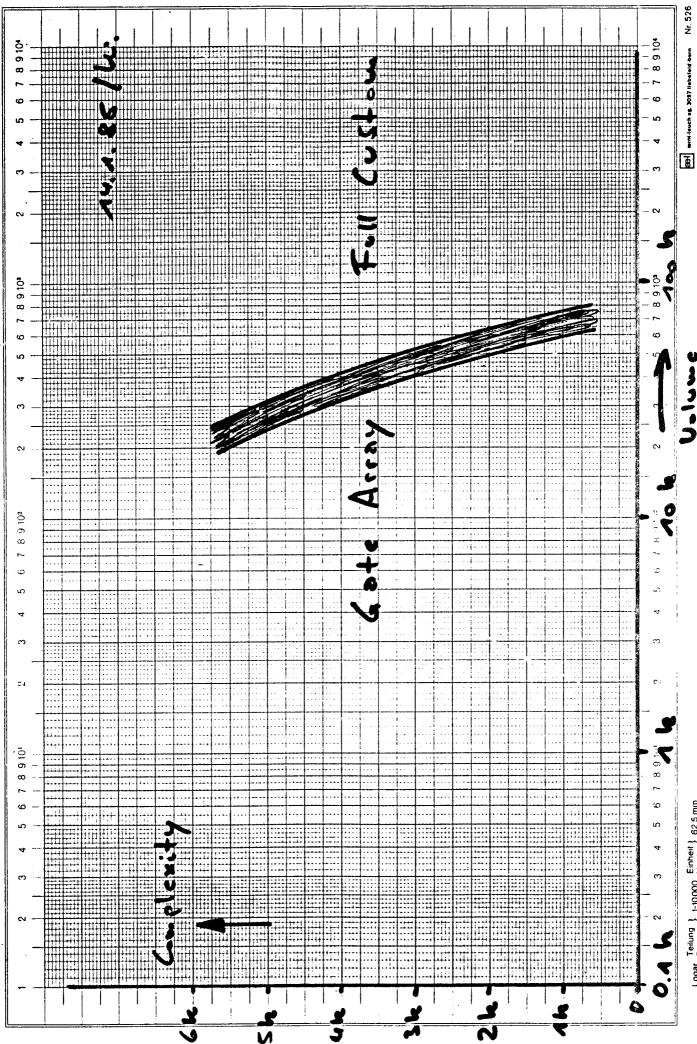






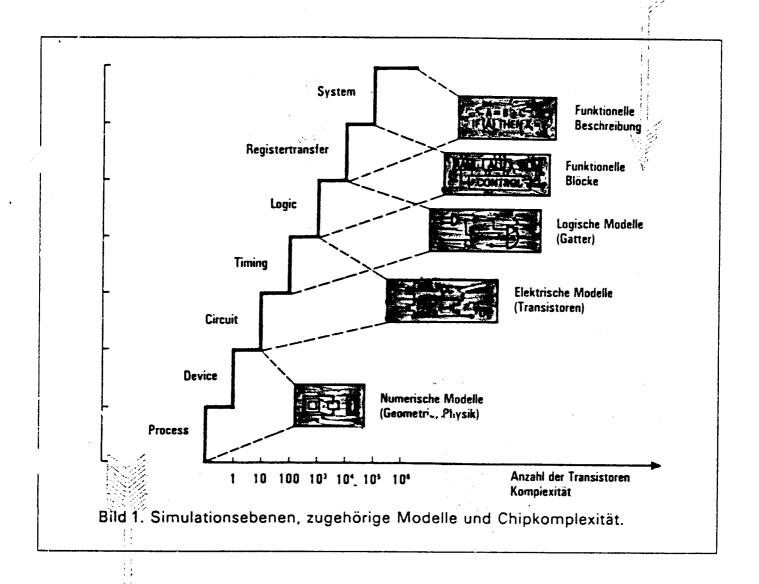
a function of volume. 150 and 650 development costs resp., 300 and 1200 volume Total project costs (costs for development and series production) of a device with 1000 and 5000 gates resp. as Assumptions used for PCB solution: and 4:

Réference : Journées d'Electronique et de Microtechnique, Lausanne, 1984.



Logar Teitung } 1-10000 Einheit } 62.5 mm

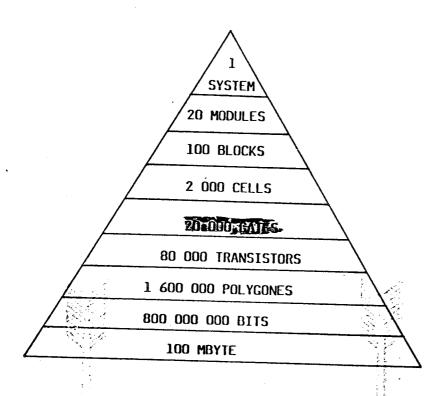
INTRODUCTION: LEVELS OF HIERARCHY



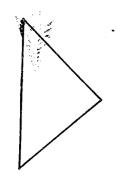
Source: H. Rüchardt, NTG-Fachbericht 86 VDE Verlag 1984

INTRODUCTION

SUPPORT BY COMPUTER



Number of units per level or hierarchy



These amounts of data cannot be handled furthermore "manually"

Gate Forest

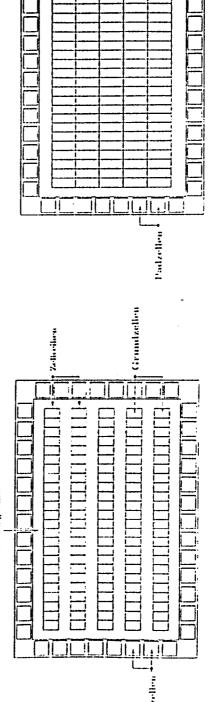
1.1 Semi-Custom Arrays

Gate Array

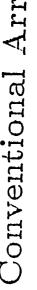
Grundzellen mit 2-4 Transistoren Zellreihen wechseln sich mit Verdrahtungskanälen ab

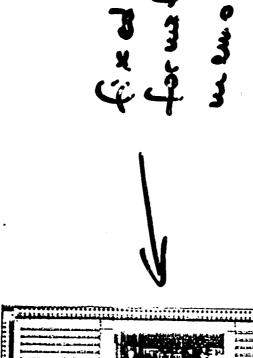
Sea of Gates

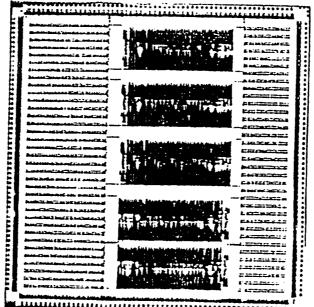
Regelmäßige Anordnung der Grundzellen keine expliziten Verdrahtungskanäle



Conventional Array





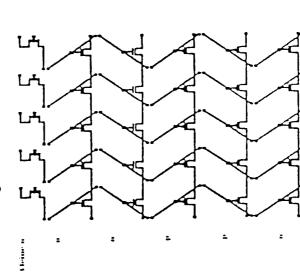




C. Y. LSI LOGIC CORPORATION

1.2 Aufbau des Gate Forest **Gate Forest**

Anordnung der Grundzellen (Makroarchitektur): Gate Isolation und geometrische Isolation



Technologie

: 2µm zwei Metallagen P-Wannen CMOS

mehrere Array-Größen : bis zu 280 000 Transistoren Array Dichte : 2050 Transistoren/mm²

Array Dichte

Gate Forest Grundzelle (Mikroarchitektur):

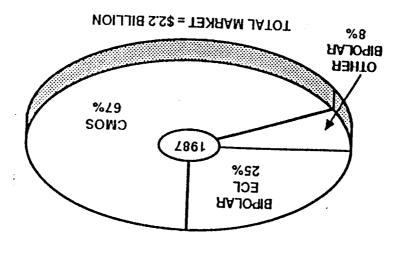
1 P-Kanal Transistor (W = 14 µm)

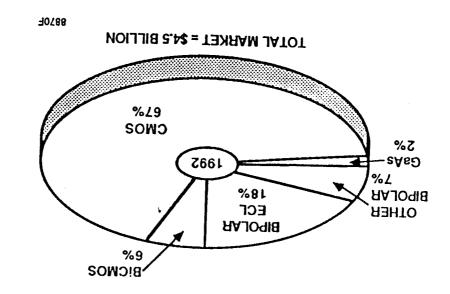
2 N-Kanal Transistoren (W = 9 μm)

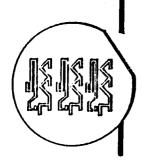
1 N-Kanal Transistor (W = 4 µm)

Verhältnis P:N = 1:3

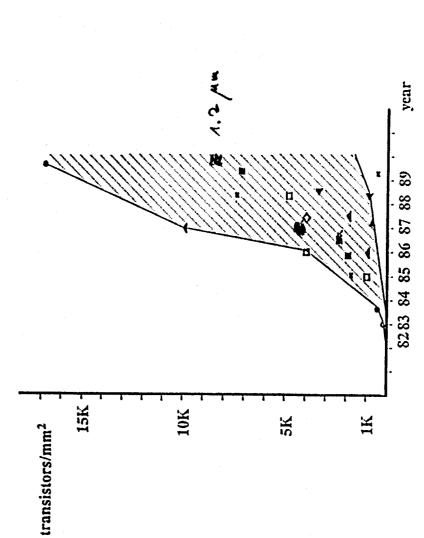
45° -Orientierung der Poly-Gates







Second Generation Semi-Custom Arrays



Hughes
Sperry
VLSI Technology
Motorola
Fujitsu

= Mitsubishi= Hitachi

SWI = MS

= Toshiba

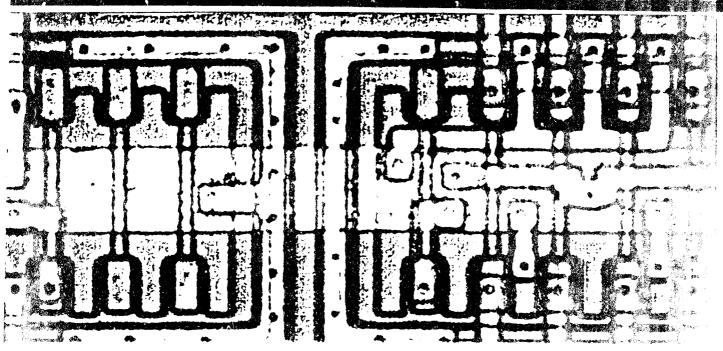
n = LSI Logic Inc.

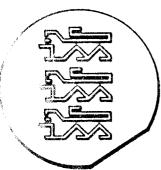




ASICs: Historische Entwicklung und Wirtschaftlichkeit

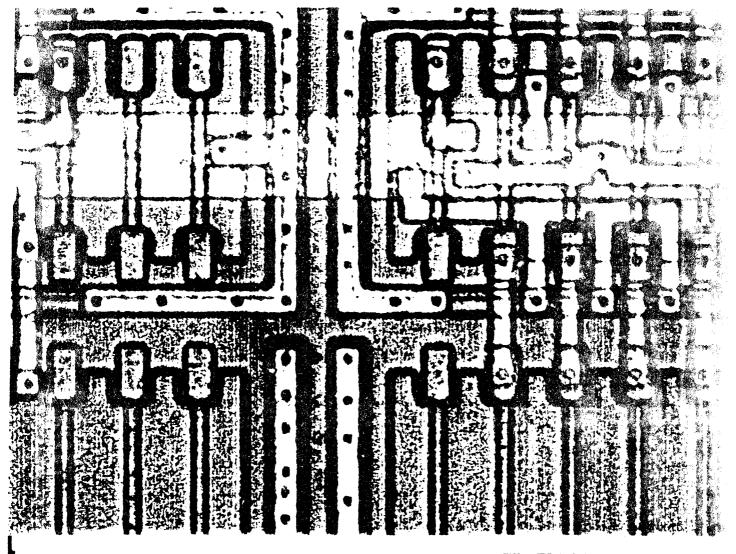
Variante	Nutzbare Chipgröße in mm (gerundet)	Nutzfläche in mm ² (gerundet)	Transistor- anzahl x10 ³	Padanzahi (I/O)	2-Input NAND Gate Äquivalent x10 ³
GFXX1 GFXX2 GFXX4 GFXX9S	13,3 x 13,3 9,6 x 8,8 6,7 x 6,6 4,3 x 4,3	177 84 44 18	284 119 53 16	220 134 96 56	28,4 12,0 5,3





Design and Analysis of Semi-Custom Architectures

Michiel A. Beunder Institute for Microelectronics Stuttgart West-Germany



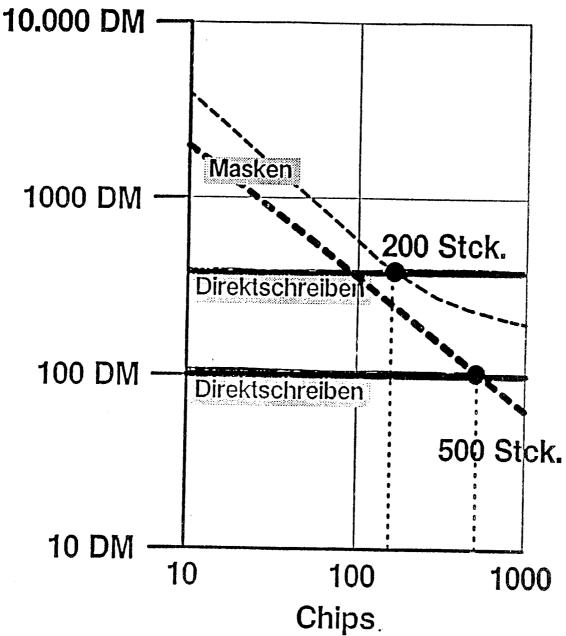


IMS VLSI High-ASIC-Strategie

1. CMOS Semicustoum

Logik sowie frei-formatierte PLA's und Speicher (ROM, Multi-Port RAM, CAM) auf dem gleichen Chip

- 2. Personalisieren durch schnelles direktes Elektronenstrahlschreiben auf dem Wafer
- 3. Komplette Technologie für 0,5 um Gates und 3 um Metall-Pitch
- 4. Offenes Design-Interface, vorzugsweise für Logik- und Symbol-Ebene
- 5. Kooperationsprojekt mit potenten Anwendern



==== : 10⁵ Gatter/Chip

:5·10⁴ Gatter/Chip

(ohne Gehäuse)

Das dreiteitige Mittelstandsprogramm des Instituts für Mikroelektronik Stuttgart wurde 1988 erfolgreich implementiert. Neben dem Beratungsprogramm und bilateralen Projekten mit mittelständischen Unternehmen wurden drei mögliche Schwerpunktprogramme in mehreren Workshops, an denen über 20 Firmen teilnahmen, definiert.

Zwei Programme konnten gestartet werden, indem Entwicklungsziele, die Partnerschaft und die finanzielle Beteiligung mit jeweils vier Firmen vertraglich vereinbart wurden.

Das eine Programm betrifft einen personalisierbaren Analog/Digital-Umsetzer, der auf einem Chip mit über 2.000 nutzbaren Gattern CMOS-Logik in einem Standard-CMOS-Prozess integriert ist. Abbildung I zeigt ein Blockdiagramm dieses Chips. Das Chip soll mehrere Analog-Signale je nach Anwendung mit 8- bis 12-bit Genauigkeit digital umsetzen und soviel digitale Logik bieten, daß, wiederum je nach Anwendung, einfache Signalverarbeitungsaufgaben, Controller-Funktionen oder Schnittstellen zu verschiedenen Datenbussen implementiert werden können.

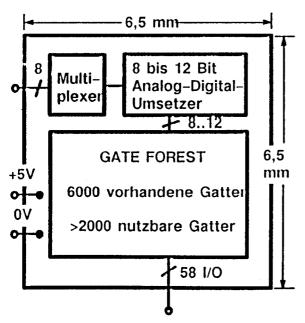


Abb. 1: Blockdiagramm eines Chips, mit dem bis zu acht Analog-Signale in Digital-Signale mit 8...12bit Genauigkeit umgesetzt werden und für die digitale Weiterverarbeitung 6.000 Gatterplätze zur Verfügung stehen. Mit der Personalisierung der Gatterfunktionen wird zugleich der Multiplexer und der Analog/Digital-Umsetzer für die spezifische Anwendung personalisiert.

Dabei sollen für die jeweilige spezifische Anwendung des Chips die Entwicklungs-, Werkzeug- sowie Herstellkosten und Zeit minimiert werden. Es wird eine Semicustom-Lösung erarbeitet, deren Features allen Entwicklungspartnern und anderen Anwendern gleichermaßen nützt, und die schnell sowie kostengünstig für den einzelnen Anwender spezifisch und unter Schutz seines Know-Hows personalisiert werden kann.

Der Chip-Master enthält einen auf einen industriellen Standard-CMOS-Prozess schnittenen und mit 5V betriebenen genauen Digital/Analog-Umsetzer sowie einen GATE FOREST mit 35.000 Transistoren, die 6.000 Gatteräquivalenten entsprechen. Die Chips werden auf Scheiben in großen Losen zu 80% einheitlich vorgefertigt. Die Personalisierung findet dann in vier spezifisch hergestellten Ebenen (2 Kontaktloch- und 2 Metallisierungsebenen) statt. Für diese Personalisierung wird das am Institut schnelle Direktschreiben von Strukturen mit dem Elektronenstrahl eingesetzt. Damit können auch kleinste Stückzahlen wirtschaftlich und schnell hergestellt werden.

Die Entwicklungspartner bei diesem Projekt sind Boehringer (Mannheim), Hellige (Freiburg), IKA Analysentechnik (Heitersheim), LTG Lufttechnische Gesellschaft (Stuttgart).

Wie das erste Projekt, reflektiert auch das zweite typische Problemstellungen in der Industrieelektronik. Während das erste zeigt, daß man in der Industrieelektronik immer irgendwie von analogen Eingangssignalen auszugehen hat, zeigt das zweite, daß die Digital-Technik ausgangsseitig häufig Signalhübe von 24-40V und höhere Ströme anbieten muß, als die 5V-Digital-Technik normalerweise bietet. Durch entsprechende Vorarbeiten hatte das Institut gezeigt, daß mit einem industriellen Standard-5V-CMOS-Prozess 60V Transistoren ohne eine Technologieänderung hergestellt werden können (s. Abb. 2b)

Auf dieser Grundlage wurde mit einer weiteren Firmengruppe ein Chip spezifiziert, dessen Blockdiagramm in Abbildung 2a wiedergegeben ist. Wiederum handelt es sich um ein Master-Konzept mit über 35.000 GATE FOREST Transistoren, wobei nun auf dem gleichen Chip 16 Elementar-Transistoren mitintegriert sind, die -angesteuert von 5V-Spannungshübe bis 40V und Ströme von

25 mA je Element liefern. Zusätzlich ist eine Kurzschlußsicherung und eine Temperaturüberwachung integriert. Für eine spezifische Anwendung sind wiederum Kosten und Zeit dadurch minimiert, daß Silizium-Scheiben in großen Losen 80% vorgefertigt bereitstehen und mit der nachfolgenden, anwendungsspezisischen Personalisierung über 2.000 spezisische digitale Gatterfunktionen eine spezifische Zusammenschaltung der Hochspannungs-Elementar-Transistoren ie Strombedarf und die Einstellung spezifizierter Kurzschlußströme sowie Temperaturgrenzen erfolgt. Auch hier kann für das Personalisieren optimal das Direktschreiben mit dem Elektronenstrahl eingesetzt werden.

An diesem Projekt sind die Firmen Autodisplay (Stuttgart), Gebhard Balluff (Leinfelden), Bizerba Werke (Balingen), RAFI (Ravensburg) beteiligt.

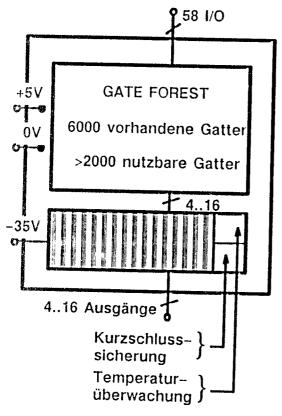
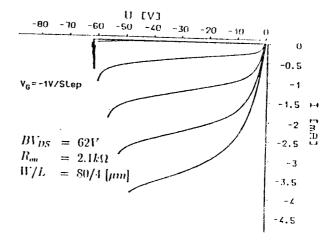


Abb. 2a: Blockdiagramm eines Mikrochips, auf dem neben 35.000 5V Transistoren 16 40V Transistoren für Ausgangstreiber zur Verfügung stehen. Zugleich mit der Personalisierung der Gatterfunktionen wird die Zahl der tatsächlich benötigten Ausgänge und der Strom je Ausgang (bis zu 200 mA) durch Zusammenschalten der Elementar-Transistoren personalisiert.

Hervorzuheben ist an diesem Programm, daß hier in einer Entwicklungsgemeinschaft mit mittelständischen Anwendern eine richtungsweisende Chip-Spezifikation und -Entwicklung initiiert wurde, die mit größter Wahrscheinlichkeit auch für andere mittelsständische Unternehmen von Nutzen sein wird, und daß die Industriepartner hier Pionierarbeit geleistet haben, die ihrer Industrie allgemein zugute kommen wird.

Anzumerken ist auch, daß dieses Projekt essentiell von der Möglichkeit des Direktschreibens mit dem Elektronenstrahl profitiert, die es am IMS nur infolge der weitsichtigen und substantiellen Forschungsförderung durch Bund, Land und die Großindustrie gibt.



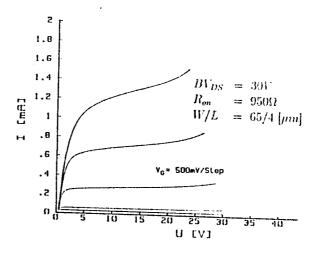


Abb. 2b: Ausgangskennlinienfelder von PMOS- (oben) und NMOS- (unten) Hochspannungstransistoren, die mit dem Standard-5V-CMOS-Prozess am Institut entwickelt und hergestellt wurden.

Ø Ø Ø Ø • Ø 0 0 Q 4 8 a ₽ 0000000 <u>ប្រជាសិទ្ធខ្មុជាប្រជា</u> ស្ថេច០០០០០២២ 8.8.8.888888888 p 0 THUJIFIER OF T

THE SECRET PROPERTY AND ADDRESS OF THE SECRET PROPERTY PROPERTY OF THE SECRET PROPERTY PROPERTY OF THE SECRET PROP

一年

29 10

Đ

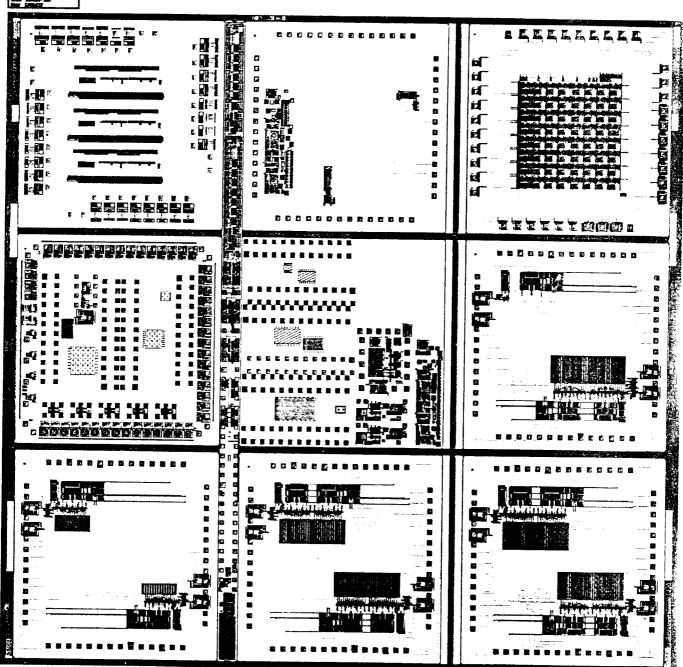
0000

0000

യായിയ

0 8

CIG. 0 0 98 0000 0 0 0 000 da. 0 0 C G 0 - D **a a** 0000 jo P ďυ. 0 0 000 ERSENDING ARCHIVE M 8 8 8 8 8 8 8 8 8 8 C) a 🔝 G D 即山東 45 0 0 (2) D 0 B 0 9 He L 6 · 8 77-10 Ø ្រាស់ ព្រះ



Manager 10



ASICs: I-listorische Entwicklung und Wirtschaftlichkeit

5. AUSBLICK / TRENDS

TECHNOLOGIE

- CMOS wird weiter skaliert bis Sub um-Bereich und dominante Technologie bleiben, getrieben durch Speicherentwicklung
- Bipolar hat feste analoge Nischen
- BICMOS eher zögernd zugenommen, weil Hybrid-Lösungen attraktiver sind
- Elektronenstrahl-Direktschreiben erlaubt schnelles und kostengünstiges Prototyping, speziell für kleine Stückzahlen
- Komplexitäten bis 100 Mia (10¹¹) Transistoren möglich -> Ein-Chip-System
- Testbarkeit wird mitentscheidend sein, ob die technologischen Möglichkeiten überhaupt ausgenutzt werden können

ASICs: Historische Entwicklung und Wirtschaftlichkeit

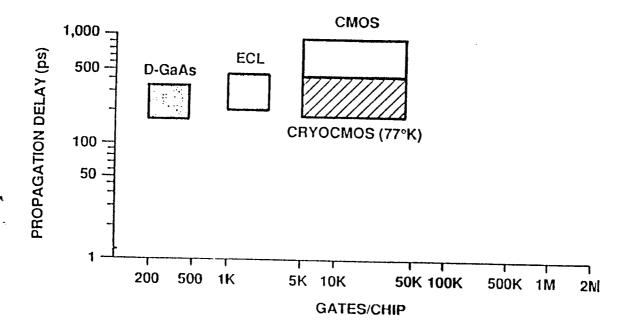


Figure 5-7. CryoCMOS Speed Performance

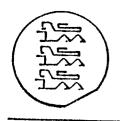


ASICs: Historische Entwicklung und Wirtschaftlichkeit

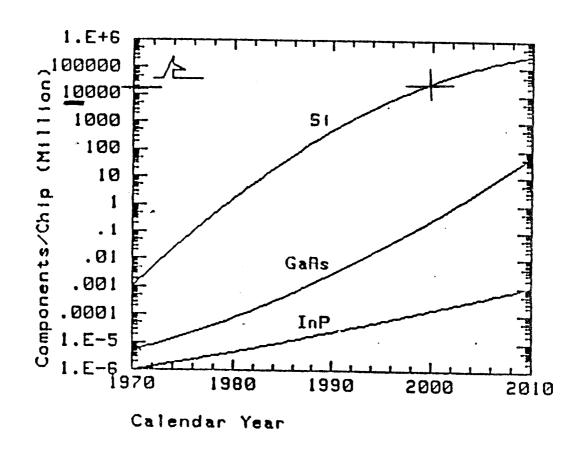
AUSBLICK / TRENDS

HARDWARE / SOFTWARE

- Kostengünstige Workstations (UNIX), für jeden Ingenieur (100 MIPS)
- Schaffung einer "integrierten Design-Umgebung ("framework"): mit geeigneten Schnittstellen
 - Öffnung käuflicher Design-Systeme (CADENCE, SCS)
 - Verknüpfung mit Bibliotheken der Halbleiterhersteller bewirkt "Single Sourcing"
- Designs direkt von System-Ingenieuren (Kunde), wobei bei digitalen Schaltungen die "Schlauheit" im Programm steckt



ASICs: I-listorische Entwicklung und Wirtschaftlichkeit



Integration Complexity Trends

Fachbochschule Aalen Fachbereich Elektronik

Programm zur Berechnung des zeit- und frequenzabhängigen Sperrschichttemperaturverlaufs von Leistungshalbleitern mit Kühlkörpermontage

Verfasser: Prof. Rudolf Rudloff

Präsentation: Workshop an der Fachhochschule Mannheim,

12. Januar 1990



Programm zur Berechnung des zeit- und frequenzabhängigen Sperrschichttemperaturverlaufs von Leistungshalbleitern mit Kühlkörpermontage

<u> Übersicht:</u> Das Programm ST (Sperrschicht-Temperatur) bietet dem Anwender ein leistungsfähiges Werkzeug zur Berechnung der zeit- und frequenzabhängigen Sperrschichttemperturänderungen von Leistungshalbleitern mit Kühlkörpermontage. Folgende zeitabhängige Verlustleistungsverläufe P(t) stehen zur Verfügung: Sprungfunktion, Rechteck mit einstellbarem Tastverhältnis und Treppenfunktion mit fünfzig einstellbaren Treppenstufen. Es lassen sich der Einschwingvorgang in einem vorzugebenden Zeitbereich und der eingeschwungene Zustand berechnen. Zur Bestimmung des Frequenzgangs der Sperrschichttemperaturänderung berechnet das Programm den Frequenzgang des thermischen Widerstandes $\underline{Z}(w) = \underline{\mathscr{G}}(w)/\underline{P}(w)$. Grafische und tabellarische Ausgabe der Rechenergebnisse sind möglich. Die allen Rechnungen zugrunde liegenden thermischen Ersatzbilder in Partialbruchschaltung des Leistungshalbleiters und des Kühlkörpers können vom Anwender direkt eingegeben und auch nachträglich noch geändert werden. Sind die sog. normierten transienten Wärmewiderstände r, (t) der Bauelemente bekannt, dann berechnet das Programm die thermischen Ersatzbilder in Partialbruchschaltung aus den einzugebenden Wertetabellen r, (k). Der Anwender des Programms ST wird durch eine leicht verständliche Menüführung unterstützt.

1 Der transiente Wärmewiderstand

Nach DIN 41 862 ist der transiente Wärmewiderstand $Z_{th}(t)$ (eines Halbleiterbauteils) der Quotient aus Sprungantwort der inneren Ersatztemperaturänderung $\Delta \hat{V}_j(t)$ (Ersatzsperrschichttemperatur-Änderung) gegenüber einem äußeren thermischen Bezugspunkt mit konstanter Temperatur \hat{V}_c (Gehäuse) und Sprunghöhe P_o der sprungförmigen Verlustleistungsänderung $P(t) = P_o \cdot \sigma(t)$, die diese Temperaturänderung verursacht. Es wird vorausgesetzt, daß das Halbleiterbauteil für t < 0 die konstante Bezugstemperatur \hat{V}_c angenommen hatte.

Normierung mit $Z_{th}^{(\infty)}$ ergibt den normierten transienten Wärme-widerstand $r(t) = Z_{th}^{(\infty)}(t)/Z_{th}^{(\infty)}$.

Bei Kenntnis des transienten Wärmewiderstands ist es möglich, die Elemente eines vereinfachten thermischen Ersatzbildes des Halbleiterbauteils zur Berechnung des dynamischen Verhaltens seiner Sperrschichttemperatur zu bestimmen. Da inzwischen viele Halbleiterhersteller [7] [8] [9] den normierten transienten Wärmewiderstand im Datenblatt angeben (Abb. 1), kann davon ausgegangen werden, daß in der Praxis häufiger als bisher das dynamische Verhalten der Sperrschichttemperatur berechnet wird. Um dieser Tatsache Rechnung zu tragen, wurde unter Auswertung einschlägiger Veröffentlichungen [1.1] [1.2] [1.3] [1.4] im Rahmen mehrerer Studienarbeiten [1] [2] [3] und einer Diplomarbeit [4] das Programm Sperrschicht-Temperatur geschrieben, das die von Hand nicht mehr zu bewältigenden Berechnungen ausführt.

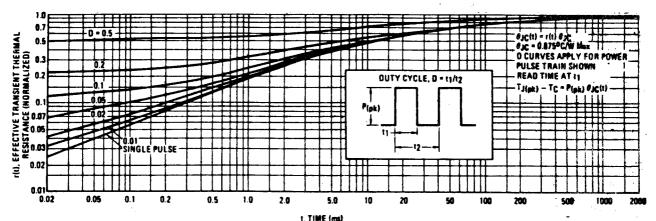


Abb. 1: Normierter trans. Widerstand des Transistors 2N3771

1.1 Elemente eines thermischen Ersatzbildes

Zur Berechnung des Sperrschichttemperaturverlaufs soll ein Analogiemodell herangezogen werden, das auf Analogien zwischen thermischen und elektrischen Gesetzmäßigkeiten beruht. Es wird dadurch möglich, ein dem Elektroniker leicht verständliches Ersatzbild mit elektrischen Schaltzeichen zu entwickeln. Aus der Wärmelehre und der Elektrotechnik sind folgende Gesetzmäßigkeiten bekannt:

Wärmemengenänderung:

Anderung einer el. Ladung:

$$Q_{th} = \underset{\mathcal{V}_{1}}{\text{min}} \int_{1}^{\mathcal{V}_{2}} C(\mathbf{u}) d\mathbf{u}. \qquad (1) \quad (2)$$

Wärmemenge:

Elektrische Ladung:

$$Q_{th} = \int \Phi(t)dt + K_1.$$
 $Q_{el} = \int i(t)dt + K_2.$ (3) (4)

Die Gl.(1) bis (4) liefern die nachstehend zusammengestellten Analogien [1.2DIN 41 862 Beiblatt].

Thermische Kenngröß	Elektrische Kenngröße	
Wärmemenge Q _{th}	in W	Ladung Q _{el} = Q in As
Wärmekapazität C _{th} = m·c	in Ws	Kapazität $C_{el} = C$ in $\frac{As}{V}$
Wärmewiderstand (Thermischer Wid.) Rth	in $\frac{K}{W}$	Widerstand $R_{el} = R in \frac{V}{A}$
Temperaturunterschied $\triangle \vartheta$		Spannung u _{el} = u in V
Wärmestrom $\Phi = P$	in W	Strom i _{el} = i in A
Zeitkonstante Tth= RthCt	h ^{in s}	Zeitkonstante T = R·C in s

Der thermische Widerstand wird in Analogie zum elektrischen Widerstand gemäß Abb. 2 definiert.

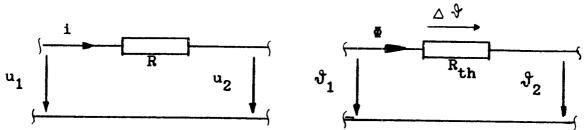


Abb. 2: Zur Definition des Wärmewiderstands

1.2 Vereinfachtes thermisches Ersatzbild eines Leistungstransistors

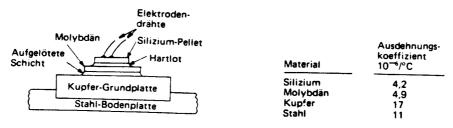
Abb. 3 zeigt den typischen Aufbau eines Leistungstransistors, den man unter stark idealisierten Bedingungen als Kettenschaltung mehrerer Stäbe mit unterschiedlichen thermischen Eigenschaften darstellen kann. Zusätzlich wird angenommen, daß der gesamte Wärmestrom von der Kollektorsperrschicht zum Gehäuse fließt, und die Wärmestromdichte über der jeweiligen Stabfläche konstant ist. Unter diesen Voraussetzungen kann das thermische Verhalten eines jeden Stabes als das eines eindimensionalen Wärmeleiters durch eine partielle Differentialgleichung vom parabolischen Typ beschrieben werden. Sie lautet:

$$\frac{\delta^2 \vartheta}{\delta x^2} - R'_{\text{thi}} \cdot C'_{\text{thi}} \cdot \frac{\delta \vartheta}{\delta t} = 0 \quad \text{bzw.} \quad -\frac{\delta \vartheta}{\delta x} = \Phi \cdot R'_{\text{thi}} \text{ und}$$
 (5) (6)

$$-\frac{\delta\Phi}{\delta x} = \frac{\delta \mathcal{J}}{\delta t} \cdot \text{C'} \text{thi} \quad \text{mit R'}_{thi} = \text{Wärmewiderstandsbelag}$$

$$\text{und C'}_{thi} = \text{thermischer Kapazitätsbelag des}$$

$$\text{Stabes i.}$$



Typische Hartlot-Montage

Abb. 3: Leistungstransistor mit Hartlotmontage

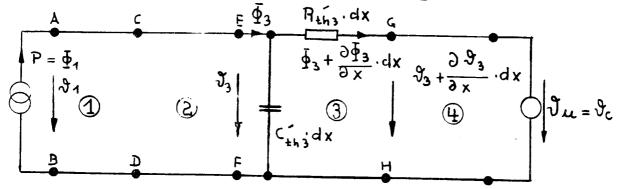


Abb. 4: Thermisches Ersatzbild des Stabmodells

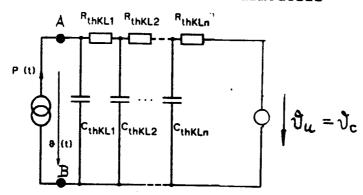


Abb. 5: Ersatzbild bei Approximation der homogenen R'thC'th-Leitungen durch einen Kettenleiter

Das aufgrund der Gl. (5) bis (7) in Abb. 4 gewonnene thermische Ersatzbild ist jedoch für die praktische Anwendung immer noch zu aufwendig. Es hat sich gezeigt, daß eine Approximation der homogenen Leitungsstücke in Abb. 4 durch eine endliche Zahl von konzentrierten thermischen Kapazitäten und Wärmewiderständen gemäß Abb. 5 zu brauchbaren Ergebnissen führt. Dies ist insbesondere deshalb möglich, weil die Temperaturänderung nur an der Stelle der sog. Ersatzsperrschicht A - B interessiert. Da es sich um ein lineares Netzwerk handelt, wird zur Berechnung der Temperaturänderung die Bezugstemperatur 3 gleich null gesetzt.

Die aus den physikalischen Gegebenheiten gewonnene Kettenleiterschaltung in Abb. 5 wird nun in eine für die Berechnung des transienten Wärmewiderstandes besser geeignete Partialbruchschaltung umgerechnet, die bezüglich der Punkte A - B der Kettenleiterschaltung äquivalent ist (Abb. 6).

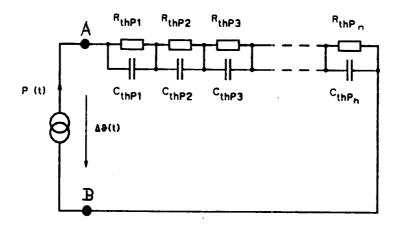


Abb. 6: Bezüglich der Punkte A - B zur Kettenschaltung äquivalente Partialbruchschaltung

Mit Abb. 6 erhält man die Sprungantwort der Temperaturänderung $\triangle \vartheta(t)$ an den Punkten A - B auf einen Verlustleistungssprung $P(t) = P_o \cdot \sigma(t)$ für ein System ohne Vergangenheit:

$$\triangle \mathfrak{J}(t) = P_0 \cdot \sum_{i=1}^{n} R_{thPi} \cdot (1 - e^{-t/T_{thPi}}) \quad \text{mit} \quad T_{thPi} = R_{thPi} \cdot C_{thPi}.$$
(8)

Aus Gl. (8) ergibt sich die Näherung des transienten Wärmewiderstands

$$Z_{thn}(t) = \frac{\Delta \vartheta(t)}{P_o} = Z_{thn}(\infty) \cdot r_n(t) \quad mit$$
 (9)

$$Z_{thn}(\infty) = \sum_{i=1}^{n} R_{thPi}.$$
 (10)

Es besteht nun die Aufgabe, den vom Hersteller angegebenen Verlauf $Z_{\rm th}(t) = Z_{\rm th}(\infty) \cdot r(t)$ durch den in Gl. (9) angebenen Verlauf $Z_{\rm thn}(t)$ anzunähern.

1.3 Verfahren zur Berechnung der Elemente der Näherung des thermischen Ersatzbildes

Das in [1.4] beschriebene und in [1] angewandte numerische Verfahren zur Exponentialapproximation von transienten Wärmewiderständen liefert die Größen n, $R_{\mbox{thPi}}$ und $T_{\mbox{thpi}}$ der Näherung $Z_{\mbox{thn}}(t)$ in einem zweiteiligen Approximationverfahren.

Teil 1

Mit den Gl. (9) und (10) wird definiert:

$$z_{n}(t) = Z_{thn}(\infty) - Z_{thn}(t) = \sum_{i=1}^{n} R_{thPi} \cdot e.$$
 (11)

Normieren mit R_{thN} ($^{\bullet}$) und Logarithmieren des Ausdrucks in Gl. (11) ergibt:

$$\ln(z_n^{\bullet}(t)) = z_n^{*}(t) = \ln \sum_{i=1}^{n} R_{thPi}^{\bullet} \cdot e^{-t/T_{thPi}}$$
(12)

Unter der Voraussetzung $T_{th1} > T_{th2} > T_{th3} > \dots$ geht $z_n^*(t)$ für $t \to \infty$ in die Asymptote

$$a_1^*(t) = -\frac{t}{T_{thP1}} + \ln R_{thP1}^{\bullet} \quad \text{über.}$$
 (13)

Mit dem vom Hersteller angegebenen transienten Wärmewiderstand erhält man:

$$z_{th}(t) = Z_{th}(\infty) - Z_{th}(\infty) \cdot r(t) \text{ bzw. } z_{th}^*(t) = \ln z_{th}^{\bullet}(t). \tag{14}$$

 $z_{th}^*(t)$ möge als Wertefolge aus m Werten $z_{th}^*(k)$ mit k = t/T gegeben sein. Ein typischer Verlauf ist in Abb. 7 dargstellt.

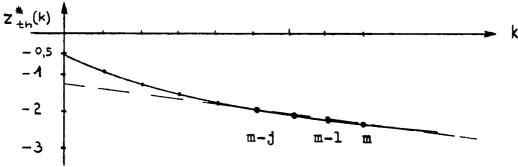


Abb. 7: Gegebener Werteverlauf von z* (k)

Zu den letzten j Werten (Erfahrungswert j = 4) der Wertefolge aus m Werten (Erfahrungswert 8 bis 12 Werte pro Dekade) werden die Werte a und b der in Abb. 7 eingezeichneten Ausgleichsgeraden [1.5]

 $y = a \cdot x + b$ berechnet.

Damit sind die Größen $-1/(T_{\rm thP1}/T)$ = a und ln R $_{\rm thP1}^{\bullet}$ = b bekannt. Bei der Berechnung weiterer (R $_{\rm thPi}$, $T_{\rm thPi}$)-Paare verfährt man nach Subtraktion der jeweils bekannten Exponentialfunktion ebenso:

$$z_{\text{th}}^{\bullet}(k)$$
, $\bar{z}_{\text{th1}}^{\bullet}(k) = z_{\text{th}}^{\bullet}(k) - R_{\text{thP1}}^{\bullet} \cdot e^{-k/(T_{\text{thP1}}/T)}$

$$\bar{z}_{\text{th2}}^{\bullet}(k) = z_{\text{th}}^{\bullet}(k) - R_{\text{thP1}}^{\bullet} \cdot e^{-k/(T_{\text{thP1}}/T)} - R_{\text{thP2}}^{\bullet} \cdot e^{-k/(T_{\text{thP2}}/T)}$$

Das Appoximationverfahren Teil 1 wird bei Erreichen einer Punktezahl kleiner j abgebrochen (bei der Subtraktion können Werte zu null werden). Ein Abbruch erfolgt auch, wenn

 $\sum_{i=1}^{n} R_{thPi}^{\bullet} > Z_{th}^{\bullet}(\infty) \quad \text{geworden ist.} \quad \text{Für den thermischen Wider-}$

stand R_{thPn}^{\bullet} ergibt sich dann:

$$R_{thPn}^{\bullet} = Z_{th}^{\bullet}(\infty) - \sum_{i=1}^{n-1} R_{thPi}^{\bullet}.$$
 (16)

Von der Ausgleichsgeraden ist jetzt b bekannt. Nach der Ausgleichsrechnung gilt für die Steigung der Ausgleichsgeraden y bei gegebenem b:

$$a = -\frac{1}{\frac{1}{T_{thPn}/T}} = \frac{\sum_{k=1}^{s} k \cdot \bar{z}_{th(n-1)}^{\bullet}(k) - \ln R_{thPn}^{\bullet} \cdot \sum_{k=1}^{s} k}{\sum_{k=1}^{s} k^{2}}, \text{ sofern die}$$

verbleibende Anzahl der Werte s \geq 2 ist. Trifft dies nicht zu, wird $T_{\text{thPn}} = T_{\text{thPmin}}$ gesetzt und wie folgt berechnet:

Der eingeschwungene Zustand des Partialbruchgliedes mit der größten Zeitkonstante T_{thP1} kann mit hinreichender Genauigkeit zum Zeitpunkt tmax = $5 \cdot T_{thP1}$ als erreicht betrachtet werden. Der letzte eingegebene Wert des transienten Wärmewiderstands Zth(tmax) legt demnach die Zeit tmax fest. Bei einer Genauigkeit der Zeitmessung von p_T = 10^{-b} ist damit die kleinste noch sinnvolle Zeitkonstante $T_{thPmin} = T_{thP1} \cdot 10^{-b} = (tmax/5) \cdot p_T$. Im vorliegenden Programm ist p_T = 10^{-4} gesetzt.

Teil 2

Das Approximationsverfahren nach Teil 1 liefert die nullte Näherung mit einer Fehler-Wertefolge

$$F_0(k) = z_{th}^{\bullet}(k) - \sum_{i=1}^{n} R_{thPi}^{\bullet} \cdot e^{-k/(T_{thPi}/T)} \quad \text{mit } 1 \ge k \ge m, \quad (17)$$

aus der sich der mittlere quadratische Fehler der nullten Näherung

$$f_0 = \frac{\sqrt{\sum_{k=1}^{m} F_0(k)^2/m}}{\sum_{k=1}^{m} z_{th}^{\bullet}(k)/m}$$
 ergibt. (18)

Zur Verbesserung der nullten Näherung addiert man in Gl. (17) zu beiden Seiten eine der n berechneten Exponentialfunktionen.

$$R_{\text{thPi}}^{\bullet} \cdot e^{-k/(T_{\text{thPi}}/T)} + F_{0}(k) = z_{\text{th}}^{\bullet}(k) - \sum_{i=1}^{n} R_{\text{thPi}}^{\bullet} \cdot e^{-k/(T_{\text{thPi}}/T)} +$$

$$R_{\text{thPi}}^{\bullet} \cdot e^{-k/(T_{\text{thPi}}/T)}$$
 (19)

Die linke Seite in Gl. (19) zeigt, daß die erzielte Näherung noch Fehler aufweist. Deshalb wird eine neue Exponentialfunktion angesetzt, die mit Hilfe einer Ausgleichgeraden bestimmt wird. Die rechte Seite der Gl. (19) wird abgekürzt mit $\alpha(k)$ bezeichnet. Somit ergibt sich:

$$(R_{\text{thPi}}^{\bullet} \cdot e^{-k/(T_{\text{thPi}}/T)})_{\text{neu}} = \alpha(k).$$
 (20)

Logarithmieren der Gl. (20) führt auf

$$\{\ln R_{\text{thPi}}^{\bullet} - k/(T_{\text{thPi}}/T)\}_{\text{neu}} = \ln \alpha(k). \tag{21}$$

Die linke Seite in Gl. (20) kann nur positive Werte liefern. Es wird deshalb zuerst, beginnend bei k = 1, geprüft, bis zu welchen k = β $\alpha(k)$ > 0 ununterbrochen gilt. Die noch folgenden Werte ab k > β werden ausgeschieden. Zu den Werten $\alpha(k)$ mit $1 \ge k \ge \beta$ berechnet man die Ausgleichsgerade, aus der sich $R_{thPineu}$ und $T_{thPineu}$ bestimmen lassen (Abb. 8). Das Verfahren wird zwecks Berechnung der ersten (verbesserten) Näherung fortgesetzt, bis alle 'alten' Partialbruchglieder durch 'neue' ersetzt sind.

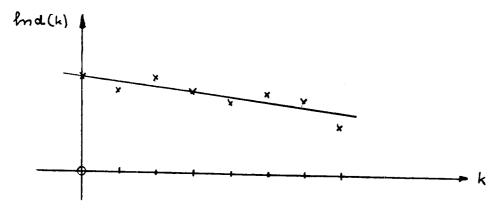


Abb. 8: Zur Berechnung von RthPineu und TthPineu

Die Abbruchkriterien entsprechen denen in Teil 1. Es kann also vorkommen, da β sich die Zahl der neuen Partialbruchglieder verringert.

Bleibt die Zahl n der Partialbruchglieder erhalten, ergibt sich folglich nacheinander:

Ensprechend Gl. (17) und (18) werden nun $\mathbf{f_1}(\mathbf{k})$ und $\mathbf{f_1}$ mit den 'neuen' Partialbruchgliedern berechnet. Ist $\mathbf{f_1} < \mathbf{f_0}$, schließen sich weitere Approximationsverfahren an, bis $\mathbf{f_h} > \mathbf{f_{h-1}}$ ist.

1.4 Approximationsergebnisse für den Transistor 2N3771

Transistor 2N3771

MWe eingeben, ändern / TPE berechnen / TPEs vergleichen

TPE eingeben, ändern Therm. Überg. - Wid. Daten löschen

Bildschirmausgabe fortsetzen : Leertaste drücken

Eingegebene	Meβwerte des Wärmewiderstands	Näherungswerte	Abweichung
T/ms	R/ 1.170K/W	RA/ 1.170K/W	in %
0.020	0.024	0.021	-10.5
0.040	0.035	0.034	-2.3
0.070	0.046	0.046	+0.6
0.100	0.056	0.055	-1.7
0.200	0.080	0.078	-2.5
0.400	0.113	0.114	+0.8
0.700	0.152	0.153	+0.8
1.000	0.183	0.182	-0.3
2.000	0.251	0.250	-0.5
4.000	0.343	0.338	-1.5
7.000	0.420	0.420	-0.1
10.000	0.469	0.470	+0.1
20.000	0.565	0.555	-1.9
40.000	0.642	0.641	-0.1
70.000	0.717	0.717	+0.0
100.000	0.776	0.765	-1.5
200.000	0.847	0.843	-0.5
400.000	0.895	0.895	+0.0
700.000	0.928	0.926	-0.2
1000.000	0.946 .	0.946	+0.0
2000.000	0.981	0.981	+0.0
		- -	

Abb. 9: Vergleichende Gegenüberstellung von gegebenem und appropproximiertem normierten transienten Wärmewiderstand des Transistors 2N3771

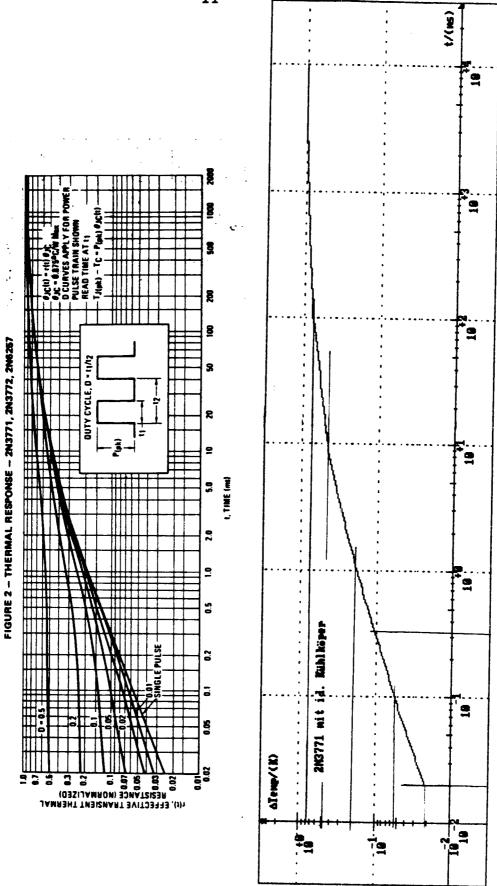


Abb. 10: Grafische Darstellungen des gegebenen und des approximierten transienten Wärmewiderstands des Transistors 2N3771

1.5 Thermische Ersatzbilder von Kühlkörpern

Für Kühlkörper werden keine transienten Wärmewiderstände angegeben. Die Angabe ist auch insofern problematisch, als daβ die den Wärmewiderstand bestimmenden Strahlungs- und Konvektionskoeffizienten von der Temperatur abhängig sind. Zusätzlich beeinflußt die Montagestelle auf dem Kühlkörper den transienten Wärmewiderstand aufgrund der endlichen thermischen Leitfähigkeit der Kühlkörpermaterials (Al).

Wegen dieser fehlenden Angaben wurden im Rahmen einer Studienarbeit [5] unter Annahme eines linearen thermischen Verhaltens Messungen an häufig eingesetzten Kühlkörpern vorgenommen. Die Montagestelle war stets die geometrische Mitte. Die Messung erfolgte so dicht wie möglich (Sackloch) unterhalb der Wärmequelle (Transistor). Die gemessenen zeitabhängigen Sprungantworten der Kühlkörpertemtemperatur führten zu den in der Studienarbeit [6] dokumentierten thermischen Partialbruch-Ersatzschaltungen.

Als grobe Näherung kann die thermische Ersatzschaltung aus einem $R_{\rm th}$. $C_{\rm th}$ -Glied verwendet werden. Der thermische Widerstand $R_{\rm th}=Z_{\rm th}(\infty)$ und die Masse m sind in den Datenblättern der Kühlkörperhersteller enthalten. Die thermische Kapazität ergibt sich zu

$$C_{th} = m \cdot c$$
 mit der spezifischen Wärme $c = c_{Al} = 900 \xrightarrow{\text{Ws}} \text{für}$

Kühlkörper aus Aluminium. Die Ergebnisse der zeitabhängigen Kühlkörpertemperaturverläufe, die man unter Verwendung der aus den Temperaturmessungen gewonnenen Ersatzbilder erhält, sind für mehrere Kühlkörper in den Abb. 11 und 12 dargestellt. Die Abb. 13 und 14 zeigen die Ergebnisse, wenn für dieselben Kühlkörper die einfache R_{th}, C_{th}-Näherung des thermischen Ersatzbildes benutzt wird.

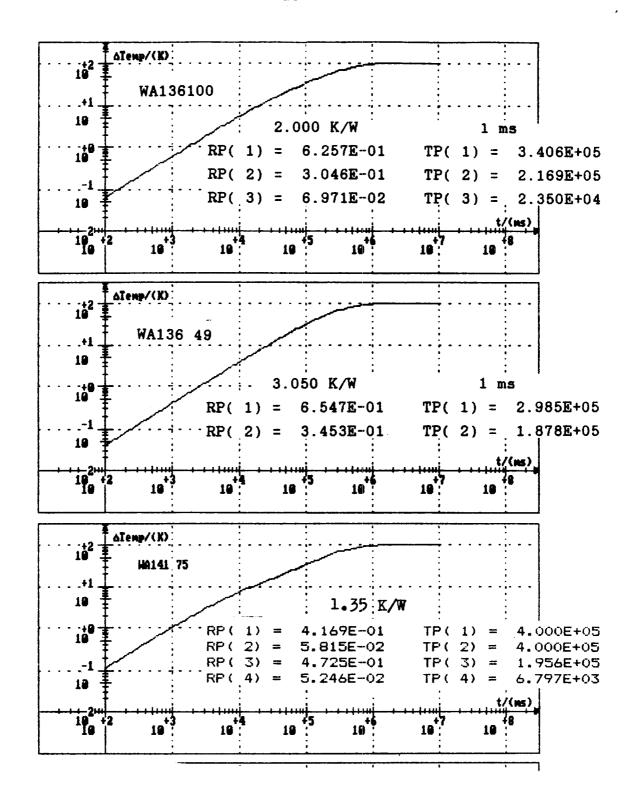


Abb. 11: Sprungantworten der Temperaturverläufe bei Kühlkörpern mit thermischen Ersatzbildern aufgrund gemessener transienter Wärmewiderstände

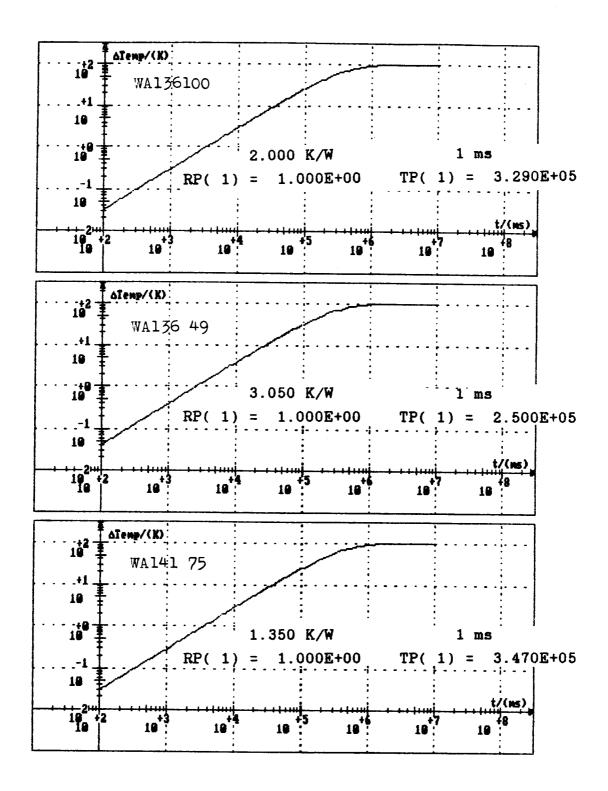
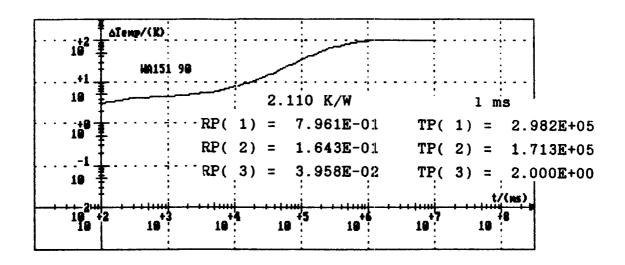


Abb. 13: Sprungantworten der Temperaturverläufe bei Kühlkörpern mit thermischen Ersatzbildern aufgrund einfacher $R_{\rm th}$, $C_{\rm th}$ -Glieder



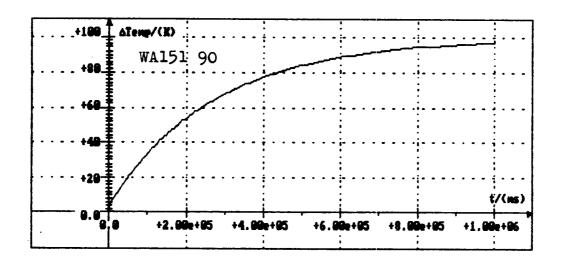
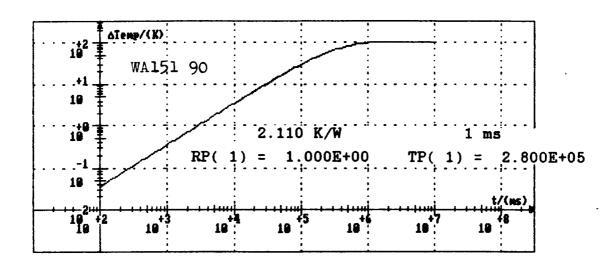


Abb. 12: Sprungantworten der Temperaturverläufe bei einem Kühlkörper mit thermischem Ersatzbild aufgrund des gemessenen transienten Wärmewiderstands



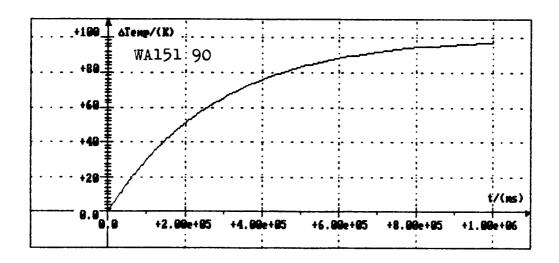


Abb. 14: Sprungantworten der Temperaturverläufe bei einem Kühlkörper mit thermischem Ersatzbild aufgrund eines einfachen $R_{\rm th}$, $C_{\rm th}$ -Gliedes

1.6 Berechnung des zeitabhängigen (Ersatz)sperrschichttemperaturverlaufs bei Leistungshalbleitern mit Kühlkörpermontage

Bei Montage eines Leistungshalbleiters auf einem Kühlkörper unter Verwendung einer isolierenden Zwischenlage müssen die thermischen Ersatzbilder der einzelnen Bauelemente als Kettenschaltungen vorliegen. Die Gesamtkettenschaltung der Ersatzbilder aller Bauelemente ist zum Schluß wieder in eine Partialbruchschaltung zurückzurechnen, um eine einfache Berechnung des zeit- und frequenzabhängigen Sperrschichttemperaturverläufe zu ermöglichen.

Das Programm zur Umrechnung der thermischen Partialbruchschaltungen in thermische Ketten(bruch)schaltungen entstand auf der Grundlage des in [2.1] angegebenen Verfahrens ebenfalls im Rahmen einer Studienarbeit [2]. Auf die Umrechnungsprozedur soll hier nicht näher eingegangen werden. Da die thermische Kapazität der Zwischenlage als klein gegenüber der thermischen Kapazität des Kühlkörper angenommen werden kann, ist ihre thermische Kettenschaltung ein reeller thermischer Widerstand. Die gesamte thermische Ersatzschaltung Leistungshalbleiter-Zwischenlage-Kühlkörper zeigt Abb. 15. Das Programm führt folgende Berechnungen durch:

- 1. Umrechnung der Leistungshalbleiter-Partialbruchschaltung in die äquivalente Kettenschaltung.
- 2. Kettenschaltung der kurzgeschlossenen Zwischenlage-Kettenschaltung zu 1. und Umrechnung in die Ketten-Gesamtschaltung.
- 3. Berechnung der thermischen Kettenschaltung aus der Partialbruchschaltung des Kühlkörpers und Berechnung der Kettenschaltung Leistungshalbleiter-Zwischenlage-Kühlkörper.
- 4. Rückrechnung in die endgültige Partialbruch-Gesamtschaltung.

Als Beispiel einer thermischen Partialbruch-Gesamtschaltung ist in Abb. 16 das Ergebnis für den Transistor 2N3771, montiert mit Zwischenlage $R_{\rm th}$ = Rzz = 0.36 K/W auf einem Kühlkörper WA136100, angegeben.

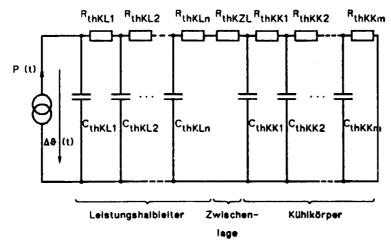


Abb. 15: Kettenleiter-Gesamtschaltung.

```
Gesamt-TPE
             Grad =10
normiert auf: 1 K/W
                                   1 ms
        RP(1) = 0.342E-01
                             TP(1) = 0.257E-01
        RP(2) = 0.964E-01
                             TP(2) = 0.419E+00
        RP(3) = 0.108E-01
                             TP(3) = 0.901E+00
        RP(4) = 0.345E+00
                             TP(4) = 0.416E+01
        RP(5) = 0.179E+00
                             TP(5) = 0.251E+02
        RP(6) = 0.330E+00
                             TP(6) = 0.934E+02
        RP(7) = 0.447E+00
                             TP(7) = 0.317E+04
        RP(8) = 0.169E+00
                              TP(8) = 0.246E+05
        RP(9) = 0.549E+00
                             TP(9) = 0.221E+06
        RP(10) = 0.137E+01
                             TP(10) = 0.350E+06
```

Abb. 16: Partialbruch-Gesamtschaltung 2N3771+Z1+WA136100

2 Berechnung zeitabhängiger Sperrschichttemperaturverläufe

Die Berechnung der zeitabhängigen Sperrschichttemperaturverläufe ist, abgesehen vom Aufwand, einfach durchzuführen. Es handelt sich in allen Fällen (Sprung, Rechteck und Treppenfunktion) um die Lösung gewöhnlicher linearer Differentialgleichungen erster Ordnung mit konstanten Koeffizienten für ein System mit Vergangenheit. Von einer näheren Beschreibung soll hier abgesehen werden. Abb. 17 zeigt die Sprungantwort der Sperrschichttemperatur des Transistors 2N3771, montiert auf einem Kühlkörper WA136100 unter Verwendung einer Zwischenlage mit $R_{\rm th}=Rzz=0.36$ K/W. Für dieselbe Konfiguration sind in den Abb. 18 und 19 die Antworten auf rechteck- bzw. treppenförmigen Verlauf der Verlustleistung dargestellt.

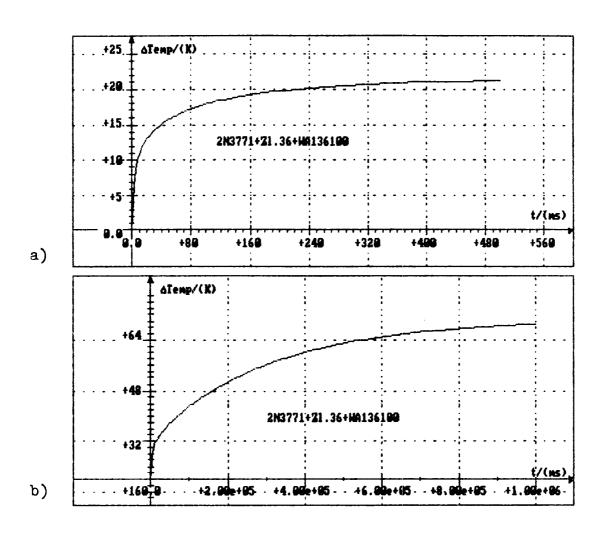


Abb. 17: Sprungantwort der Sperrschichttemperatur für 2N3771+Z1.36+WA136100 a) t \geq 0 b) t₁ \geq t \geq t₂

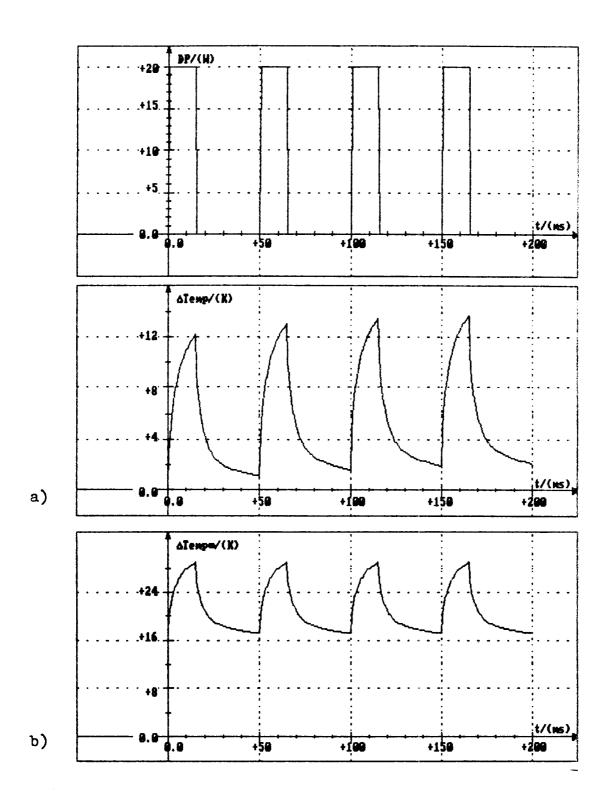


Abb. 18: Zeitabhängige Sperrschichttemperaturverläufe für 2N3771+Z1.36+WA136100 bei rechteckförmigem Verlustleistungsverlauf

a) Einschwingvorgang b) Eingeschwungener Zustand

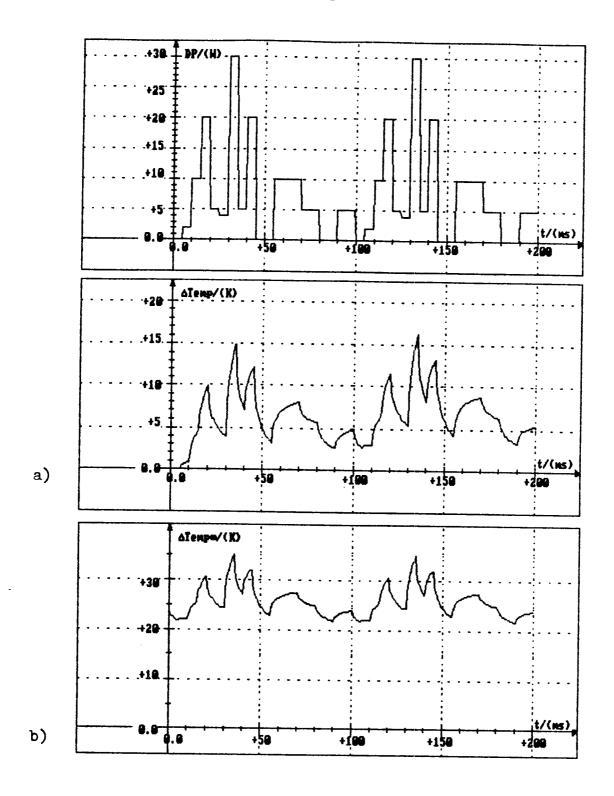


Abb. 19: Zeitabhängige Sperrschichttemperaturverläufe für 2N3771+Z1.36+WA136100 bei treppenförmigem Verlustleistungsverlauf

a) Einschwingvorgang b) Eingeschwungener Zustand

3 Berechnung der Ortskurve des Frequenzgangs des thermischen Widerstands $Z_{th}(w)$

Um eine gleichmäßige Kreisfrequenzverteilung längs der Ortskurve zu erzielen, empfiehlt sich eine logarithmische Frequenzteilung. Dazu wird

- die Partialbruchwiderstandsfunktion mit dem kleinsten Realteil RTP_a an der Stelle w = 0 ermittelt und
- 2. die Partialbruchwiderstandsfunktion mit der kleinsten Zeitkonstanten TTP_b durch Berechnung der kleinsten Winkeländerung $\Delta\theta/\Delta$ w an der Stelle w = 0 bestimmt.

Bei der höchsten Kreisfrequenz \mathbf{w}_{ob} soll gelten:

Re
$$\left|\frac{ZTP_{b}}{w=w_{ob}}\right|_{w=w_{ob}} = 0.1 \cdot RTP_{a}$$
, so daß $\frac{RTP_{b}}{1 + w_{ob}^{2}TTP_{b}^{2}} = 0.1 \cdot RTP_{a}$ (22)

wird. Aus Gl. (22) folgt:
$$w_{ob} = \frac{1}{TTP_b} \sqrt{\frac{10 \cdot RTP_b}{RTP_a} - 1}$$
 (23)

Die kleinste Kreisfrequenz, die größer als null ist, wird festgelegt auf $w_0 = 0.1/TTP_c$. Dabei ist TTP_c die größte vorkommende Zeitkonstante.

Die logarithmische Teilung der Kreisfrequenz-Zwischenwerte erhält man mit $w_i = w_0 \cdot e$ $\frac{\ln (w_{ob}/w_0)}{200} \cdot (i-1)$ mit $i=1 \dots 200.$ (24)

Mit Gl. (24) werden 200 Kreisfrequenzwerte berechnet, mit denen die Ortskurve gezeichnet wird. Beispiele für einen Transistor mit idealem bzw. realem Kühlkörper zeigen die Abb. 20 bzw.21.

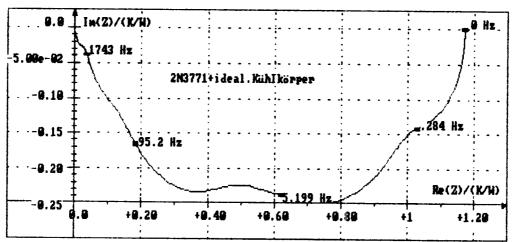


Abb. 20: Ortskurve des Wärmewiderstands des Transistor 2N3771 mit idealem Kühlkörper

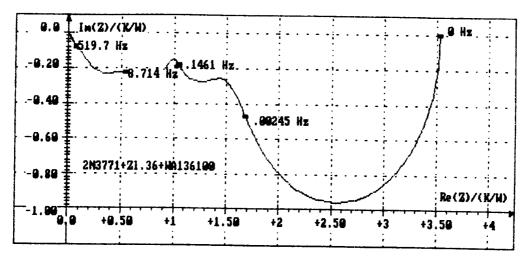


Abb. 21: Ortskurve des Wärmewiderstands der Anordnung 2N3771+Z1.36+WA136100

4 Probleme bei der Programmanwendung

Grundsätzlich sollten die Werte der einzugebenden transienten Widerstände zuvor in doppelt logarithmischem Maßstab aufgetragen werden, um Meßfehler, insbesondere bei kleinen Zeiten, erkennen zu können. Bei Zeitkonstanten < 10⁻⁵s der thermischen Partialbruchersatzschaltung eines Leistungshalbleiters in Verbindung mit Zeitkonstanten > 10³s des Kühlkörpers kann es zur Überschreitung des darstellbaren Zahlenbereichs (GWBASIC: 10⁻³⁷ bis 10³⁷) und damit zu falschen Ergebnissen kommen, da noch nicht alle 'overflows' abgefangen werden. Es wird empfohlen, die kleinste Zeitkonstante von Hand auf 10⁻⁵s zu korrigieren (Achtung: Die Meßwerte werden anschließend gelöscht). Weitere Hinweise sind der Studienarbeit [6] zu entnehmen.

5 Literaturverzeichnis

[1] Entwicklung eines Programms zur Berechnung der Elemente des thermischen Ersatzbildes eines Halbleiterbauelements Gerold Horn, Studienarbeit 1986, Fachbereich Elektronik Fachhochschule Aalen

[1.1] DIN 41 784 Blatt 1

[1.2] DIN 41 862, DIN 41 862 Beiblatt 1

Halbleiterbauelemente und integrierte Mikroschaltungen
Mit der Temperatur zusammenhängende Begriffe,
Benennungen und Erklärungen

[1.3] DIN IEC 47(CO)886

Halbleiterbauelemente und integrierte Schaltungen Meßverfahren, Wärmewiderstandsmessung über die Emitter-Basis-Spannung in Vorwärtsrichtung

[1.4] W. Büttner

Ein numerisches Verfahren zur Exponentialapproximation von transienten Wärmewiderständen Archiv für Elektrotechnik 59 (1977) 351-359

[1.5] Fetzer/Fränkel

Mathematik Band 3 VDI-Verlag 1979

[2] Entwicklung von Programmen zur Berechnung des Temperaturverhaltens von Bauelementen als Funktion der Zeit und der Frequenz

Martin Kaiser, Studienarbeit 1986, Fachbereich Elektronik, Fachhochschule Aalen

[2.1] Jürgen Schwarz

Thermische Ersatzschaltbilder Elektronik Journal 7/85

- [3] Programm zur Berechnung des zeit- und frequenzabhängigen Sperrschichttemperaturverlaufs von Transistoren mit Kühlkörpermontage

 Werner Schäfer, Studienarbeit 1987, Fachbereich Elektronik, Fachhochschule Aalen
- [4] Entwicklung eines menügesteuerten Programms zur Berechnung des zeit- und frequenzabhängigen Sperrschichtemperaturverhaltens von Leistungshalbleitern

 Werner Schäfer, Diplomarbeit 1988, Fachbereich Elektronik, Fachhochschule Aalen
- [5] Meβeinrichtung zur Messung transienter Wärmewiderstände von Kühlkörpern

 Lars Freier, Studienarbeit 1988, Fachbereich Elektronik, Fachhochschule Aalen
- [6] Zusammenstellung von Dimensionierungsunterlagen zur Berechnung des zeit- und frequenzabhängigen Sperrschichttemperaturverhaltens von Leistungshalbleitern mit Kühlkörpermontage unter Verwendung des Rechnerprogramms ST Hartmut Stadelmaier, Studienarbeit 1989, Fachbereich Elektronik, Fachhochschule Aalen
- [7] BIPOLAR POWER TRANSISTORS DATA MOTOROLA INC. Printed in Switzerland 1985
- [8] THYRISTOR DATA

 MOTOROLA INC.

 Printed in Switzerland 1985
- [9] THOMSON CSF
 POWER TRANSISTORS
 1986



ENTWURF EINES UHREN-IC ALS VOLLKUNDEN-SCHALTKREIS

MIT ZEITZEICHEN-EMPFÄNGER

R.Lieder, G.Kampe, A.Volk

Fachhochschule für Technik Esslingen (FHTE) Labor CAD der Mikroelektronik

Es wird über eine Diplomarbeit im Wintersemester 1989/90 berichtet, in der die Methode des strukturierten Chip-Entwurfs für einen digitalen CMOS-Uhren-Schaltkreis angewandt wurde. Dabei kamen folgende CAD-Programme zum Einsatz: P/C-SILOS für die Logiksimulation, KICBOX für das Layout, SPICE für die Ermittlung typischer Schaltzeiten. Für den Modul zur Dekodierung des DCF77-Zeitzeichensenders wurden Unterlagen erstellt, welche die Fertigung als Prototyp-Chip am Institut für Mikroelektronik Stuttgart ermöglichen.

1. EINLEITUNG

Zu Beginn der hier vorgestellten Diplomarbeit wurden bekannte Lösungen für Uhren-ICs studiert. Bild 1 zeigt einige typische Eigenschaften . Aufgrund dieser Erkenntnisse wurde dann ein Pflichtenheft für den eigenen Entwurf aufgestellt (Bild 2). Eine Besonderheit der geplanten Schaltung stellt die Einbeziehung eines DCF77-Dekoders dar. Über eine externe Langwellenantenne und Impulsformer (CMOS-Pegel) mit Vorverstärker besteht somit Möglichkeit. vom DCF77-Sender die der Physikalisch Technischen Bundesanstalt ausgestrahlten Zeitsignale zu dekodieren und damit die Uhr ständig automatisch und äußerst präzise einzustellen.

Im weiteren Verlauf der Arbeit wurde die Schaltungsidee in eine strukturierte CMOS-Schaltung (Vollkunden-Schaltkreis) umgesetzt. Dabei wurde der Verifikation der Schaltungsteile besondere Aufmerksamkeit geschenkt.

2. BLOCKSCHALTBILD

Bild 3 zeigt das Blockschaltbild der gesamten Schaltung in der obersten Entwurfsebene. Als Taktquelle dient ein Schwingquarz mit einer Frequenz von 3,2768 MHz. Folgende Funktionsblöcke werden unterschieden:

- HAUPTOSZILLATOR mit VORTEILER und ZEITIMPULSGENERATOR

Hier werden mehrere Taktsignale generiert:

- .. 3,2 kHz für den Anzeige-Multiplexer
- .. 100 Hz für den DCF77-Dekoder und die Stoppuhr
- .. 10 Hz für die Tasten-Entprellung und die Stelleinheit
- .. 1 Hz für die Stelleinheit und die Hauptuhr (Sekunden-Takt)

- TASTEN-ENTPRELLUNG

Hiermit werden die 4 Bedientasten entprellt bzw. bei Bedarf verriegelt.

- HAUPTUHR , WECKER , STOPPUHR

Dies sind die zentralen Module der Schaltung. Die Zeitinformation wird als Gruppe von 6 BCD-Codeworten über die 3 Busse LI, MI und RE an den Anzeige-Codierer übergeben:

- .. Stunde, Minute, Sekunde von der Hauptuhr
- .. Stunde , Minute, Dunkelcode vom Wecker
- .. Minute, Sekunde, Hundertstel-Sekunde von der Stoppuhr

- FUNKTIONSAUSWAHL , ANZEIGE-CODIERER UND -TREIBER

Der Modul Funktionsauswahl wählt die oben angegebenen Zeitinformationen für den Anzeige-Codierer aus und setzt außerdem die funktionsspezifische Tastenbetätigung um. Der Anzeige-Codierer enthält einen 7-Segment-Decoder sowie einen Multiplexer für die externe LED-Anzeige.

- STELLEINHEIT

Mit diesem Modul lassen sich Wecker und Hauptuhr (z.B. bei Störung des DCF77-Empfangs) von Hand stellen, wobei die jeweils einzustellende Ziffer blinkt.

- DCF77-DEKODER

Dieser Modul stellt automatisch über einen eigenen Bus die Zeitregister der Hauptuhr, sooft eine gültige Zeitinformation empfangen wird.

3. ENTWURFSWERKZEUGE

Beim rechnergestützten Entwurf einer komplexen Vollkunden-Schaltung ist der Einsatz von Hilfsprogrammen unentbehrlich, die eine Entwurfshierarchie vom groben Blockschaltbild (Bild 3) bis zur detaillierten Gestaltung der Geometrie von Transistoren und Leiterbahnen ermöglichen. Im vorliegenden Fall wurde das CAD-System KICBOX eingesetzt, um erforderliche CMOS-Standardzellen neu zu entwerfen bzw. aus einer Bibliothek (FH Furtwangen) einzufügen.

Bild 4 zeigt links die Hierarchiestufen beim Entwurf mit dem KICBOX-System vom MOS-Transitor über Schaltnetze, Schaltwerke bis zum gesamten CMOS-Schaltkreis.

Zur Verifikation der Schaltungteile wurde auf unterster Ebene (Schaltglied aus Einzeltransistoren) das Simulationsprogramm SPICE verwendet, um das Zeitverhalten der neuen Standardzellen zu ermitteln.

Für Überprüfung der aus Standardzellen zusammengesetzten Schaltungsteile (z.B. Zähler, siehe Bild 5) würde SPICE zuviel Speicherplatz und Rechenzeit benötigen. Daher wurde hierfür der Logiksimulator P/C-SILOS eingesetzt. Es handelt sich hierbei um einen Simulator mit 12 Signalzuständen (4 Logikwerte, 3 Impedanzwerte). Anstiegs- und Abfallzeiten sind für jedes Schaltglied individuell vorgebbar, z.B. abhängig vom Fan-out. Bild 4 zeigt rechts Hierarchiestufen beim Entwurf mit P/C-SILOS.

Das KICBOX-System ermöglicht die Schaltungs-Rückgewinnung aus dem Layout, z.B. um eine Simulation mit SPICE durchzuführen. Leider ist aber in KICBOX keine entsprechende Schnittstelle zu P/C-SILOS vorhanden, sodaß für die Logiksimulation die Schaltung nochmals von Hand einzugeben war.

Am Beispiel des Zählers aus Bild 5 wird in Bild 6 gezeigt, wie mit P/C-SILOS z.B. die Wirkung des RESET-Signals R untersucht werden kann. Von besonderem Interesse sind dabei die auftretenden Störimpulse.

4. HIERARCHISCHES LAYOUT

Im Folgenden soll die Vorgehensweise beim strukturierten Entwurf des Uhren-ICs verdeutlicht werden. Der Zähler (Schaltungs-Makro) aus Bild 5 enthält als Standardzellen Kippglieder und logische Verknüpfungsglieder. Er ist selbst wieder Bestandteil in mehreren "übergeordneten" Modulen.

Bild 7 zeigt das Layout des Zählers, um einen Eindruck von der Flächenaufteilung zu vermitteln. Die im Zähler enthaltenen 4 Kippglieder haben Setz- und Rücksetzeingänge. Da die Standardzellen-Bibliothek bisher diesen Fliplop-Typ nicht enthielt, wurde eine vorhandene Standardzelle hierfür modifiziert. Das Ergebnis zeigt Bild 8.

Im Hinblick auf einen möglichst effektiven Entwurf des gesamten Uhren-IC wurde eine Reihe geeigneter Schaltungs-Makros mit KICBOX entworfen und mit P/C-SILOS auf ihre Funktion getestet. Dabei wurde versucht, die Vielfalt möglichst einzugrenzen (Entwurfs- und Testaufwand!), was jedoch einen erhöhten Flächenbedarf für die Makros bedeutet (nicht alle Teile eines Makros werden bei bei jedem Verwendungsfall benötigt). Bild 9 gibt einen Überblick über den Einsatz der einzelnen Makros in den Schaltungsmodulen.

5. DCF77-DEKODER

Da die Bearbeitungszeit im Rahmen einer Diplomarbeit auf ca. 5 Monate begrenzt war, wurde der DCF77-Dekoder ausgewählt und als einziger Modul komplett verdrahtet. Bild 10 zeigt den Floorplan und Bild 11 das Layout mit Transistoren und Verbindungsleitungen. Bei einem Redesign ist eine Verringerung des Flächenbedarfs denkbar, wobei dies jedoch auf Kosten der "Regelmäβigkeit" gehen dürfte. Es ist geplant, diesen Dekoder als separates

Chip im Rahmen der MPC-Projekte am Institut für Mikroelektronik Stuttgart fertigen zu lassen. Eine weiterführende Arbeit wird sich mit der Entflechtung (Plazieren und Verdrahten) der restlichen Module aus Bild 3 in einem zweiten Chip beschäftigen.

6. ABSCHLUSSBEMERKUNG

Aufgrund der konsequent angewandten strukturierten Entwurfsmethode konnte in der vorliegenden Arbeit in kurzer Zeit der Entwurf eines komplexen Chips durchgeführt werden. Die Unzulänglichkeit der CAD-Werkzeuge (kein automatischer Router bei KICBOX, keine automatische Netzlisten-Umwandlung von KICBOX nach P/C-SILOS) mußte durch erhöhten Arbeitsaufwand ausgeglichen werden. Es ist zu hoffen, daß nach dem Neuerwerb der CAD-Werkzeuge von Mentor Graphics der Entwurf komplexer Chips im Labor CAD der Mikroelektronik an der FHTE künftig noch professioneller erfolgen kann.

STROMVERSORGUNG UND TAKTFREQUENZ

Nieder-oder Hochfrequenzquarzoszillator Batteriebetrieb (1.5V) oder Netzspeisung für 5V

ANZEIGEN UND ANZEIGETREIBER

LCD-Display (meist ohne Multiplexer)
LED-Anzeigen mit Multiplexansteuerung
Anzeigeformat vier oder sechs Stellen

BEDIENEI EMENTE

Drei bis sechs Bedientasten

Funktionsauswahl durch Stufenschalter

FINGEBAUTE FUNKTIONEN

Uhr mit Datum und Stoppuhr
Uhr mit Datum und Weckerfunktion
Zeitzeichen-Empfänger

EINGEBAUTE FUNKTIONEN:

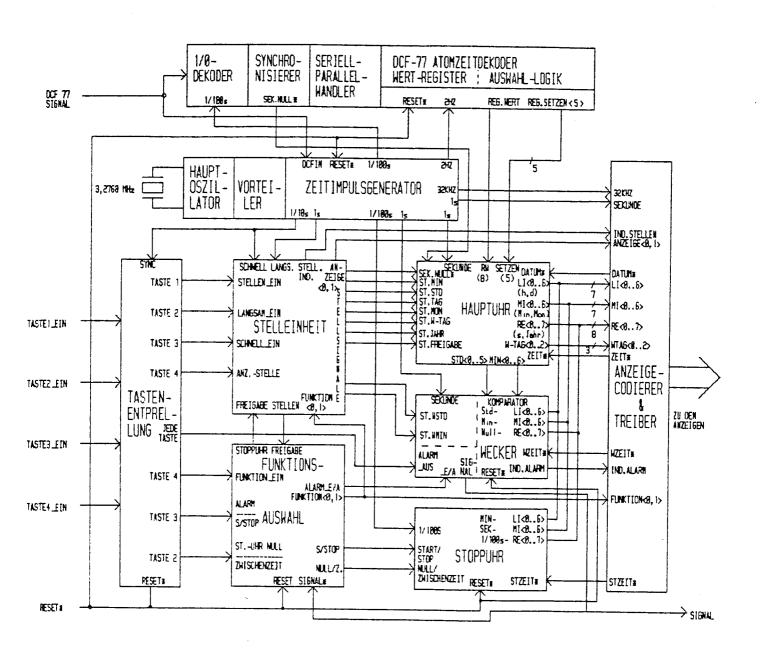
Uhrzeit mit vollem Kalenderdatum Wecker mit Nachweckautomatik Stoppuhr mit 1/100s Auflösung

BEDIENELEMENTE:

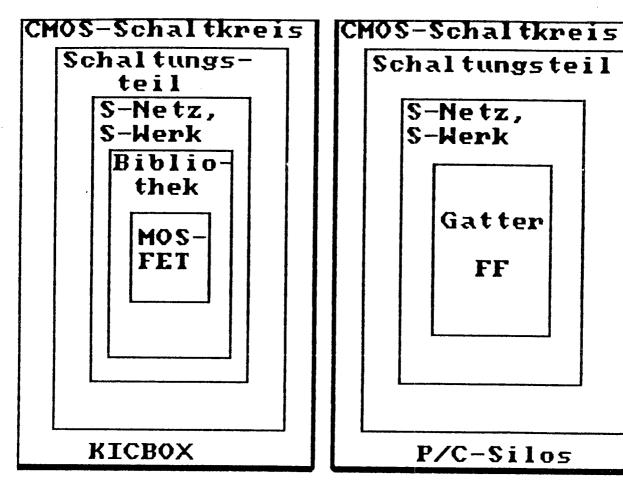
4 Tasten, davon
eine Taste zum Einstellen der Uhr
eine Taste zur Funktionsauswahl
zwei Tasten für spezielle Funktionen

ANZEIGEEINHEIT

6-stellige LED-Anzeige mit Sekundenpunkt, Wochentaganzeige und diversen Indikatoren. Anzeigetreiber im Multiplexbetrieb



<u>Bild 3:</u> Blockschaltbild (oberste Entwurfsebene) .



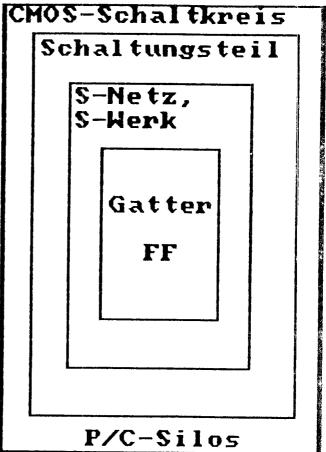
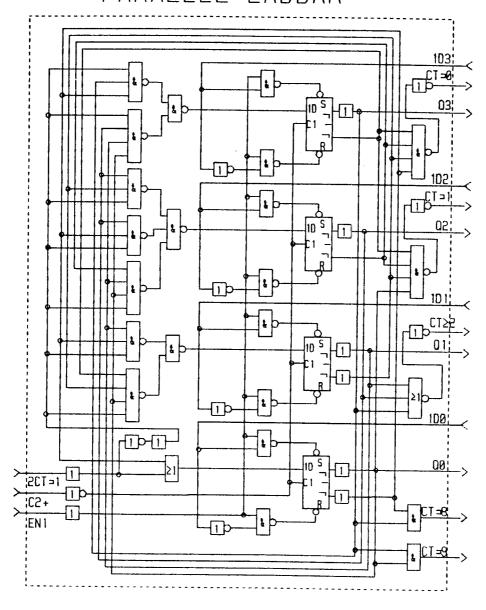
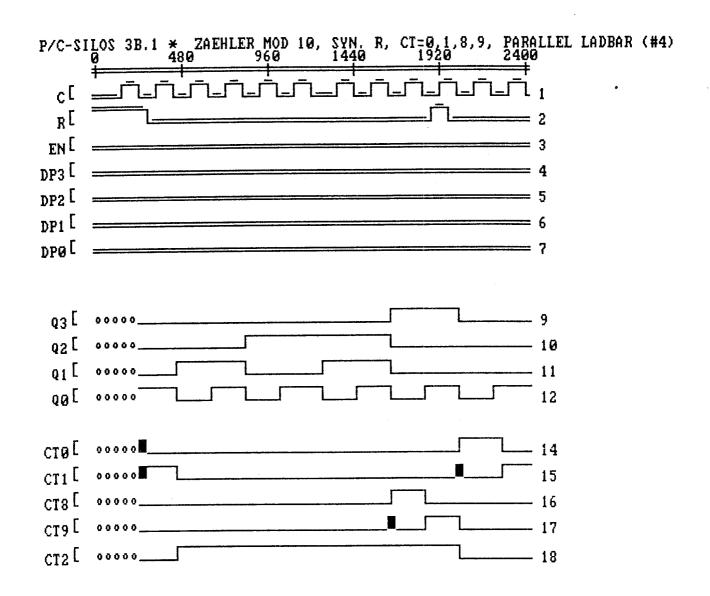


Bild 4: Hierarchiestufen der Entwurfswerkzeuge KICBOX (Layout) und P/C-SILOS (Logiksimulation) .

ZAEHLER MOD 10, SYN. R, CT=0,1,8,9,≥2 PARALLEL LADBAR



<u>Bild 5:</u> Zähler als Bei**sp**iel für eine Schaltungs-Makro aus Standardzellen .



==== Signalquelle ohne Innenwiderstand
oooo Logikwert nicht definiert
_____ Störimpuls (Spike)

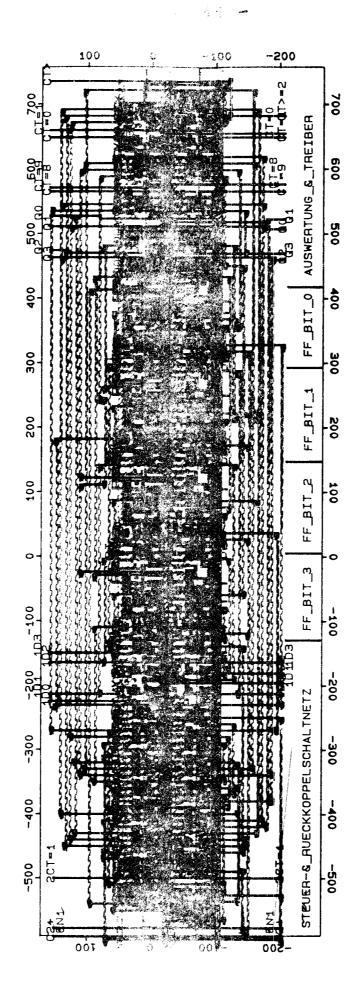


Bild 7: Layout des Zählers aus Bild 5.

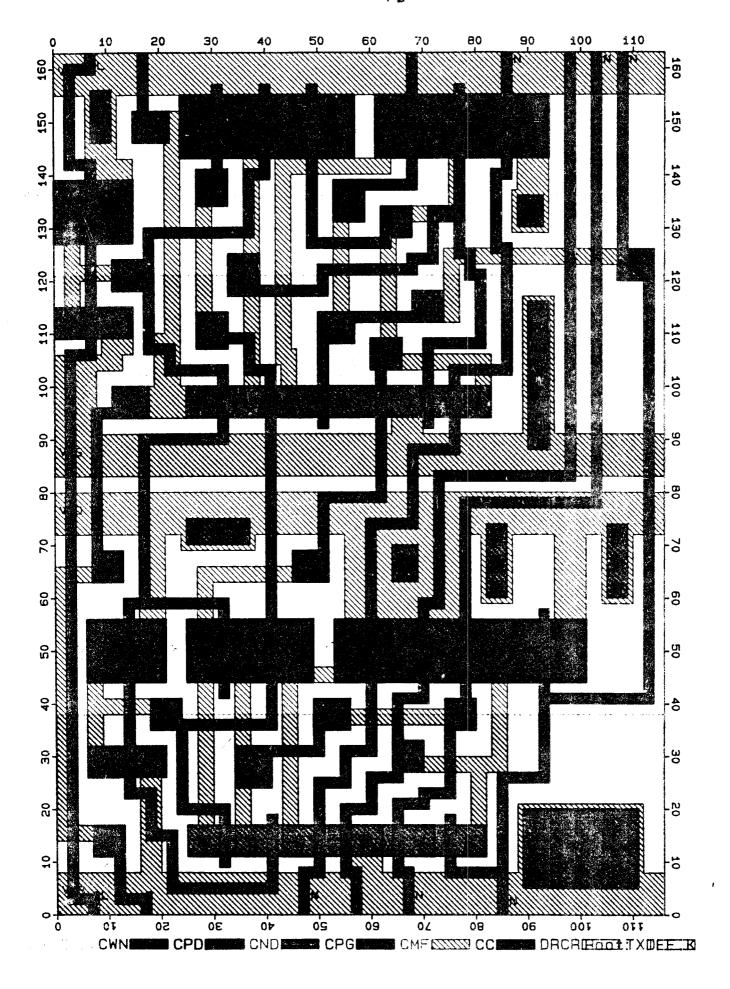


Bild 8: Layout eines Flipflop aus Bild 7.

	DCF-77-Dekoder	Zeitbasis	Hauptuhr	Stelleinheit	Funktionsauswahl	Tastenentprellung	Wecker	Anzeige-Codierung
Zähler MOD 10	2	2	7				2	
Zähler MOD 6			2				1	The state of the s
Zähler MOD 4			1	1	1	1		THE STATE OF THE S
Zähler MOD 3			1				1	CONTROL TO A VALLEY
Zähler MOD 5 (R)	1							STATE OF THE STATE
Zähler 1-7			1				,	TRIALIST THE ACTUAL STATE OF THE STATE OF TH
Multiplexer 4:1				1			Projection of the second of th	ed min of complete and other very services.
Dekoder 1:4								P PROFILE SALES DE LES CONTROL DE L
Dekoder 1:8								1
Tristate-Element			6				3	8

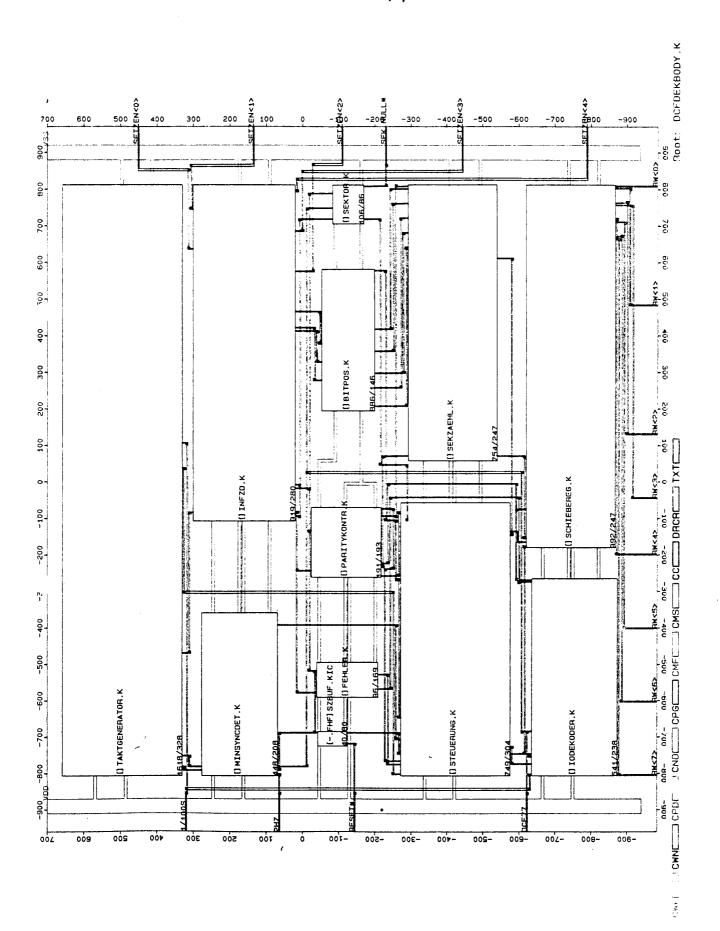


Bild 10: Floorplan des DCF77-Dekoders .

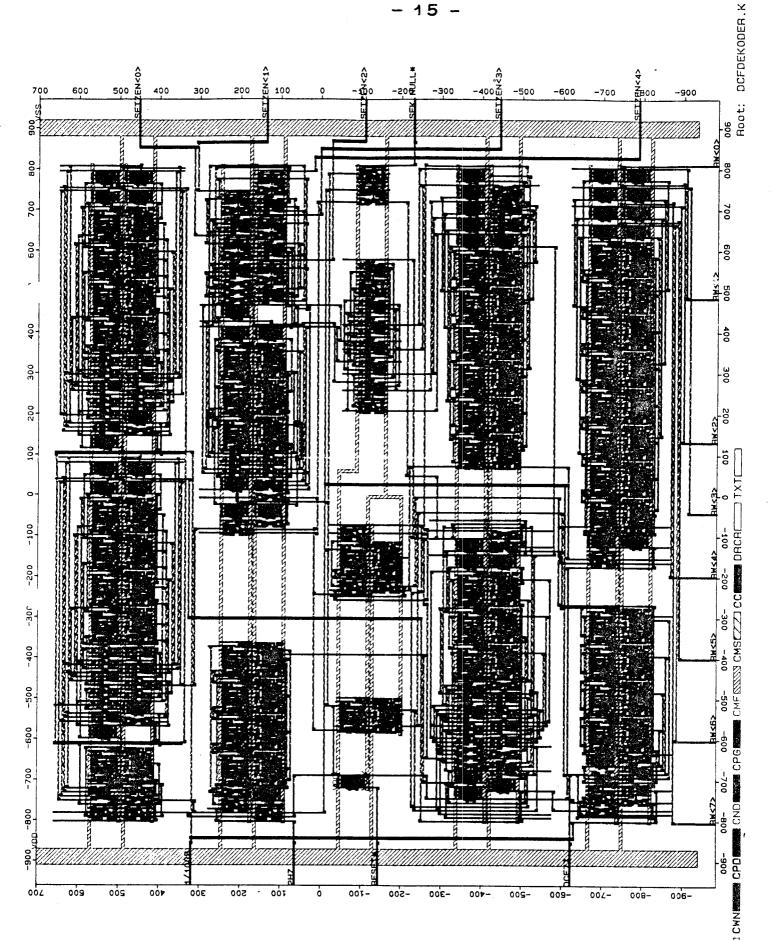


Bild 11: Layout des DCF77-Dekoders . 1600 λ x 1800 λ 2,4mm × 2,7mm =6,5mm2 1680 Transistoren



Beitrag zum Gesprächspunkt "Thematische Arbeit" des Multi-Projekt-Chip Fachhochschul-Verbunds Baden-Württemberg am 5. Febr. 1990 in Ulm:

LEHRE DES ENTWURFS INTEGRIERTER SCHALTUNGEN

Prof. K. Schmidt

an der Fachhochschule Furtwangen

Labor für IC-Entwurf, im Studienschwerpunkt Mikroelektronik

Vorbemerkung: Das schon länger währende unermüdliche Bemühen der Beteiligten, eine möglichst breite Basis für die Lehre im Entwurf Integrierter Schaltungen an den Fachhochschulen in Baden-Württemberg zu schaffen, wurde mit der jetzt ab 1989/90 endlich allen zur Verfügung stehenden Ausrüstung an Hard- und Software belohnt. Der MPC-FH-Verbund kommt damit einen großen Schritt vorwärts. Nun gilt es, die geplanten Konzepte in die Lehre umzusetzen, im jeweiligen Curriculum zu berücksichtigen, Vorlesungen und praktische Laborübungen auf diesem Gebiet einzurichten, wo dies noch nicht geschehen ist. Dazu wird bisherige Erfahrung beschrieben und es werden Möglichkeiten aufgezeigt, wie man etwa vorgehen könnte. Das ist aber relativ zu sehen, quasi als Diskussionsbeitrag, oder kann als Orientierung genommen werden, denn man wird eigene Wege gehen und gemäß den individuellen Zielsetzungen zwangsläufig auch auf andere Formen der Realisierung kommen.

1. Einbettung in das Curriculum

Es besteht kein Zweifel, zumindest nicht in einigen Ländern (Ausland), daß Grundlagen des Entwurfs Integrierter Schaltkreise <u>allen</u> Studenten elektrotechnischer Studiengänge nahegebracht werden sollten. In einer vertieften Form sollte der Entwurf aber besonders in Studiengängen wie Elektronik, Nachrichtentechnik, Technische Informatik usw. vorgesehen werden.

Die Fragen lauten: 'Was', 'Wieviel', 'Wielange', 'Mehrere Fächer' oder 'Nur eines aber ausgedehnt', und ähnlich.

Ein wesentliches Ziel ist es, daß die Kenntnisse über den Entwurf der mikroelektronischen Schaltungen von den im Systemdenken auszubildenden Ingenieuren, Informatikern, breitesten Niederschlag im beruflichen Tätigkeitsfeld finden werden, sei es in großen Industriebetrieben oder in mittelständischen Unternehmen, wo der Bedarf dafür derzeit schneller wächst, als man mit der Ausbildung solcher Fachleute nachziehen kann. Wie denn, wenn nicht so, wird die Anwendungs-Spezifische Integrierte Schaltung zunehmend "entstehen" können? Die Mindestanforderung lautet, das ist eine sehr einfache Formel, "das Problem integrierbar machen und bereits voll durchsimulieren". Das und einiges mehr muß die Lehre vermitteln.

2. Fächerkatalog

Nimmt man den Entwurf Integrierter Schaltungen als Überbegriff, so kommt man rasch auf einen im Umfang nicht geringen Fächerkatalog. Vom ersten Gedanken einer Schaltungsintegration bis zum Einsatz des fertigen Chips im Produkt ist es ein langer Weg, der viele Gebiete durchläuft und zudem vielfältige Verflechtungen mit Nachbargebieten aufweist. So kommt man gleich auf ein Dutzend wichtiger Vorlesungen, die hier zu nennen wären. Diese stehen auf jeden Fall im Programm, wo Mikroelektronik/Mikromechanik in Angriff genommen werden, oder auf der CAE Seite, wo die Werkzeuge transparent gestaltet, verändert und neue erstellt werden oder mehr der virtuose Umgang mit Ihnen gelernt werden soll. Doch ganz so breit muß man den Fächerkatalog nicht anlegen. Das wird im nächsten Abschnitt ausgeführt. Platz schaffen in altbewährten Studienplänen ist bekanntlich ein mitunter schwieriges Unterfangen, weil Umstellungen auch personell getragen werden müssen. Die untere Schwelle für die Einführung des Gebiets darf aber nicht unterschritten werden.

3. Inhalte

Die Inhalte lassen sich grob definieren und es seien diese, nachstehend aufgeführten Punkte zunächst als Kapitel aufgefaßt. Die Zuordnung zu einer Lehrveranstaltung – nicht alles! – oder zu mehreren ergibt sich aus den fachlichen Anforderungen einerseits und den zeitlichen Möglichkeiten andererseits. Der Feinputz, der eigentliche Syllabus ist gut an

hand einer Reihe von Fachbüchern und einigen guten Lehrbüchern zu erstellen.

Nun aber doch konkreter zu Inhalten von Entwurf Integrierter Schaltungen ein erprobter Vorschlag:

Inhalte:

- 1. MOS-Technik in Si-Gate und digitale Grundschaltungen
- 2. Einführung Integrationstechnologie
- 3. Elektrische Parameter
- 4. Entwurfsregeln (Design Rules)
- 5. Design Software (CAE Werkzeuge, 'Tools')
- 6. Schaltungen und Layoutentwurfsbeispiele
- 7. Entwurfsstile und Entwurfsmethoden
- 8. Periphere Chipstruktur (I/O)
- 9. Funktionaler hierarchischer VLSI Entwurf
- 10. Simulation integrierter Schaltungen
- 11. Entwurf für Testbarkeit, Testen
- 12. Struktur und Layout von MOS Speichern
- 13. Einführung Analoge Integrierte MOS Schaltungen
- 14. Einführung Bipolare Integrierte Schaltungen
- 15. Packaging, Aufbau-, Verbindungs-, Fertigungstechnik

Wie ist das zu realisieren? Vierstündig für die Grundlagen kommt man zu 1. bis 9. oder gar bis 11., bzw. für mehr als nur eine 'Einführung in die Simulation' sind eigene zwei Stunden einzurichten. Es muß ein vorlesungsbegleitendes Labor angeboten werden und dafür ein didaktisch aufbereitetes Werkzeugmanual verfügbar sein. Das Labor ist vierstündig anzusetzen.

Die Inhalte 10. bis 15. stellen fast jeder Punkt für sich eine eigene Vorlesung dar, aber kürzer gefaßt kann man daraus auf zwei oder drei vertiefende zweistündige Entwurfsvorlesungen für nächste Semester reduzieren. Diese lassen sich auch in Form der Wahlpflicht bzw. der 'Container' in die Curricula einbauen.

Nun mag es Stimmen geben, "nein, diese Inhalte will ich nicht so sehr auf das Layout richten, das sollen die Leute ja nicht machen, sie sollen Chipdesign mit Bibliothekselementen durchführen". Gut, man gehe die Inhalte nochmals durch, was fällt weg? Die Grundlagen müssen sein – wo soll sonst das Verständnis, ja, und auch das "Gefühl", für die Materie herkommen –, da kann man nicht viel vermindern, vielleicht etwas bei 6., 7. und 12., aber kaum mehr. Der Mead/Conway-Aufbau 1. bis 4. begründete 1979 die Lehrmethode für den IC-Entwurf und damit die erfolgreiche weltweite Verbreitung. Diesen Teil lernt man in nur 4 bis 6 Wochen! Man sprach von dem 'long thin man'.

Zur Frage nach vorlesungsbegleitenden Unterlagen: es gibt manche recht gute, meist englischsprachige Bücher, die den Studenten zu empfehlen sind, doch sollte die Vorlesung recht bald als Skript vorliegen. Selbst dann gibt es immer noch so viel zu erklären und auch zu kolorieren (die Layer der Layouts)! Warum soll das nicht offen angemerkt werden. Die gleichen Darstellungen auf Overheadprojektorfolien (farbig, handnachgezogen oder plottererstellt) präsentiert, erlauben intensive Nutzung der knappen Zeit. Auf die farbliche Darstellung sollte man keinesfalls verzichten und der Einheitlichkeit wegen bei den 'klassischen' Mead/ Conway Farben bleiben. Schraffur kann dem Lernenden die Farbe nicht gleich gut ersetzen, abgesehen davon, daß man bei 'rotate' leicht zu Mißdeutungen käme.

4. Werkzeugmanual

Laborübungen können nicht ohne 'User Guide' für die 'Tools' auskommen. Das Manual muß eine ganz wesentliche Eigenschaft besitzen, didaktisch tutorial gestaltet zu sein. Toolherstellermanuals können erfahrungsgemäß nur bedingt in die Lehre übernommen werden. Macht man es doch - wer schreibt es schon neu? -, braucht jedes Tool einen Vorspann und vor allem dokumentierte erläuterte Beispiele zur Nutzung des Tools. Damit beantwortet man viele Fragen der Lernenden bereits vorweg. Diese Beispiele sind Beweis und erlauben rasche Einarbeitung, der Lernende kann sie nachvollziehen, findet ein gleiches Computerergebnis, ändert und sieht die Auswirkung, er baut Vertrauen in das Tool auf. Diese Beispiele gestaltet der Lehrende außerdem so, daß gleich noch - unterschwellig - weiteres Wissen mit 'rüber' gebracht wird, also ein Synergiereffekt genutzt wird, was sich ähnlich wie bei CAI geradezu anbietet.

Zum Beispiel in die Beschreibung für den Layouteditor müssen Beispiellayouts eingearbeitet sein. Die Beschreibung des Editors sollte die Form eines Tutorials haben, das man an der Workstation selbständig anhand dieser Beispiel-'Führung' durcharbeitet, was somit ermöglicht, daß der Lernende spielerisch selbst alle Features des Tools kennenlernt, weil er sie an den Beispielen ausprobiert.

Das Werkzeugmanual ist auch mit Blick auf das Praktikum, die Laborübungen, entsprechend aufzubauen. Welche Tool-Kapitel, in welcher Reihenfolge, enthalten sein sollen, diktiert mehr die Lehre des Entwerfens, das muß motivieren. Als günstig erwies sich folgende Struktur:

1. Layout

Editor

Design Rules Check

Plot

CIF

- 2. Extractor
- 3. Simulation

analog

logic

Fehler

4. Chipdesign

Zellbibliothek

Entry

Place and Route

Umgekehrt ist sie möglich, hat man mehr den Standardzellenentwurf im Sinn. Weiteren Teilen wie Logiksynthese u.ä. steht nichts im Wege.

5. Laborübungen

Zunächst eine Grundvoraussetzung für den Teilnehmer. Es muß selbstverständlich sein: Jeder hat während der Laborübung einen Workstationarbeitsplatz allein, also keine Doppelgruppen bilden. Ferner ist Einzelabnahme durch den Betreuer noch an der Station vorzusehen (Vortestat), Einzelausarbeitungsabgabe ist ebenfalls erforderlich. Hier kann man mit vielen Aufgaben mit Abnahme und Ausarbeitungsabgabe leicht zu viel verlangen. Und da geht auch der Nutzen zurück, da die Aufgaben dann kürzer gestaltet sein müssen und notgedrungen an der Oberfläche bleiben würden.

Drei Laboraufgaben über das Semester ist meist bereits füllend. Jede Aufgabe muß Lehr- und Lernziele abdecken, möglichst alle Ziele sollen im Labor "beackert" werden. Es sei der Anfang mit dem Layout als Weg zum Entwurf betrachtet (hier liegt Erfahrung vor, jedoch nicht beim Anfang über Standardzellen, wie will man da die Grundlagen demonstrieren?). Die weiteren Aufgaben bauen auf dem Wissen auf und nehmen im Umfang zu.

Folgende Struktur erwies sich nach mehreren auch durchaus ganz anderen Versuchen als günstig:

1. Laboraufgabe

- a) Kennenlernen des Layouttools
- b) Durchführung eines Layoutentwurfs

Für a) 3 Labortermine (Beispielentwürfe im Tutorial), Vortestate für Üben von Instanzen. Für b) 2 Labortermine zB. kleine Logikschaltung: Layout, DRC, Plot, CIF

2. Laboraufgabe

mit größerem Logikentwurf und Layout

Ca 3 Labortermine, hier Einbringen eines Tools der Logiksynthese möglich. Design in 'random style' und 'regular style' (PLA). Worst-case Delay Abschätzung und Betrachtung der Lasten.

3. Laboraufgabe

kleine sequentielle Schaltung

Ca 4 Labortermine. Eine Leafcell selbst erstellen, andere aus der Zellbibliothek verwenden. Place und Route selbst layouten (einseitiges und zweiseitiges Riverrouting). Mit Tools: Extraktion und Backannotation, Simulation (Einfluß parasitärer Elemente) und Kenngrößen der Schaltung bestimmen, auch iterativ zB. Setupdelay.

Globale Lehrstrategie ist also: Besser ist es, an kleinen Schaltungen zu üben, um den Vorlesungsbereich zu stützen, als sofort einen Großblock

oder gar einen Chip zu entwerfen - den Ehrgeiz des Lehrenden, die Anfangsbegeisterung der Lernenden in Ehren. Ein automatisches Tool erst dann verwenden, wenn der Lernende dessen Funktion zuvor 'zu Fuß' durcherlebt hat (wo das machbar ist).

Chipdesign ist natürlich möglich, zB. aufgeteilt auf Teamgruppen. Das ist aber auf später zu legen. Kritische Betrachtung zeigt auch, da sind noch nicht alle Tools 'dran' gewesen. Es sind weitere Aufgaben denkbar zur Logik- und Fehlersimulation und beim Schematic Entry und beim Placement gefolgt von automatischem Routing. Das sind Fortgeschrittenen-Laborübungen, als Seminar- oder Projektaufgaben, mit der Möglichkeit der Realisierung der Integrierten Schaltung auf einem Multi-Projekt-Chip, aber auch der anschließenden Aufgabe, den zurückkommenden Chip entsprechend zu testen.

6. Eine kleine Auswahl von Fach- und Lehrbüchern

D.A. Pucknell, K. Eshraghian Basic VLSI Design, Systems and Circuits Prentice Hall, 1988 als vorlesungsbegleitendes 'textbook' sehr geeignet

C.A. Mead, L. Conway Introduction to VLSI Systems Addison Wesley, 1980 insbesondere auch der Abschnitt zum Ur-CIF

J. Mavor, M.A. Jack, P.B. Denyer Introduction to MOS VLSI Design Addison-Wesley, 1983

N. Weste, K. Eshraghian Principles of CMOS VLSI Design - A Systems Perspective Addison-Wesley, 1984

A. Mukherjee Introduction to nMOS and CMOS VLSI Design Prentice Hall, 1986

M.R. Haskard, I.C. May Analog VLSI Design - nMOS and CMOS Prentice Hall, 1988

E.J. McCluskey Logic Design Principles - With Emphasis on Testable Semicustom Circuits Prentice Hall, ca 1988 enthält sehr gutes umfangreiches Kapitel über Design for Testability B. El-Kareh, R.J. Bombard Introduction to VLSI Silicon Devices, Physics, Technology and Characterization Kluwer Academic, 1986

R.K. Watts Submicron Integrated Circuits John Wiley, 1989

E.E.E. Hoefer, H. Nielinger SPICE, Analyseprogramm für elektronische Schaltungen Springer, 1985

K. Schmidt Entwurf Digitaler Systeme Kohlhammer, 1979

K. Horninger Integrierte MOS Schaltungen Springer, 2. Auflage, 1987

H.-M. Rein, R. Ranfft Integrierte Bipolarschaltungen Springer, 1987

und ein Toolmanual für die Laborarbeit wie es in Abschnitt 4 beschrieben wurde (nur als Orientierung gedacht, denn woanders kommen andere Werkzeuge zum Einsatz): Labor für IC-Entwurf, Fachhochschule Furtwangen CAD Tools User Guides, Volume 1, KICBOX and FUSE edited by K. Schmidt

Zusammenfassung: Eine generell übertragbare Anleitung zur Lehre des Entwurfs Integrierter Schaltungen ist nicht möglich, denn das Gebiet ist sehr umfangreich. Studiengänge, die den IC-Entwurf bei sich einführen, werden dabei naturgemäß Schwerpunkte setzen, die ihren Zielen entgegenkommen. Nur bei den Grundlagen gibt es so etwas wie ein Erfolgsrezept, was man der Mead/Conway-Bewegung der frühen 80er Jahre verdankt. Durchschlagend war hier aber auch die Idee vom Multi-Projekt-Chip. Es ist zu bezweifeln, ob die Verbreitung der Lehre des IC-Entwurfs so rasch ohne diese Möglichkeit erfolgt wäre. Die Werkzeuge für den Entwurf Integrierter Schaltungen haben sich inzwischen drastisch zur schnelleren Design Automation hin verändert. Die Lehre muß das berücksichtigen, sie ist dadurch im Gegensatz zum IC-Entwurf jedoch nicht einfacher geworden.

Ausbildung im IC-Entwurf: Blick in den FH-Bereich in Holland

> Prof. K. Schmidt Mikroelektronik Fachhochschule Furtwangen

Besuch Hogeschool Eindhoven am 28.9.89

(zuvor waren am 3.7.89 Prof. Dr. Dinius u. Prof. Karger dort gewesen)

Das Programm war von Herrn Arends wie nachstehend arrangiert worden und an den Gesprächen nahmen teil

Ir. J. Arends, Koordinator Elektrotechnik 4tes Jahr

Ir. R. Bakker, Projektleiter ICO (Vertiefungsrichtung: Entwurf integrierter Schaltkreise)

Ir. A. Geerts, Dozent

Ir. W. de Valk, Dozent

09.30 Empfang, Einführung in das ICO-Projekt (Entwurf integrierter Schaltkreise), Rundgang durch die Labors

12.30 Lunch in der Hogeschool

14.00 Vortrag K. Schmidt, zu Mikroelektronik an der FHF

15.00 Gespräch zu weiterer Zusammenarbeit

16.15 Ende

Einführung:

Vor fünf Jahren startete in Holland (14 Mill. Einwohner) ein nationales Projekt zur Förderung der Ausbildung im Entwurf integrierter Schaltkreise, zunächst an den Universitäten des Landes. Seit 1986 wurden daran vier Hogeschools (entsprechen etwa unseren Fachhochschulen) beteiligt, Alkmaar, Den Haag, Eindhoven, Enschede, denen man Ausrüstung gab und die man an der Designsoftware, in der Hauptsache das Programmpaket NELSIS, partizipieren ließ (PICO Projekt genannt). Seit neuestem sind alle 19 Hogeschools des Landes einbezogen, die Bewilligung umfaßt 25 Mill. Gulden bis Sept.1990 bei insgesamt 5 Stellen. Neu sind an der Hogeschool Eindhoven jetzt auch Apollo Workstations mit Mentor CAE Software, in ausreichender Zahl für Gruppenpraktika.

Das Studium an der Hogeschool dauert 4 Jahre. Das erste Jahr wird Propaedeuse genannt. Das zweite Jahr ist das Basisstudium. Das dritte Jahr ist ein Praxisjahr (2 Abschnitte zu 100 Arbeitstagen a. 15.8.-15.1. b. 15.1.-1.7.). Das vierte Studienjahr ist das Vertiefungsstudium, hier gibt es 7 verschiedene Richtungen (genauer s. die beigefügte Übersicht aus dem Bericht von Dr. Dinius). Interessant ist die Tatsache, man lehrt IC-Entwurfsgrundlagen (MOS digital) bereits im zweiten Jahr für alle Elektrotechnikstudierenden! In der ICO-Richtung im vierten Jahr vertieft man, nimmt Analog und Bipolar hinzu, führt größere Entwürfe und Projekte durch. Der Abschluß ist wie Bachelor Ingenieurgrad. (Bemerkenswert, das holl. Hochschulsystem kennt an den Universitäten zwei Stufen, eine vierjährige erste und eine zweite. Dem Absolvent der Hogeschool steht der Übergang in die zweite Stufe der Universität offen!)

Labor:

IC-Entwurf im 4.Semester (2.Jahr): 2 Wochenstunden Theorie, 2 Stunden Labor. Das Labor umfaßt 14 Aufgaben, für jeden Praktikumstag eine. Benutzt wird ein holl. Lehrbuch über Entwurf von Digitalen MOS ICs, das die vier ersten Hogeschools im Projekt PICO erstellt haben (Autoren: d.Kaper, Visch, Winkelhorst).

Prüfungswesen (generell für alle Fächer): Semesterablauf 7 Wochen, 1 W Zwischenprüfung optional – 1/3 zählend, 7 W wieder Vorlesung, 1 W Pause, 1 W Prüfung über Gesamtstoff in zwei Teilen, Student mit bereits bestandener Zwischenprüfung ist freigestellt vom ersten Teil. Diese Methode sichert eine bessere konstante Mitarbeit der Studierenden gegenüber nur einer Schlußprüfung, wie man mir sagte. Studienbelastung: Z.B. im 7. Semester 6 Fächer, davon sind drei Pflicht.

An der Hogeschool Eindhoven sind speziell im Bereich IC-Entwurf die Kollegen Bakker, Bidlot, Geerts, d. Valk, Yilmaz tätig:
Komponenten, Basisschaltungen, Technologie (Bakker, Geerts)
Systementwurf (d. Valk)
NELSIS (Bidlot, Yilmaz)
Die Ausrüstung wird auch für PCB-Layout verwendet (Bidlot, Geerts).

Beim Rundgang durch die Labors zeigte sich, daß auch Silvar-Lisco Software für den IC-Entwurf im Einsatz war. Z.B. HELIX HDL zu einer Highlevel Simulation, verschiedene Simulationsmodelle für einen Simulationslauf ermöglichend. Wurde sehr gelobt wegen der hierarchischen Strukturmöglichkeiten. – Ferner ist vorhanden ESPRESSO (Berkeley) zur Funktionsminimisierung.

Zusammenarbeit:

Wir sprachen über

- 1) a) Studentenpraxissemester
 - b) Studienanerkennung
- 2) Lehrmittelaustausch
- 3) Dozentenaustausch

zu la) Studentenpraxissemster

Studenten zum Praxissemester ins andere Land. COMETT-Programm.

Betreuung jeweils von der Partnerhochschule aus. Anfangswoche an der Partnerhochschule, dann zur Industriestelle. Betreuung im Minimum zwei Besuche durch betreuenden Dozenten und ein Report gewünscht. Student fertigt einen Bericht. Das Praxissemester soll auch vor Ort von der Partnerhochschule anerkannt werden. Probleme für Student nach Holland.

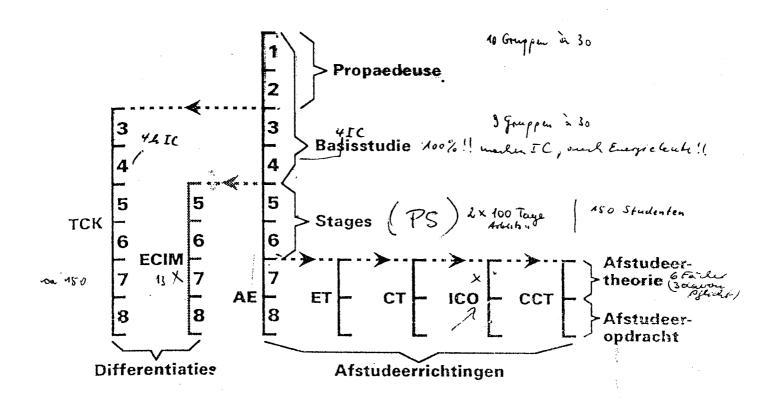
1) Sehr niedriges Taschengeld als Zahlung durch die Industrie, etwa 400 G im Monat (das liegt daran, weil holl. Studenten bis 600 G staatlich Förderung je nach Elternverdienst bekommen, auch während der Werkstudentzeiten). 2) Holl. Sprache.

- zu lb) Studienanerkennung sollte, so der Wunsch, für je ein Semester ermöglicht werden. Student studiert an der Partnerhochschule. Problem für Student nach Holland: Sprache der Vorlesung holländisch.
- zu 2) Lehrmittelaustausch zwischen den Dozenten der Partnerhochschulen ist möglich. Das kann auf direktem Wege geschehen.
- zu 3) Dozentenaustausch. Hierzu eignet sich das ERASMUS Programm der EG. Herr Ir. Bakker teilt mit, daß er bald einmal zu uns kommen wolle. Über den Termin und die Zeitdauer sprachen wir noch nicht. Holl. Dozenten können meist auch in deutscher Sprache lehren. Umgekehrt für uns in Holland wird es schwieriger, zu Vorlesungen kommt als Ausweichsprache Englisch in Betracht, dies allerdings mit Einschränkung wegen des Prüfungsbereichs zwingend in Holländisch.

Zusammenfassend: Der Besuch gab mir einen guten Einblick in das holl. System, in die Hogeschool Eindhoven, in die dortige Mikroelektronikaktivität ICO, und ich danke besonders Herrn Arends, der den Besuch so hervorragend organisierte. Anknüpfungspunkte haben sich in dem Gespräch mit den holl. Kollegen vielfältig ergeben.

Studiepaden bij de

Studierichting Elektrotechniek van de Hogeschool Eindhoven



Afkortingen:

TCK	Technische Computerkunde
ECIM	Electronic Computer Integrated Manufacturing
AE	Algemene Elektrotechniek
ET	Energietechniek
CT	Computertechniek
, ICO	Integrated Circuit Ontwerptechniek
CCT	Commerciele Techniek



Design und Layout eines 2 auf 6 Volt Spannungskonverters Seminararbeit von Wolfgang Zerweck

im Wintersemester 89/90

Betreuer: Prof. W. Kuntz
von der Fachhochschule Furtwangen

1. Einleitung

Als Seminarthema im Wintersemester 89/90 sollte das Design und Layout für einen Spannungskonverter von 2 auf 6 Volt erstellt werden. Die Schaltung soll die Spannung, die von einer Photozelle abgegeben wird, auf eine prozessorverträgliche Betriebsspannung konvertieren. Diese Anordnung wird benutzt um einen intelligenten Sensor über Lichtwellenleiter mit Energie zu versorgen.

Zur Verfügung standen ein Rechner mit 80386- und Arithmetikprozessor und PSPICE in der Version 1.01.

2. Schaltungsentwurf

2.1 Schaltungsprinzip

Den prinzipiellen Aufbau habe ich aus einer vorangegangenen Seminararbeit übernommen. Sie funktioniert nach dem Prinzip der Ladungspumpe (Abb. 1,2). Die Pumpkondensatoren werden über Transfergates parallel geladen und dann übereinandergeschalten. Diese Schaltung hatte jedoch den Nachteil, daß sie ideal zwar 6 Volt am Ausgang erreichte aber real durch innere Verluste doch nur auf knapp 4 Volt kam.

2.2 Weiterentwicklung

Das Schaltungsprinzip wurde bei der verbesserten Schaltung beibehalten jedoch wurden jetzt zwei Verdoppler hintereinandergeschalten. Unter realen Bedingungen konnte ungefähr mit 6.5 Volt am Ausgang gerechnet werden.

Die nachfolgende Simulation zeigte jedoch, daß die Ausgangsspannung lediglich auf knapp 4 Volt anstieg. Schuld daran waren C3 und C2. Da sie beide gleich groß waren trugen sie nach der Obereinanderschaltung die gleichen Ladungen. Bei der darauffolgenden Parallelschaltung konnte daher C2 C3 nicht mehr aufladen. Abhilfe schaffte hier eine Umdimensionierung der Kondensatoren. C1, C2 und C4 wurden auf 100μ und C3 auf 20μ gesetzt.

Die Bulks der Transistoren waren bisher auf Source gelegt

worden. Der Chip soll jedoch in einem P-Wannen Prozess hergestellt werden, d.h. alle Bulks von P-MOS Transistoren liegen auf einem Potential. Untersuchungen der Inverterkennlinie in Abhängigkeit von der Bulkspannung zeigten jedoch eine geringe Verschiebung.

Da die Schaltsignale auf dem Chip erzeugt werden sollten, wurden die bisher verwendeten idealen Schaltspannungsquellen durch eine Inverterkette ersetzt, die von der Stufe versorgt wurde die sie auch beschaltete. Dies hatte außerdem den Vorteil, daß nur noch ein Steuersignal benötigt wurde. Die Simulation ergab jedoch wiederum nicht das gewünschte Ergebnis. Ab 2.6 Volt Spannung wurde die Inverterkette nicht mehr richtig durchgeschalten (Abb 3). Die Problemstelle war hier der Obergang von der 1. Stufe zur 2. Stufe in der Inverterkette. Die Versorgungsspannung der letzten zwei Inverter war soweit angehoben, daß die ersten Inverter kein logisches "HIGH" mehr liefern konnten. Deshalb wurde ein Inverter mit verschobener Kennlinie konstruiert, der schon bei niedrigeren Eingangsspannungen durchschaltet (Abb. 4,5).

Nun wurden überflüssige Inverter aus den Transfergates entfernt, was den Simulations- und Platzaufwand natürlich erheblich verringerte (Abb 6). Die Simulation zeigte jetzt einen problemlosen Anstieg der Ausgangsspannung auf über 7 Volt (Abb. 7).

Der Oszillator zur Schaltsignalerzeugung besteht aus 3 Invertern mit 2 externen Bauteilen. 2 der 3 Inverter wurden bezüglich ihrer Stromaufnahme optimiert (Abb. 8,9). Der 3. Inverter ist bereits der 1. Inverter der Inverterkette. Die frequenzbestimmenden Bauteile R und C wurden extern beschaltet wegen des großen Platzbedarfs der Bauteile und weil so noch eine Beeinflußung der Oszillatorfrequenz möglich ist, um z.B. größere Kondensatoren laden zu können.

3. Layout

Da die Simulation erst vor Kurzem abgeschlossen wurde kann hier nur ein grober Oberblick über eine Layoutmög-lichkeit gegeben werden. Da die Transfergates mit 200µ W und 100µ recht groß sind wird die Inverterkette gut in die Zwischenräume der Transfergates passen. Die Schaltung hat insgesamt 10 Pins die fast die gesamte Schaltung abdecken, sodaß keine zusätzlichen Testpins nötig sind.

1. Zusammenfassung

Gegen Ende der Seminararbeit zeigte PSPICE eine Nichtli-

nearität bei der Berechnung von Transistoren über 100μ Weite, deshalb können die Simulationsergebnisse nicht als 100 prozentig richtig interpretiert werden. Aus eigenen Berechnungen ergab sich, daß das fertige IC besser liegen müßte als die Simulationsergebnisse. Der Wirkungsgrad aus der Simulation betrug 60 Prozent und die Ausgangsspannung stieg über 6.5 Volt. Genau konnte die Ausgangsspannung nicht ermittelt werden wegen der extrem langen Laufzeit der Simulation.

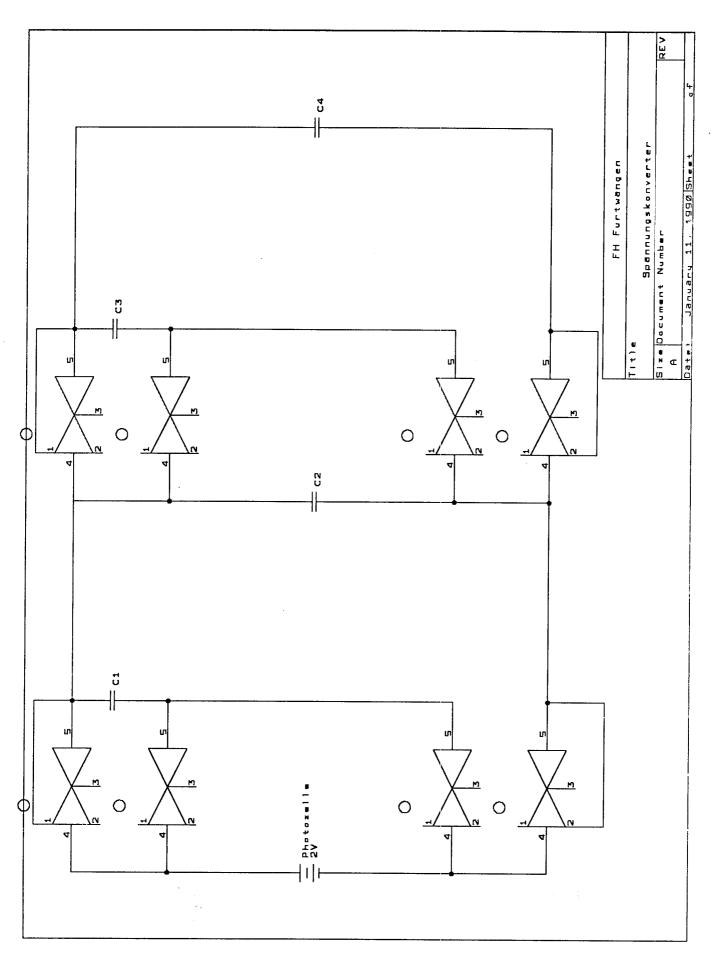
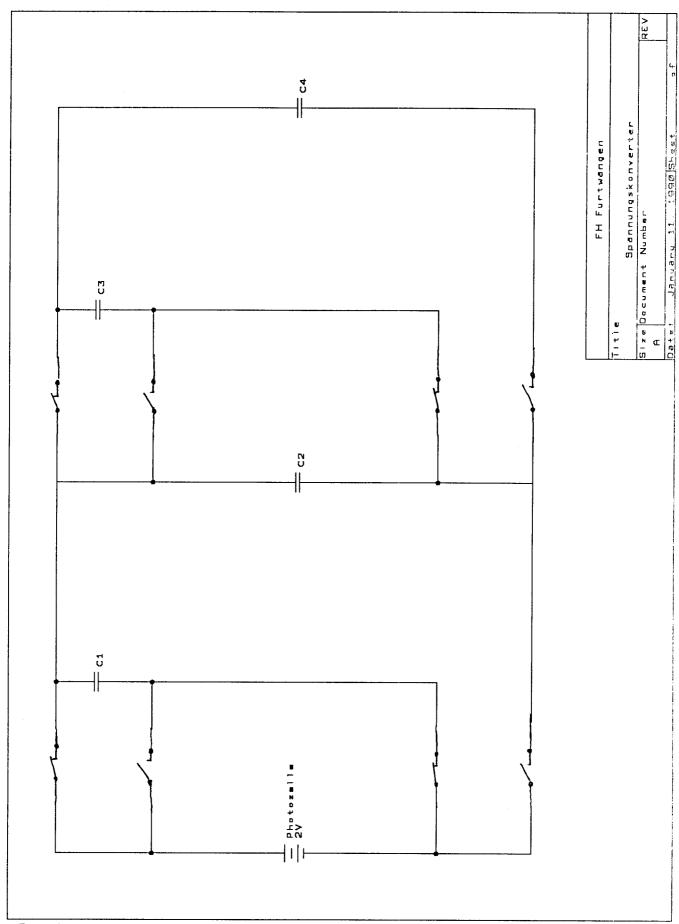
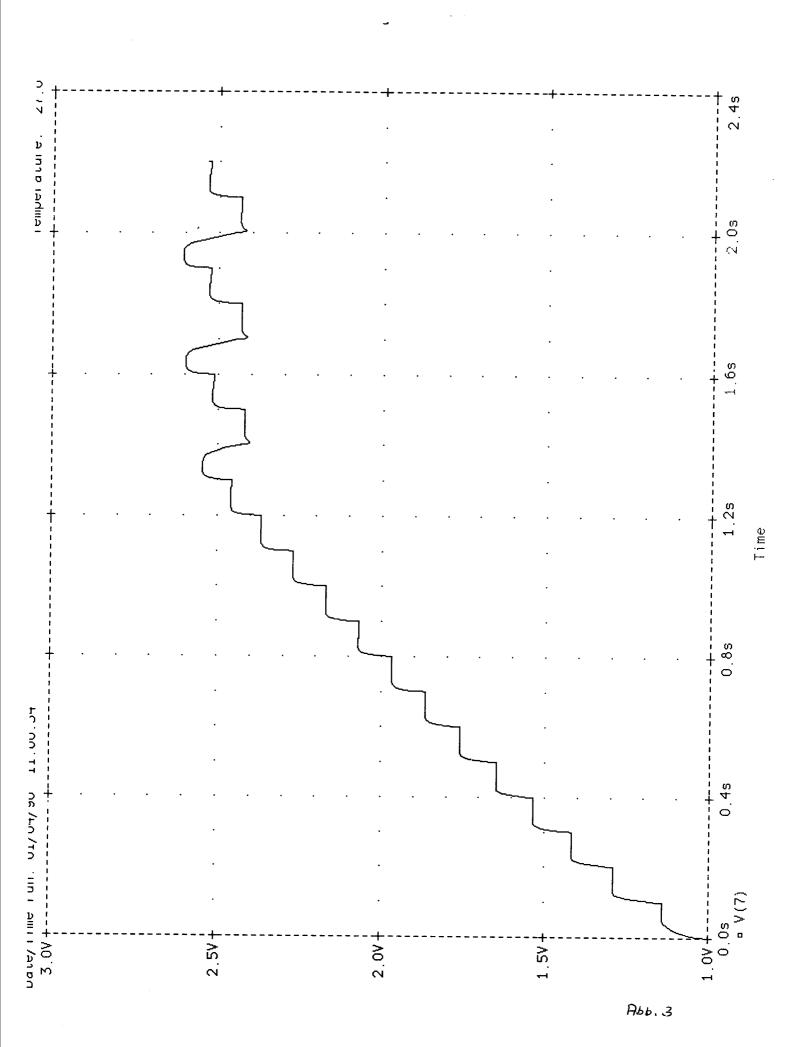
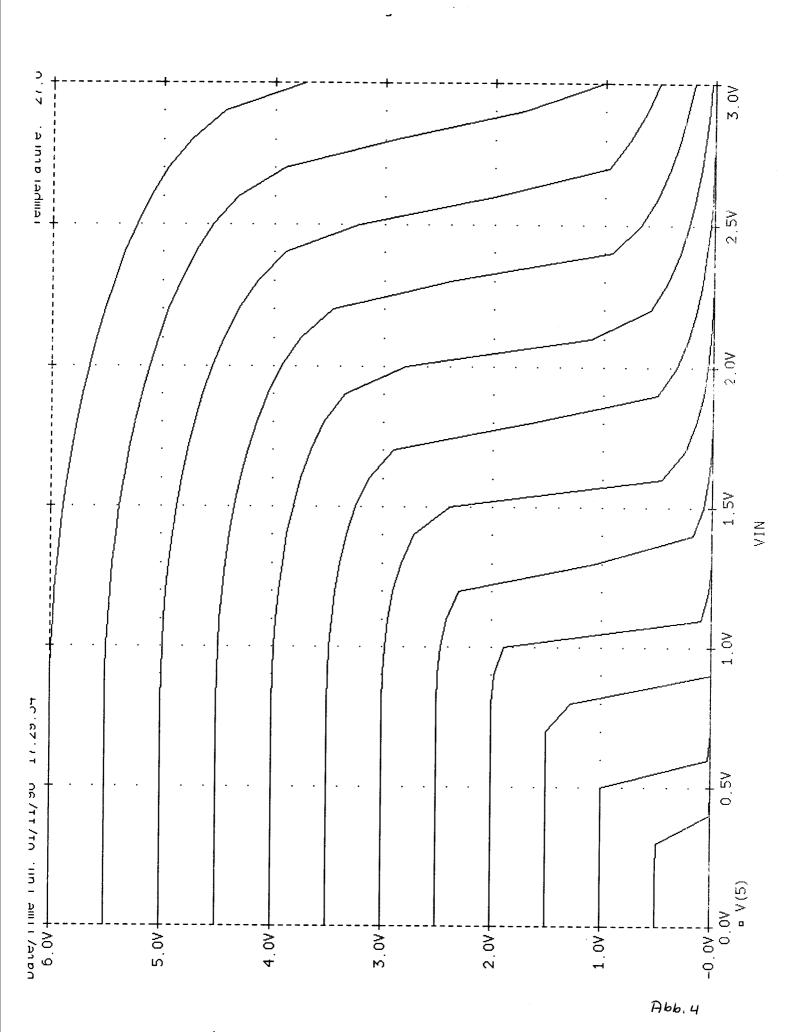
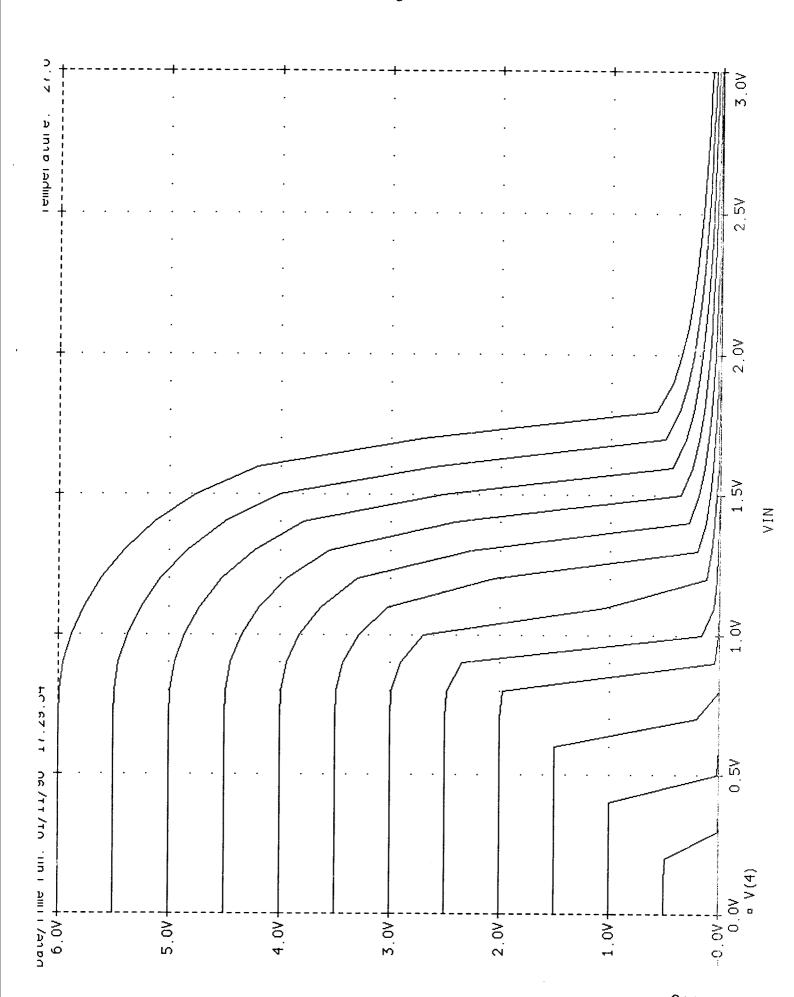


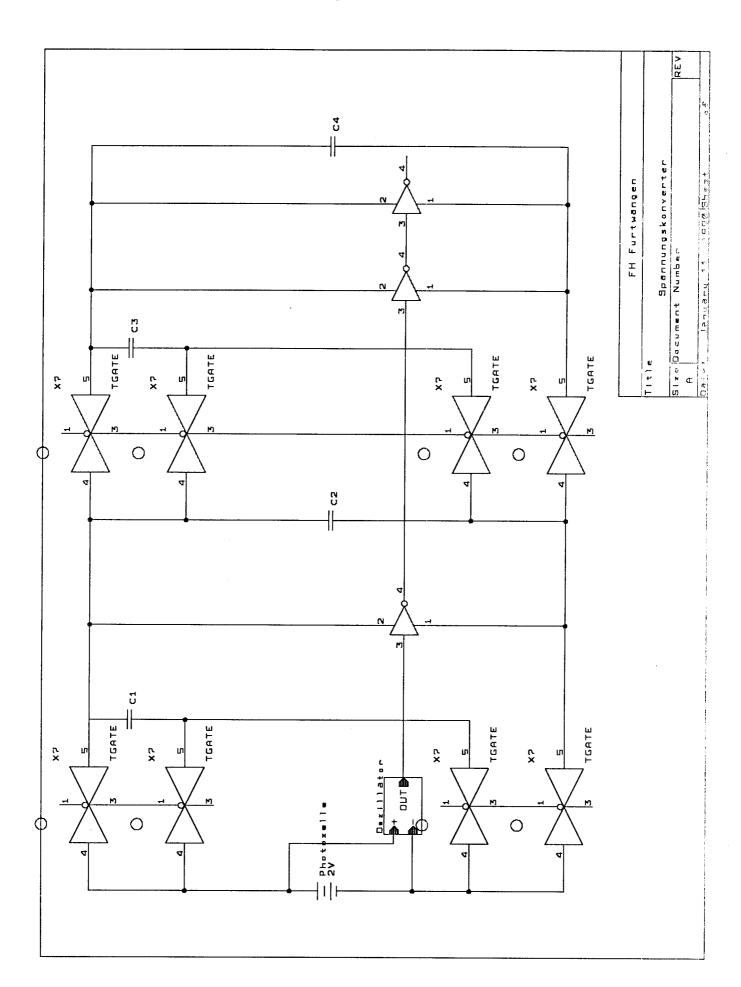
Abb. 1

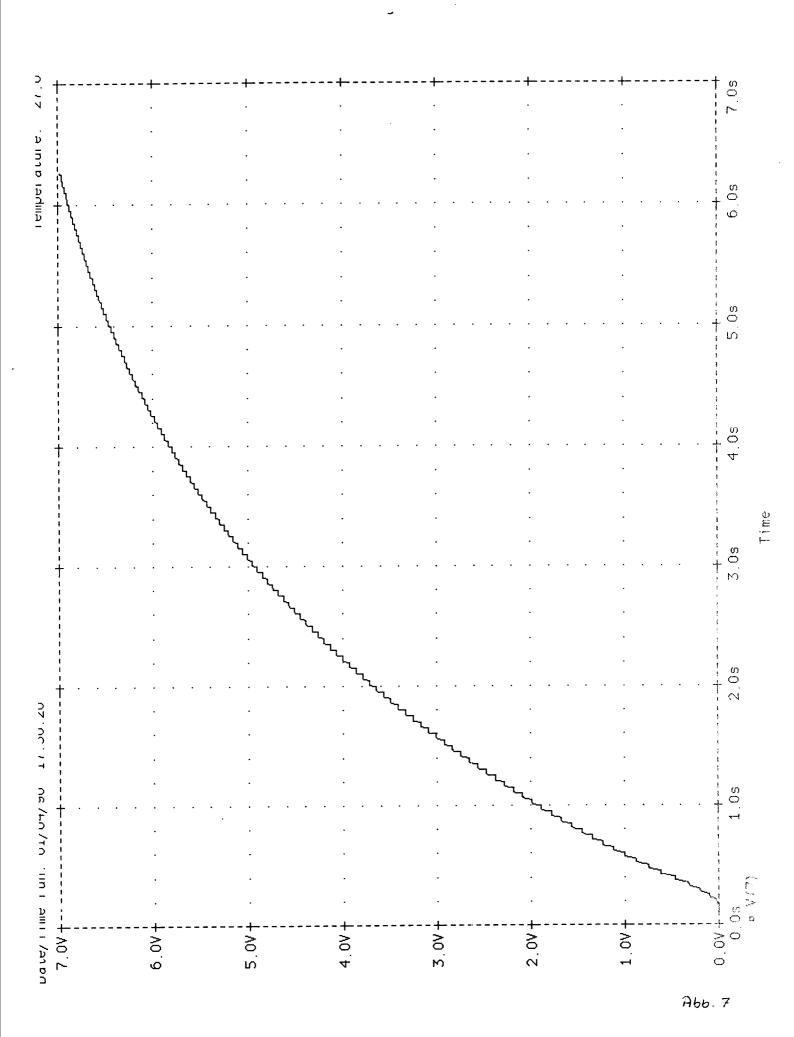




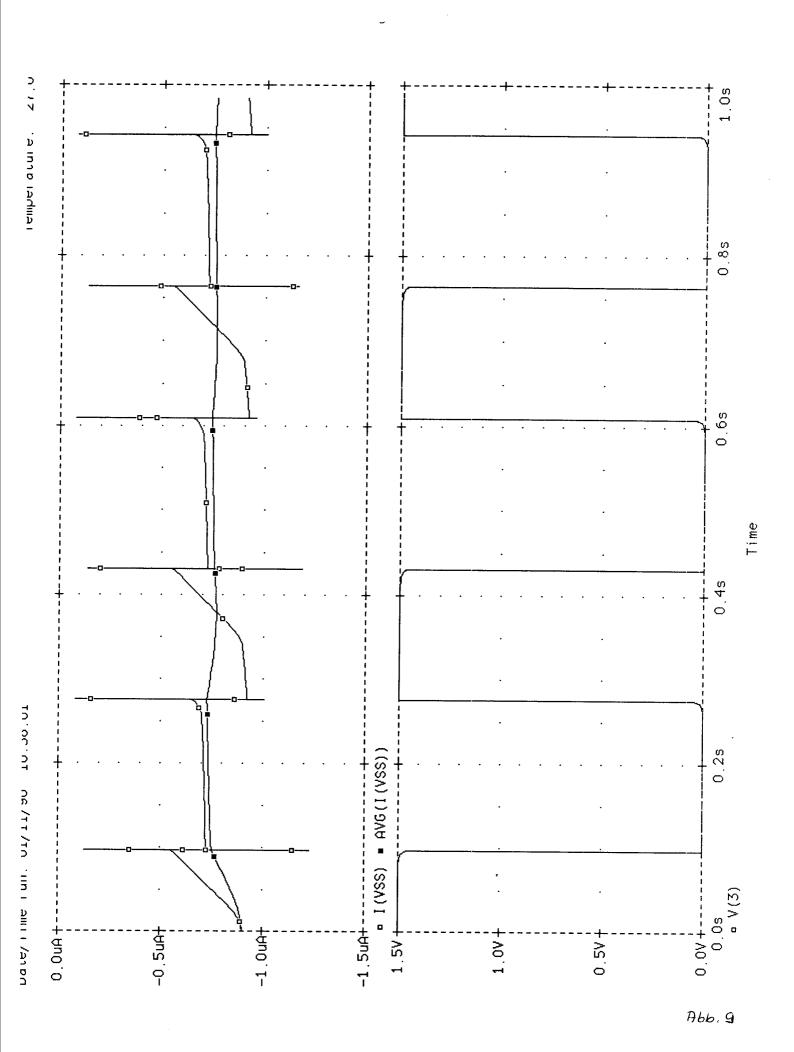








FH Furtwangen € (+ I L n N N N W = 1 u $L = 4 \, \mathrm{u}$ L=4u P-MOSFET N-MOSFET





Entwurf eines Logic-Cell Arrays (LCA) für eine Lichtwellenleiterübertragungsstrecke von einer CCD - Kamera zu einem Personal-Computer

Bernd Reinke Fachhochschule Offenburg

Einführung

Die Elektronikindustrie bietet für die Realisierung digitaler Logik eine Vielzahl integrierter Bausteine an, die ein Höchstmaß an Zuverlässigkeit als auch Integrationsdichte ermöglichen.

Je nach Integrationsdichte unterscheidet man hierbei zwischen Standardlogik (TTL,CMOS,DTL...), programmierbarer Logik (PLA, GAL...), Gate Arrays und ASIC-Bausteinen. Mit steigender Integrationsdichte werden Systemeigenschaften verbessert, wie Leistungsverbrauch, Platzbedarf, und Zuverlässigkeit.

Jedoch steht ihr auch ein stark erhöhter Kostenund Entwicklungsaufwand gegenüber, der den Einsatz hochintegrierter Bausteine in Einzelfertigung bzw. Kleinserien verhindert.

Xilinx bietet nun mit seiner LCA-Produktreihe (logic cell array) eine Alternative zu bestehender hochintegrierbarer Logik an, mit der es möglich sein soll, Vorteile der genannten Einzelproduktgruppen zu übernehmen, und deren Nachteile zu beseitigen.

Im Rahmen einer Diplomarbeit wurde ein solcher LCA-Baustein (XC3020) eingesetzt. Anhand der gegebenen konkreten Anwendung konnte hierbei untersucht werden, wie schnell sich ein solcher Baustein in bestehende Hardware eingliedern läßt, und welche Integrationsdichte er ermöglicht.

Im Folgenden sollen nun als Schwerpunkte das Einsatzgebiet, die Entwicklung und die Simulation des LCA bei vorliegender Aufgabenstellung aufgezeigt werden.

An dieser Stelle möchte ich mich für die Unterstützung von Herrn Prof. Dr. Dirk Jansen bedanken, ohne den die Bearbeitung einer solch umfangreichen Aufgabe nicht möglich gewesen wäre.

Aufgabenstellung

Im Bereich industrieller Meßtechnik besteht ein Bedarf nach einer Linear-CCD-Kamera, die abgesetzt von einem Auswerterechner betrieben werden soll.

Um den hohen Anforderungen an Übertragungssicherheit und Datenrate gerecht zu werden, ist eine digitale Lichtwellenleiter-Übertragungsstrecke zu entwickeln.

Zusätzlich sollen beim Aufbau der Kameraelektronik hochintegrierte programmierbare Logikbausteine eingesetzt werden. Dies ist erforderlich, un den Platzbedarf und den Leistungsverbrauch zu reduzieren.

Die ausgesendeten Daten sollen in einer Empfangselektronik (PC-Einsteckplatine) weiterverarbeitet werden.

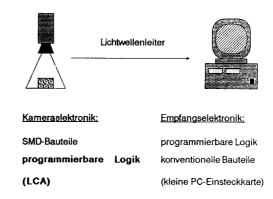


Bild 1: Komponenten der Übertragungsstrecke

Wie leicht zu verstehen ist, ist der Aufbau der Empfangselektronik vom Platzbedarf unkritisch. Die PC-Einsteckplatine bietet genügend Raum für konventionelle Elektronikbauteile.

Um daher das hier angesprochene Thema nicht unnötig auszuweiten, wird im Folgenden nur die Kamera-

bzw. Senderelektronik behandelt.

Anforderungen an die Kameraelektronik

Zur Aufbereitung und Übertragung der Bild-Daten müssen folgende elektronische Vorkehrungen getroffen werden:

- * Analoge Aufbereitung der Sensordaten
- * Umwandlung der Daten in ein digitales Signal (gefordert sind acht Bit; entsprechend 256 Graustufen)
- * Erzeugung eines Rahmens für die Datenübertragung
 - BOS (begin of string)
 - EOS (end of string)
- * Umwandlung der digitalen Signale in einen übertragungsfähigen Code.
- * Erzeugung eines CRC (cyclic redundancy check) zur Erkennung von Datenübertragungsfehlern
 - BCS (block check sequence)
- * Übertragung einer vorgegebenen Bitfolge zwischen den Datenübertragungen
 - IDLE (Ruhe- bzw. Belichtungszustand)
- * NRZ-Code (modifiziert durch einen 4Bit/5Bit-Code)

Aufbau der Kameraelektronik

Datenstrecke: Analogteil

Zunächst ist die Datenstrecke vom CCD-Sensor bis zur LWL-Sendediode zu betrachten:

der CCD-Sensor besteht aus einer Anordnung von 3684 lichtempfindlichen Photodioden (angeordnet in einer Zeile), die bei Lichteinfall auf den Sensor ein elektrisches Potential erzeugen. Diese Potentiale können nach einer beliebig einstellbaren Belichtungszeit seriell ausgelesen werden (CCD-Prinzip). Die Ausgangs- bzw. Bildsignale liegen dabei als Differenzsignale vor, wobei die Intensität eines belichteten Bildpunktes (Pixel) durch die Größe des Differenzsignals gegeben ist.

Zur Verarbeitung dieser Differenzsignale wird eine einfache Differenzverstärkerschaltung mittels Video-Operationsverstärker eingesetzt.

Für die spannungsmäßige Anpassung dieses Signals an die Eingansstufe eines AD-Wandlers wird eine passive Klemmung des Signals durchgeführt.

Datenstrecke: AD-Wandler

Die anschließende Digitalisierung des analogen Signals erfolgt durch einen AD-Wandler, der nach dem Parallelverfahren arbeitet (Flash-Typ). Der Vorteil gegenüber anderen Wandlerverfahren liegt hier be-

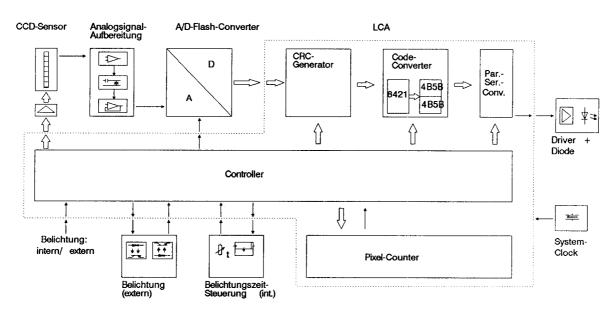


Bild 2: Blockschaltbild Kamera

sonders in der Wandelgeschwindigkeit (Bei unserer Anwendung erfolgt die Abtastung des Analogsignal mit ca. 1MHz).

Ab hier steht nun jeder Bildpunkt (Pixel) als digitales acht Bit breites Datenwort zur Verfügung.

Für die serielle Übertragung über Lichtwellenleiter muß noch eine digitale Aufbereitung erfolgen.

Datenstrecke: 4B/5B-Code

Bei Datenübertragungen mittels Aderleitungen ist es sehr einfach, den Sendetakt der zu übertragenden Daten anhand einer zweiten Leitung mitzuliefern. Dies ist bei einer LWL-Verbindung nicht möglich. Das Taktsignal muß also aus der übertragenen Bitsequenz zurückgewonnen werden (Die unterschiedlichen Methoden der Taktrückgewinnung sollen hier nicht angesprochen werden. Hierfür sei auf einschlägige Literatur verwiesen).

Bei der hier vorliegenden Anordnung wird folgendes Verfahren eingesetzt:

zum Verständnis stelle man sich einen im Empfänger angeordneten Schwinkreis hoher Güte vor, der durch einen Impuls angeregt wird. Bevor die Amplitude der Schwingung einen vorgegebenen Wert unterschreitet, soll ein neuer Impuls den Schwingkreis wieder anregen. Wenn man nun diese Impulsfolge durch den Datenstrom erzeugt (z.B. bei jedem

8421	4b5b
0 1 2 3 4 5 6 7 8 9 a b c d e f flag sync nsync	00101 00110 01001 01001 01010 01011 01100 01101 10010 10011 10100 11010 11000 11000 11000 10101 01010

Bild 3: 4B/5B-Kode

Übergang von logisch null nach eins und umgekehrt) so muß man nur gewährleisten können, daß dieser Impuls wieder nach einer maximalen vorgegebenen Zeit auftritt. Wenn zusätzlich die Mittenfrequenz des Schwingkreises der des Sendetaktes entspricht, so kann nun aus dem Oscillatorsignal des Schwingkreises die Phase und die Frequenz des Sendetaktes zurückgewonnen werden. Damit läßt sich dann das empfangene Signal zeitrichtig abtasten.

Für dieses Verfahren ist es notwendig, den 8421-Code des AD-Wandlers in einen Code überzuführen, der die obengenannte Forderung erfüllt:

dabei werden die acht Bit des AD-Wandlers in zwei Nibble unterteilt, und jeweils in entsprechende fünf Bit gewandelt. Der Code ist hierbei so angelegt, daß beim Aneinanderreihen von mehreren fünf-Bit-Sequenzen maximal vier Nullen bzw. Einsen in Folge auftreten. Es muß im Empfänger also gewährleistet sein, daß der Schwingkreis seine Amplitude über maximal vier Impulspausen beibehält, bevor er wieder angeregt wird.

Eine weitere Eigenschaft dieses Codes besteht darin, daß in einem Datenstrom ein ausgeglichenes Verhältnis zwischen logisch null bzw. eins besteht (statistisch ca. 50%).

Datenstrecke: CRC-Generator

Bevor jedoch die Codewandlung erfolgt, wird jedes Datenbyte durch einen CRC-Generator hindurchgeschleust. Er erzeugt aus den Daten einer Bildzeile (3684 Bildpunkte) eine acht-Bit-Sequenz, die später zur Fehlererkennung herangezogen werden kann. Prinzipiell findet in ihm eine polynome Teilung der acht-Bit-Folge mittels eines einstellbaren Generatorpolynoms statt. Dabei entspricht die Datenfolge dem Dividend; das Generatorpolynom ist der Divisor. Durch die Teilung entsteht ein Quotient mit Rest, wobei nur der Rest (block check sequence) für die Fehlererkennung herangezogen wird. Der Quotient wird vernachlässigt.

Datenstrecke: Shift-Register

Die Anwendung des NRZ-Codes zur Datenübertragung erlaubt minimalen Schaltungsaufwand. So müssen die parallel anliegenden Daten nach der Code-Wandlung nur noch über ein Shift-Register (parallel ein-seriell aus) in ein serielles Format umgewandelt werden.

Controller

Kontinuierliche und damit synchrone Übertragung ergibt sich dann, wenn nach jedem vollständig ausgelesenen Datenwort das nächste Datenwort zur Übertragung bereitsteht.

Die Steuerung, die diese Aufgabe übernimmt, läßt sich mittels Zustandsdiagramm beschreiben:

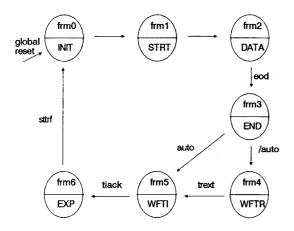


Bild 4: Zustandsdiagramm der Kamerasteuerung

Während des Zustands frm0 (frame) befindet sich die Kamera in der Initialisierungsphase (INIT). Das bedeutet, daß die Datenstrecke auf die eigentliche Datenübertragung vorbereitet wird. Beim Übergang nach frm1 wird eine Startsequenz (STRT) gesendet, die dem Empfänger den Beginn einer Datenzeile meldet. Nun kann die Datenübertragung der einzelnen Bilddaten beginnen (DATA). Sobald die Date-

nübertragung beendet ist, geht der Controller in den Endezustand (END) über, und gibt damit die block check sequence (BCS) frei. Das Ende der Datenübertragung bildet die Endesequenz.

Je nach Einstellung kann nun zwischen automatischer Belichtung oder extern gesteuerter Belichtung gewählt werden. Der Zustand frm5 (wait for timer) ist nur ein Übergangszustand, der dann verlassen wird, wenn das angeschlossene Monoflop (Belichtungzeitgeber) in den instabilen Zustand übergegangen ist. Frm6 ist der Zustand des Controllers während der Belichtungsphase (EXPosure). Er wird dann verlassen, wenn das Monoflop (Belichtungszeitgeber) in den stabilen Zustand übergegangen ist. Ab nun beginnt wieder die Übertragung einer belichteten Bildzeile.

Es ist noch zu erwähnen, daß sich die LWL-Strecke während den Zuständen frm0,4,5,6 in einem Quasi-Ruhezustand befindet, bei dem IDLE-Sequenzen gesendet werden.

Datenverwaltung/Belichtungssteuerung

Der im Blockschaltbild angedeutete Pixelcounter beschreibt die Datenmenge einer Bildzeile (hier 3684 Bildpunkte). Er besteht schaltungstechnisch aus einem synchronen mehrstufigen Zähler.

Die Belichtungszeitsteuerung übernimmt, wie schon beim Controller erwähnt ein Monoflop. Im angeregten Zustand des Monoflops findet Belichtung statt, im stabilen Zustand Übertragung.

Nachdem die Funktion der Kamera anhand des Block-

	zustand chtung)			Datenübertragung							1		zust htu	tand ng)				_							
IDLE	IDLE	IDLE	воз	6	PXL 0	PXL 1	PX 2	_		P) 36	(L 682	P 36	XL 83	ВС	cs	ΕO	s	ID	LE	IDI	LE	ID	LE	IDL	E
1 0 0 1 1 0 0 1 1 0	1 0 0 1 1 0 0 1 1 0	1 0 0 1 1 0 0 1 1 0	0	1 4 0 B 1 / 0 5 1 B	5	4 4 B B / / 5 5 B B	5	4 B / 5 B		4 B / 5 B	4 B / 5 B	4 B / 5 B	4 B / 5 B	4 B / 5 B	4 B / 5 B	1 1 0 0	1 0 0 0	1 0 1 0	0 1 0 1 0	1 0 1 0 1	0 1 0 1 0	1 0 1 0 1	0 1 0 1 0	1 0 1 0	0 1 0 1 0

Bild 5: Datenübertragungsformat

schaltbilds voll erfaßt ist, kann nun zur schaltungstechnischen Umsetzung übergegangen werden.

Schaltungstechnische Realisierung

Hier stellt sich zu allererst die Frage, welche Baugruppen sich ohne Schwierigkeiten integrieren lassen.

Leider ist es bis zum heutigen Zeitpunkt noch nicht möglich, mit überschaubarem Entwicklungsaufwand analoge und digitale Elektronik in einem Chip zu integrieren. Dies gilt besonders in unserer Anwendung, bei der nur kleine Stückzahlen benötigt werden. Es ist deshalb sinnvoll, den Analogteil in SMD-Technik aufzubauen, zumal diese Bauteile in genügender Auswahl auf dem Elektronikmarkt vorhanden sind.

Auch die Treiber für den CCD-Sensor bzw. für die LWL-Diode müssen getrennt von der restlichen digitalen Elektronik aufgebaut werden. Dies ergibt sich aus leistungsmäßigen Gesichtspunkten.

Das Monoflop für die Belichtungszeitsteuerung ist als Universalbaustein (SMD) erhältlich. Es wäre auch nicht im Sinne einer späteren Erweiterung, die Belichtungszeitsteuerung in den Digitalteil einzugliedern.

Somit verbleibt die reine digitale Elektronik (CRC-Generator, Code-Wandler, Shift-Register, Pixelcounter, Controller und Systemtaktgenerator), die sich in einem entsprechenden Baustein integrieren läßt.

Wie zu Anfang erwähnt, wird hierfür ein LCA-Baustein vom Typ XC3020 (Xilinx) eingesetzt.

Entwicklung des LCA

Die Produktpalette der LCA-Bausteine von Xilinx umfaßt derzeit sieben Größenordnungen, deren maximales Integrationsvolumen bei 1200-9000 Gatter (asynchron) bzw. 122-928 Flip-Flops und Latches (synchron) liegt. Die Anzahl der Ein- und Ausgänge pro Chip beträgt zwischen 58 und 144.

Dabei ist jeder Chip in einzelne Logikblöcke (Makrozellen) unterteilt (64..320), die kombinatorische als auch sequentielle Logik ermöglichen.

Weiterhin befindet sich ein Taktgenerator auf dem Chip, der eine Beschaltung durch einen handelsüblichen Quarz ermöglicht.

Kompatibel sind die Bausteine zu handelsüblicher TTL und CMOS Logik.

Lieferbar sind die Bausteine in drei Gehäuseformen:

- -PLCC (plastic leadless chip carrier)
- -PGA (pin grid array)
- -Quad Flat Package

Wesentlich beim Einsatz dieser Bausteine ist, daß sie beim Anlegen der Versorgungsspannung von einem externen Speicher geladen werden müssen!

Dies kann durch ein einfaches Rom, oder auch durch ein Mikroprozessorsystem erfolgen, das die Initialisierungsphase des LCA übernimmt.

Auf den ersten Blick bietet diese Produktfamilie eine ungeahnte Vielzahl an Einsatzmöglichkeiten bzw. Integrationsvolumen.

Durch die angegebene maximale Toggle-Frequenz von bis zu 100MHz erscheinen die Bausteine auch von der Geschwindigkeit für unseren Anwendungsfall geeignet (Die in unserem Anwendungsfall auftretende Frequenz beträgt ca. 10,7MHz).

Dabei muß berücksichtigt werden, daß bei Anwendung kombinatorischer Logik, bei der Logikblöcke (im LCA) kaskadiert werden müssen mit zusätzlichen Laufzeiten innerhalb des Bausteins zu rechnen ist.

Trotzdem erscheint die Geschwindigkeitsreserve des Bausteins ausreichend zu sein.

Abschätzung des benötigten LCA-Typs

Eine erste Abschätzung über die erforderliche Größe des Bausteins erfolgt durch die Anzahl der benötigten Ein-bzw. Ausgänge:

	Ein/Ausgänge	Anzahl
* 8 Bit Daten	Е	8
* Systemtakt	E	2
* Umschaltung Belichtun intern/extern	g E	1
* Start Datenübertragung	E	1
* Steuerung CCD-Sensor	Α	3
* Steuerung AD-Wandler	. A	1
* Serieller Datenausgang	Α	1
* Belichtungssteuerung intern/extern	Α	2
* Hilfsausgänge		
Triggermöglichkeiten	Α	2
Erweiterungen	E/A	3
Ein-bzw. Ausgänge		24

Die zweite Abschätzung erfolgt durch die Anzahl maximal möglicher Zustände bzw. benötigter Flip-Flops:

eine Vorentscheidung treffen, welcher Baustein von seiner Größenordnung her geeignet ist.

Flip-Flops (ca.)	

* CRC-Generator	16	
* Par-Ser-Converter	10	
* Controller	8	
* Pixelcounter	12	
Flip-Flops	46	

Anhand dieser beiden Abschätzungen läßt sich schon

Bezüglich der benötigten Ein-bzw. Ausgänge könnte man den kleinsten Baustein der Familie einsetzen (XC2064).

Er bietet 58 frei wählbare Anschlußpins. Jedoch besitzt er nur 64 Makrozellen, mit jeweils vier frei wählbaren Eingängen. Berücksichtigt man, daß mehr als nur vier Eingänge pro Block benötigt werden, so kann die logische Funktion einer Ausgangsbedingung nur durch Kaskadieren von Logik-

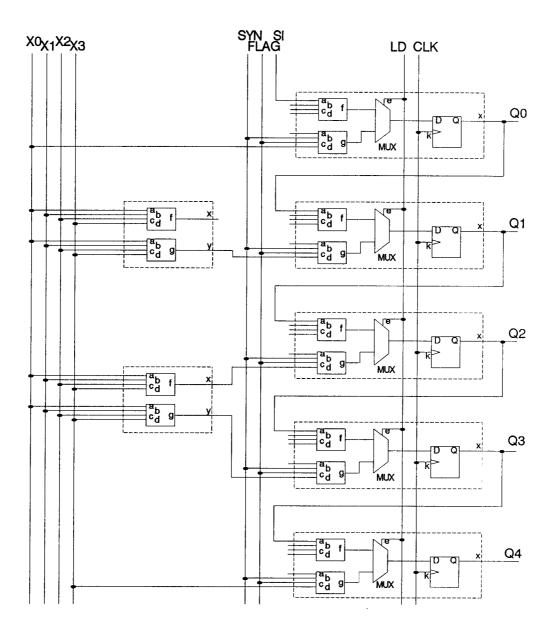


Bild 6: Makrozellenstruktur 4B/5B-Encoder + Shift-Register

blöcken erreicht werden. Damit stößt man schnell an die obere Leistungsgrenze dieses Bausteins.

Es erscheint damit sinnvoller, auf den nächst größeren Chip überzugehen. Dies ist der XC3020. Er bietet um den Faktor 1,66 mehr verfügbare Logik als der XC2064. Von den mechanischen Ab-messungen sind beide Typen gleich.

Die dritte Abschätzung erfolgt durch die benötigte Kombinatorik:

diese Abschätzung ist jedoch selbst bei Kenntnis der zu integrierenden Schaltung nur bedingt möglich. Beim Einsatz der LCA-Bau-steine wird diese dadurch erleichtert, indem man die gesamte Kombinatorik auf Einzelblöcke zurückführt, die der logischen Geometrie der Makrozellen innerhalb der LCA's entsprechen. Dadurch erkennt man recht schnell zusätzlich benötigte Makrozellen. Anschaulich ist dies am Beispiel des 4b/5b-Code-Converters mit anschließender Parallel-Seriell-Wandlung aufgezeigt (Bild6):

für den Aufbau des Converters werden neun Eingangssignale und fünf Ausgangssignale benötigt. Dies sind vier Datenleitungen (high oder low nibble des AD-Wandlers), vier Steuersignale und ein Taktsignal. Jede Makrozelle sollte also mit maximal neun Eingängen beschaltet werden können.

Die Anzahl der Eingänge ist jedoch durch den Aufbau der Makrozelle beschränkt.

Da wir aus Abschätzung eins und zwei den Bausteintyp schon festgelegt haben, läßt sich die Logik auf die Geometrie der zur Verfügung stehenden Makrozellen zurückführen. Diese Vorarbeit reduziert den späteren Aufwand bei der Eingabe der einzelnen Blöcke um einen wesentlichen Faktor. Beim 4b/5b-Codewandler werden also, wie aus dem Schaubild ersichtlich, sieben Blöcke benötigt.

Bei der Umsetzung der eigenen Schaltung in die Blockstruktur des entsprechenden LCA ist auch zu berücksichtigen, daß nicht alle boolschen Kombinationen der verschiedenen physikalischen Eingänge der Makrozelle erlaubt sind. Aus diesem Grund ist alles, was über die grobe Blockgliederung hinausgeht unnötig.

Nachdem die Logik auf diese Art neu erfaßt ist, läßt sich eine konkrete Aussage darüber treffen, wieviele Blöcke benötigt werden, und wie stark der LCA

etwa ausgelastet sein wird.

Beurteilung des Entwurfs

1) Wie schnell soll der LCA arbeiten

Mehr als 30% der angegebenen Toggle-Frequenz sollte hierbei nicht überschritten werden. Ausgenommen sind hierbei natürlich Schaltungen, die keinerlei Kaskadierung der einzelnen Makrozellen untereinander benötigen.

Ein weiterer Faktor ist die Blockausnutzung: je weniger Blöcke genutzt werden, desto mehr Verbindungsmöglichkeiten stehen den anderen Blöcken untereinander zur Verfügung. Damit lassen sich Verbindungslängen auf ein Mindestmaß reduzieren.

In diesem Zusammenhang seien die Typen von Verbindungen erwähnt, die die LCA-Bausteine bereitstellen:

Verbindung / Bewertung

Direct interconnect direkte Verbindung zwischen Blöcken

keine Laufzeiten nur sehr beschränkt einsetzbar nur zwischen benachbarten Blöcken

- General purpose interconnect

Laufzeiten vom Autorouter primär verwendet schlecht abschätzbarer Laufzeitfaktor Optimierung notwendig

- Long Lines

geringe Laufzeiten Busstruktur möglich wired and, wired or möglich

Die Laufzeiten bei den Verbindungen entstehen dadurch, daß Einzelverbindungen mittels Transistoren verknüpft werden. Damit erhöht jede Verknüpfung zweier Einzelverbindungen die Laufzeit auf der entsprechenden Leitung.

Ein weiterer wesentlicher Geschwindigkeitsverlust entsteht durch die schon erwähnte, und in Bild 5 veranschaulichte Kaskadierung von mehreren Makrozellen. Dabei addieren sich die Einzeldurchlaufzeiten der jeweiligen Makrozellen. Hinzu kommt natürlich wieder die Laufzeit auf jeder Leitung.

2) Welcher Entwicklungsaufwand ist erforderlich

Grundsätzlich steht beim Eingeben der Schaltung in den LCA ein Autorouter zur Verfügung. Dieser verwendet jedoch hauptsächlich die General-Purpose-Verbindungen.

Damit entstehen Laufzeiten, die bei einer hohen Blockausnutzung nicht mehr abschätzbar sind. Es ist also bei zeitkritischen Anwendungen eine Optimierung von Hand durchzuführen. Diese wird umso zeitaufwendiger, je höher der Blocknutzungsgrad steigt.

Daher ist es auch sehr wichtig, die Anordnung der eigenen Logik innerhalb des LCA günstig zu wählen. Gesichtspunkte hierfür sind Anzahl benötigter Einbzw. Ausgänge innerhalb der zu integrierenden Logik.

Als Beispiel sei der Controller genannt. Er wird in unserer Anwendung in der physikalischen Mitte des LCA angeordnet. Dadurch kann er die zu steuernden anderen Logikbausteine auf kürzestem Weg erreichen.

Wie man an vorgenannter Problematik erkennt, steigt der Entwicklungsaufwand mit steigender Blockausnutzung beträchtlich an. Weiterhin sinkt dadurch die maximal mögliche Verarbeitungsgeschwindigkeit des LCA.

Es ist also insgesamt ein Kompromiß zwischen Integrationsdichte und Entwicklungsaufwand einzu-

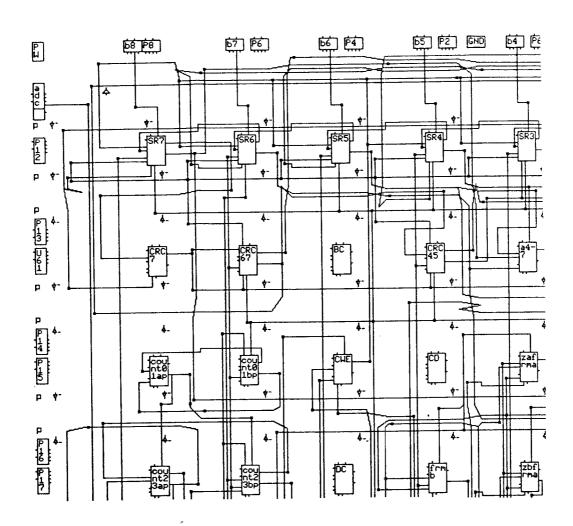


Bild 7: Ausschnitt aus der Struktur des LCA3020 (Xilinx)

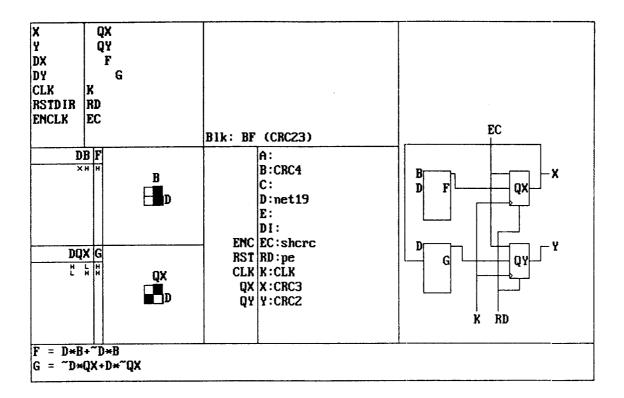


Bild 8: Programmierung einer Makrozelle (Beispiel)

gehen.

In unserer Anwendung wurde zum Verständnis der Programmierung der LCA-Architektur weitgehend auf den Autorouter verzichtet.

Dadurch wurde folgende Integrationsdichte möglich:

Ausnutzung (XC3020)

ca. 90%	
ca. 35%	
ca. 20%	
ca. 50%	
	ca. 35% ca. 20%

Die Entwicklung des LCA erfolgte dabei anhand des dargestellten Schaubildes (Bild 9). Diese Vorgehensweise stellt natürlich nur einen Ausschnitt der Möglichkeiten dar, die beim Entwickeln eines LCA vorhanden sind.

Prinzipiell ist der Entwickler aber in den meisten Fällen gezwungen, in die Design-Ebene des LCA (LCA Design File) zu gehen, um Optimierungen bzw. Platzierung von Logik durchzuführen.

Beim Entwickeln des LCA werden außer der Design-Oberfläche noch mehrere Entwicklungstools bereitgestellt. Hierbei stellt die Simulation des LCA das wohl wichtigste Hilfsmittel dar, den Baustein auf seine Funktion zu prüfen.

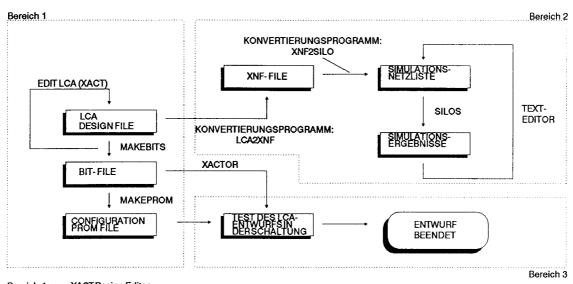
Bei unserer Entwicklungsumgebung wurde das Simulationspaket SILOS eingesetzt.

Simulation/Test des LCA

Zur Simulation des LCA wird das LCA-Design-File auf MS-DOS-Ebene mittels zweier Konvertierungsprogramme umgesetzt. Dabei entsteht ein XNF-File (Xilinx Netlist File) das wiederum in eine Simulationsnetzliste für SILOS umgewandelt wird.

Es entstehen hierbei zwei Dateien. Eine enthält die komplette Beschreibung der Logik im LCA in boolscher Form (Extension .SIM). Sie ist soweit untergliedert, daß es möglich ist, auch Signale innerhalb einer Makrozelle zu testen.

Die andere Datei stellt eine Oberfläche dar, bei der man Ein-und Ausgänge des LCA beliebig logisch



Bereich 1: XACT Design Editor
Bereich 2: DOS- Ebene / SILOS- Oberfläche
Bereich 3: Hardware

Bild 9: Schritte zur LCA Entwicklung

beschalten, und damit testen kann (Extension .DAT).

Es können nun beliebige logische Funktionen an die Eingänge des LCA gelegt werden (Mittels Editor; nicht interaktiv in der SILOS-Oberfläche).

Der Test des LCA erfolgt dann anhand numerischer bzw. grafischer Ausgabemöglichkeiten, wobei die Grafik sehr einfach gehalten ist. Sie bietet jedoch die Möglichkeit, logische Fehler sowie auch Spikes bzw. Glitches schnell zu erkennen.

Sollte ein Fehler innerhalb des LCA-Designs auftreten, so kann man in der Simulationsnetzliste mittels Editor Änderungen durchführen. Dies kann so lange erfolgen, bis der Entwurf einwandfrei ist. Entsprechende Änderungen müssen dann noch im LCA-Design-File durchgeführt werden.

Xilinx verspricht mit der Simulation des LCA eine Worst-Case-Betrachtung. Das bedeutet also für den Anwender, daß Toleranzen der einzelnen echten logischen Signale innerhalb simulierter logischer Signale liegen.

Dies hat sich beim Einsatz des LCA in unserer Schaltung bestätigt. Damit ist die Entwicklung des LCA mit der erfolgreichen Simulation beendet.

Es ist nun möglich, den Chip direkt in seiner Hardwareumgebung zu testen. Dabei kann man den LCA vom PC mittels Download-Cable verbinden. Ist die Funktion auch in diesem Fall einwandfrei, so kann das LCA-File in einem ROM (oder entsprechender Speichter) untergebracht werden.

Zusammenfassung

Insgesamt ist der Entwurf eines LCA auch bis in die Design-Oberfläche leicht verständlich, und bietet nach angemessener Einarbeitungszeit die Möglichkeit, schnell komplexe digitale Strukturen zu integrieren (Dies wird zusätzlich durch Makrofunktionen unterstützt).

Dabei ist der Entwickler losgelöst von jeglichen physikalischen Problemen, da bei den LCA's bereits vorgefertigte Makrozellen bestehen.

Inwieweit sich der LCA gegenüber äußeren Einflüssen verhält, muß sich noch im Laufe der Zeit herausstellen. Wenn man den Angaben von Xilinx vertraut, so sollen die RAM-Zellen des LCA besonders störsicher aufgebaut sein, und damit gegenüber äußeren Einflüssen resistent sein.

Literaturverzeichnis:

- The Programmable Gate Array Data Book Xilinx
- Digital Communications with Fiber Optics and Satellite Applications Harold B. Killen Prentice-Hall International Editions ISBN 0-13-213091-2



DECUS-Software

G. Albert, FHT-Mannheim

Die Benutzergruppe von Rechnern der Firma Digital Equipment (DECUS) hat schon seit Jahren einen großen Fundus an recht brauchbaren Programmen zusammengestellt und ihren Mitgliedern für eine Bearbeitungsgebühr zur Verfügung gestellt /1/. Nach den beiden sehr bekannten Programmen SPICE und KIC sind nun noch weitere Programme aufgenommen worden, die für den Chipentwurf geeignet sind. Da auch für unsere MPC-Gruppe vielleicht ein Interesse besteht, habe ich drei Programme bestellt und vor kurzer Zeit auch erhalten. Wegen der Kürze der Zeit konnte ich die Programme z.T. noch nicht in Betrieb setzen. Ich kann daher nur die Beschreibungen und erste Erkenntnisse erläutern.

1. PROUD

PROUD /2/ ist ein automatisches und effizientes Placement-Programm. Es ist gedacht für

- 1) Zeilenstrukturierte Sea-of-Gates-Entwürfe
- 2) Gate Array-Entwürfe

300 0 400 156 8

3) Standard-Zellen-Entwürfe.

Herausragende Eigenschaft: Selbst sehr komplexe Entwürfe werden in kurzer Zeit mit sehr gutem Ergebnis plaziert.

PROUD benutzt zwei Phasen: eine konstruktive Phase und eine iterative Nachbesserungsphase. In der konstruktiven Phase verwendet PROUD die "Successive Over-Relaxation" Methode zusammen mit einem Gauss-Seidel Algorithmus. In der iterativen Nachbesserungsphase werden nur noch lokale, kleine Veränderungen wie Rotation von Modulen, Verschiebung von I/O-Pad's usw. durchgeführt.

Das Programm ist in der Sprache C geschrieben. Es ist lauffähig auf DEC VAX (Berkeley UNIX 4.2, 4.3BSD, DEC Ultrix und VMS) und auf APOLLO-Stationen unter dem Betriebssystem AEGIS.

Das Vertriebsmedium ist ein Magnetband im UNIX-TAR Format oder im VMS-Backup Format. Es werden die vollständigen Quell-Dateien geliefert.

PROUD benötigt vier Eingabedateien in lesbarem ASCII-Format:

1) Die Zell-Bibliotheksdatei beschreibt die Geometrie der verwendeten Zellen, Anzahl, Größe und Lage der Anschluβpins.

```
Beispiel:
_____
** nrLogCells **
** logCellId logCellName nrPhyCells nrPins **
0 NAND 1 3
** pinId pinName pinId pinName ... **
0 in0 1 in1 2 out
** phyCellId phyCellName nrCorners startMos nrStartTrks nrM10bs
                                                  nrM2Obs tMask **
0 NANDO 4 0 1 1 1 15
** cor1.x cor1.y cor2.x cor2.y ... Eck-Koordinaten **
0 0 630 0 630 156 0 156
** startTrack1 startTrack2 ... **
** pinId pinName llx lly urx ury layer (Pinliste) **
0 in 56 156 56 156 4
1 out 196 156 196 156 4
** llx lly urx ury layer ( Hindernisse) **
0 80 630 100 4
```

2) Die Designdatei beschreibt das Format der Grundzellen (bei Gate-Array und Sea-of-Gates), die Chip-Geometrie sowie die Netzliste.

```
Beispiel:
-----
** nrCols **
nrCols= 6
** nrRows **
          7
nrRows=
** Basiszellendimension in x- und y-Richtung **
bcX=
      126
bcY=
       84
** Rastermaß in x- und y-Richtung **
xGridWidth=
            14
yGridWidth=
               12
** Pfad für die Zellbibliothek **
cellLibFile:
               example.lib
```

3) Die Design-Statistikdatei macht Angaben über die Zahl der I/O-Pads, Module, Verbindungsnetze und interne Pins.

```
Beispiel:
** Anzahl der I/O-Pads **
         16
** Anzahl der Module **
nrMods=
          16
** Anzahl der Verbindungsnetze **
nrNets=
          20
** Anzahl der internen Pins **
nrPins=
          51
** ioId ioName logCellId phyCellId nrPins x y pattern **
** Beschreibung der I/O-Pads **
5 io5 0 0 1 80 27 0
** pinId logPinId netId pinType (Verbindungsliste) **
5 0 19 0
** modId modName logCellId phyCellId nrPins x y pattern **
** Beschreibung der Module **
0 M0 3 0 2 20 35 0
** pinId logPinId netId pinType **
5 0 1 0
6 1 2 0
   .
```

4) Die Steuerdatei definiert Konstanten für die Optimierung

Ergebnis

Das Programmsystem konnte ohne Schwierigkeit in Betrieb gesetzt werden und lieferte anhand der mitgelieferten Beispiele richtige Ergebnisse. Ein Beispielsdatensatz für eine analoge Schaltung ergab eine gute 1. Näherung für die folgende "Handarbeit". Die Rechenzeit für die Plazierung von 9 Zellen lag weit unter einer Sekunde auf einer Apollo DN 330.

2. ADORE

ADORE /3/ ist ein Modulgenerator für Switched-Capacitor (SC)-Filter, der an eine Vielzahl von CMOS-Technologien angepaßt werden kann. Das Programmsystem kann nach Vorgabe von Schaltung und Technologiedaten das vollständige Layout für SC-Filter erstellen. Die Filtergrundelemente Operationsverstärker und eine besondere Art von Schalter (double-throw switch) müssen im Datenbankformat OCT vorliegen. ADORE benutzt eine feste Chipaufteilung in Bereiche für Schalter, Operationsverstärker und Kondensatoren. Diese Bereiche werden mit unterschiedlichen Algorithmen so zusammen geschoben, daß ein kompaktes Chiplayout entsteht. Die Verdrahtung der einzelnen Funktionsblöcke untereinander wird durch den Router MIGHTY unter Beachtung einiger Abschirmvorkehrungen durchgeführt. Das Ergebnis einer Filtersynthese liegt auch im Datenbankformat

Das Ergebnis einer Filtersynthese liegt auch im Datenbankformat OCT vor. Für eine Konvertierung von und in das bekannte CIF-Format sind die Programme CIFTOOCT und OCTTOCIF vorgesehen. Das Format der Schaltungsvorgabe ist ähnlich wie bei SPICE, die Bauelemente Operationsverstärker, Schalter und Kondensatoren werden durch Bauelementnamen, Knoten und Wert beschrieben:

ELEMENTNAME KNOTEN1... KNOTENn WERT.

Das Programm ist in der Sprache C geschrieben. Es ist lauffähig auf DEC VAX (Berkeley UNIX 4.2, 4.3BSD, DEC Ultrix)
Das Vertriebsmedium ist ein Magnetband im UNIX-TAR Format.
Es werden die vollständigen Quell-Dateien geliefert. Eine Umstellung auf Apollo AEGIS ist kein wesentliches problem.

Ergebnis

Das Programmsystem ADORE konnte nach einigen Konvertierungsschwierigkeiten (UNIX-TAR ==> VAX-VMS) auf Apollo DN 330 zum Laufen gebracht werden. Der mitgelieferte Beispielsdatensatz konnte berechnet und abgespeichert werden. Der Router MIGHTY sowie die Formatwandlung mit OCTTOCIF konnten bisher wegen einer fehlenden Datei nicht benutzt werden.

3. OCT

Das Programmsystem OCT-Tools /4/ besteht aus einer Anzahl von einzelnen Programmen und Bibliotheken, die zusammen ein VLSI-Entwurfssystem bilden.

Der Hauptteil besteht aus einem graphischen Editor für Schaltungseingabe, symbolisches Layout und Chip-Layout. Von diesem Editor aus können alle anderen CAD-Werkzeuge gestartet werden. Alle Programme benutzen für die Eingabe und Ausgabe das auch vom Editor benutzte Datenbankformat OCT, sodaß ein integriertes System entsteht. Erweiterungen sind mit diversen Interfaceprogrammen schon vorgesehen. Das Handbuch enthält ca. 50 Einzelprogramme, von denen allerdings nur etwa 20 auch auf dem Magnetband enthalten sind.
Nachfolgend seien einige Programme kurz erläutert:

VEM: Graphischer EDITOR

BDSYN: Übersetzt die Beschreibungssprache BDS in logische

Gleichungen im BLIF-Format

BDSIM: Multi-Level Simulator (Switch-Level und Zellen)

BDNET: Netlist zu OCT-Übersetzer

```
NOVA: Optimale Zustände für Finite State Maschinen
KAHLUA: Physikalisches Layout ==> symbolisches Layout
CIFTOOCT: CIF ==> OCT
OCTTOCIF: OCT ==> CIF
CIFTOSTRM: CIF ==> GDS2
STRMTOCIF: GDS2 ==> CIF
MAG2OCT: MAGIC ==> OCT
OCT2PS: OCT ==> POSTSCRIPT
OCTSPICE: SPICE <==> OCT Interface
WOLFE: Interfaceprogramm zum Standard-Zellen-Router TIMBERWOLF
MSU: Doppel-Metall-Standard-Zellenbibliothek (ca. 1000 Dateien !!)
Die einzelnen Programme sind in der Sprache C geschrieben.
Sie sind lauffähig auf DEC VAX ( Berkeley UNIX 4.2, 4.3BSD,
DEC Ultrix )
Das Vertriebsmedium ist ein Magnetband im UNIX-TAR Format.
Es werden die vollständigen Quell-Dateien geliefert.
```

Ergebnis

Das Programmsystem OCT konnte nach der Konvertierung (UNIX-TAR ==> VAX-VMS) bisher noch nicht zum Laufen gebracht werden, weil zur Umsetzung der Makefiles sehr viel Manpower notwendig ist (ca. 4300 Dateien) und die noch benötigte X11-Window-Software für die Graphik nicht vorhanden ist.

Neben einigen interessanten Werkzeugen, für die sich der Umstellungsaufwand sicher lohnt, ist wohl die umfangreiche Standard-Zellenbibliothek von Wichtigkeit.

```
4. Literatur
  _______
 DECUS München e.V., Freischützstraße 91, 8 München 81
/2/
 Ren-Song Tsay , Ernest Kuh:
 "PROUD 1.0: A Package for High Complexity VLSI Circuit Placement"
 Department of EECS and the Electronics Research Laboratory
 University of California, Berkeley, CA 94720
  ( Programm-DECUS-NR.: VAX-397 )
/3/
 Hormoz Yaghutiel:
 " Automatic Synthesis and Layout of Switched-Capacitor Filters"
 Ph.D. Thesis, University of California, Berkeley, June 1988
  ( Programm-DECUS-NR.: UX-114 )
141
  ( Programm-DECUS-NR.: US-101 )
```