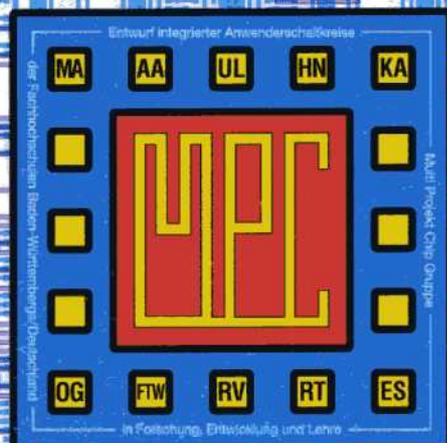


MULTIPROJEKT CHIP-GRUPPE

BADEN - WÜRTTEMBERG

Workshop Juli 1999

Ravensburg-Weingarten



MULTIPROJEKT CHIP-GRUPPE

BADEN - WÜRTTEMBERG

Workshop Juli 1999

Ravensburg-Weingarten

Herausgeber: Fachhochschule Ulm

© 1999 Fachhochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers Prof. A. Führer, Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm.

Adressen der

MULTIPROJEKT-CHIP-GRUPPE (MPC-Gruppe) **BADEN - WÜRTTEMBERG**

<http://www.mpc.belwue.de>

Fachhochschule Aalen

Prof. Dr. Kohlhammer, Postfach 1728, 73428 Aalen

Tel.: 07361/576-296, Fax: -324, Email: bernd.kohlhammer@fh-aalen.de

Fachhochschule Albstadt-Sigmaringen

Prof. Dr. Rieger, Johannesstr. 3, 72458 Albstadt-Ebingen

Tel.: 07431/579-124, Fax: -149, Email: rieger@fh-albsig.de

Fachhochschule Esslingen

Prof. Dr. Kampe, Flandernstr. 101, 73732 Esslingen

Tel.: 0711/397-4221, Fax: -4212, Email: gerald.kampe@fht-esslingen.de

Fachhochschule Furtwangen

Prof. Dr. Rülling, Postfach 28, 78113 Furtwangen

Tel.: 07723/920-503, Fax: -610, Email: ruelling@fh-furtwangen.de

Fachhochschule Heilbronn

Prof. Dr. Clauss, Max-Planck-Str. 39, 74081 Heilbronn

Tel.: 07131/504-400, Fax: /252-470, Email: clauss@fh-heilbronn.de

Fachhochschule Karlsruhe

Prof. Ritzert, Postfach 2440, 76012 Karlsruhe

Tel.: 0721/925-1512, Fax: -1513, Email: ritzert@fh-karlsruhe.de

Fachhochschule Konstanz

Prof. Dr. Voland, Brauneggerstraße 55, 78462 Konstanz

Tel.: 07531/206-644, Fax: -559, Email: voland@fh-konstanz.de

Fachhochschule Mannheim

Prof. Dr. Albert, Speyerer Str. 4, 68136 Mannheim

Tel.: 0621/2926-351, Fax: -454, Email: g.albert@fh-mannheim.de

Fachhochschule Offenburg

Prof. Dr. Jansen, Badstr. 24, 77652 Offenburg

Tel.: 0781/205-267, Fax: -242, Email: d.jansen@fh-offenburg.de

Fachhochschule Pforzheim

Prof. Dr. Kesel, Tiefenbronner Str. 65, 75175 Pforzheim

Tel.: 07321/28-6567, Fax: -6060, Email: kesel@fh-pforzheim.de

Fachhochschule Ravensburg-Weingarten

Prof. Dr. Klotzbücher, Postfach 1261, 88241 Weingarten

Tel.: 0751/501-630, Fax: /49240, Email: klotzbuecher@fbe.fh-weingarten.de

Fachhochschule Reutlingen

Prof. Dr. Kreutzer, Federnseestr. 4, 72764 Reutlingen

Tel.: 07121/341-108, Fax: -100, Email: hans.kreutzer@fh-reutlingen.de

Fachhochschule Ulm

Prof. Führer, Postfach 3860, 89028 Ulm

Tel.: 0731/50-28338, Fax: -28363, Email: fuehrer@fh-ulm.de

Inhaltsverzeichnis

Workshop-Vorträge

	Seite
1. VLSL-Systeme für hohe Datenraten: Signalverarbeitung und Signalsynthese mit Semicustom-Schaltungen B. Hoppe, H. Meuth, FH Darmstadt	5
2. Die Custom Integrated Circuits Conference 1999 (CICC '99) vom 16.-19. Mai in San Diego W. Ritzert, FH Karlsruhe	43
3. Emulation komplexer Logik auf FPGA M. Fischer, FH Offenburg	51
4. Modellentwicklung zur prozeduralen Simulation von Großsignalkennndaten G. Müller, G. Forster, FH Ulm	55
5. Bidirektionale, potentialgetrennte Übertragungsstrecke zur IGBT-Ansteuerung und -Stromerfassung B. Harrer, H. Töpfer, FH Esslingen	63
6. Entwurf einer Steuerung für ein elektronisch abstimmbares Mikrowellenfilter G. Beil, FH Aalen	69
7. Innovations on silicon Schaltungsentwicklung für den Automobilbereich M. Kästner, P. Widerin, Fa. NewLogic, Dornbirn, Österreich	79
8. VHDL-AMS- Die neue Beschreibungssprache für Mixed-Signal Designs O. Zinke, Fa. Analog, München	89

Reisebericht

9. Mikroelektronik in USA G. Kampe, FH Esslingen	107
---	-----

VLSI - Systeme für hohe Datenraten: Signalverarbeitung und Signalsynthese mit Semicustom - Schaltungen

Bernhard Hoppe und Hermann Meuth

μ SYST - Arbeitsgruppe für elektronische Mikrosysteme,
Fachbereich Elektrotechnik/Automatisierungstechnik, FH Darmstadt,
Schöfferstr. 3, D-64295 Darmstadt

Tel.: 06151 168 322, FAX: 06151 168 934
email: hoppe@fh-darmstadt.de

Zusammenfassung

Die Datendurchsatzrate ist neben der Verlustleistung das wichtigste Kriterium beim Entwurf vieler digitaler Systeme zur Signalverarbeitung. In diesem Vortrag werden Designmethoden und Systemarchitekturen vorgestellt, mit denen auf Standardzellbasis CMOS Schaltkreise implementiert werden können, die bei $0,7\mu\text{m}$ - Prozessen bereits Datendurchsatzraten im Bereich von einigen Hundert MHz zulassen. Anwendungsbeispiele, die auch anhand von Messungen an gefertigten Chips bewertet werden, sind Signalgeneratoren (Digitale PLL) und Implementierungen von Signalverarbeitungsalgorithmen (Numerisch kontrollierter Oszillator, Digitale Korrelatoren). Ausgangspunkt sind dabei schnelle Zähler und Addierschaltungen, die Schlüsselkomponenten in den vorgestellten Systemen darstellen.

In der Digitalen PLL, mit der Taktsignale oberhalb 300MHz mit 14 Bit Frequenzauflösung synthetisiert werden können, erfassen schnelle Zähler die Zahl der erzeugten Taktpulse während einer Periode eines niederfrequenten Vergleichstakts. Das schwingfähige Gebilde bei dieser auch als DCO (Digitally Controlled Oscillator) bezeichneten Schaltung ist ein Ringoszillator aus invertierenden Gatter, deren Laufzeit mit einem 16 Bit Steuerwort eingestellt werden kann.

In zwei digitalen Korrelatorschaltungen, die im Rahmen eines FUSE - Projektes entworfen wurden, akkumulieren die schnellen Zähler die korrelierten Signale in den

verschiedenen Korrelationskanälen (max. 80 Kanäle bei 200 MHz).

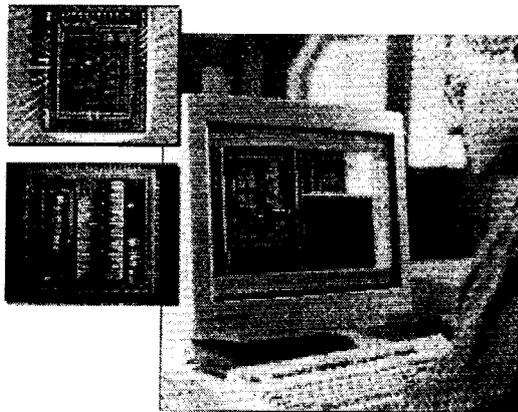
Die Integration komplexer Algorithmen in Semicustomschaltungen wird am Beispiel des NCO - Chips behandelt. Dieser Schaltkreis erzeugt nach dem CORDIC - Verfahren digitalisierte Sinus- und Kosinussignale mit 16 Bit Amplituden- und Phasenaufösung bei max. 100 MS/s. Im Gegensatz zur DCO - Schaltung, die ein geregeltes, rückgekoppeltes System darstellt, zeigt der NCO keinerlei Einschwingphänomene. Phasen- und Frequenzwert können alle 10 ns verstellt werden. Das ausgegebene Signal weist zudem kein meßbares Phasenrauschen auf. Zur Erzeugung analoger Signale wird der NCO - Chip mit einem geeigneten Digital - Analog - Umsetzer kombiniert. Die Fremdsignalunterdrückung dieses Systems liegt bei - 86dB.

Für alle vorgestellten Chipentwürfe werden detaillierte Meßergebnisse vorgestellt, die die Grenzen der gewählten Implementierung und der jeweiligen Architektur aufzeigen. Der Vortrag beginnt mit einer kurzen Vorstellung der Arbeitsgruppe μ SYST, die sich an der FH - Darmstadt seit 1995 mit Mikroelektronik beschäftigt. Eine Literaturliste, in Fundstellen für die grundlegende Arbeiten und einige Übersichtsartikel angegeben sind, findet sich am Ende des Foliensatzes.

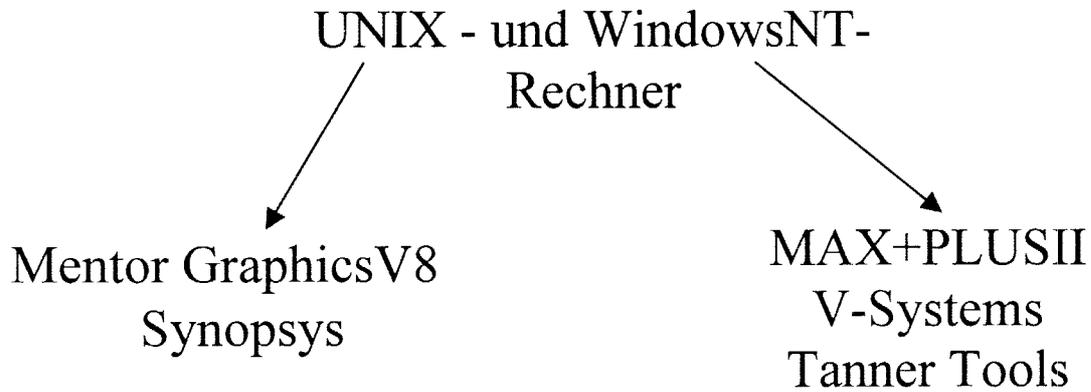
VLSI - Systeme für hohe Datenraten: Signalverarbeitung und Signalsynthese mit Semicustom- Schaltungen

Prof. Dr. B. Hoppe und Prof. Dr. H. Meuth

*Fachhochschule Darmstadt,
Fachbereich Elektrotechnik/Automatisierungstechnik*



- Vorstellung der Arbeitsgruppe
- CMOS Standardzellentechnik
- Entwurfsziele und Optimierungstrategien
 - Verarbeitung von Meßsignalen:
Zähler und Korrelatoren
 - Signalsynthese: DCO und NCO
- Trends, Herausforderungen, aktuelle Projekte

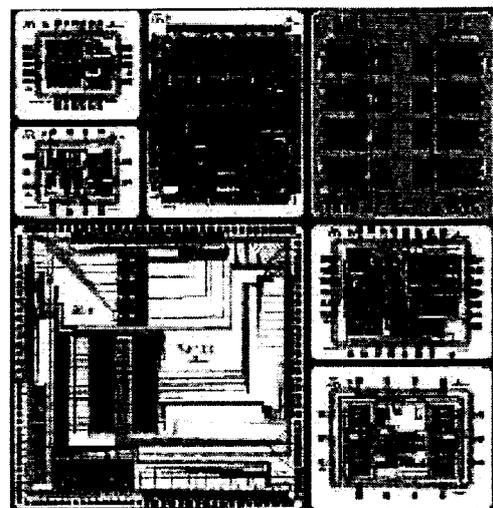
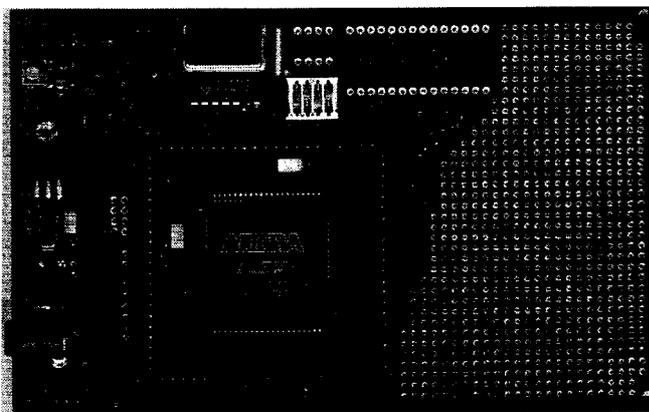


Test- und Meßgeräte von Tektronix

Technologien:

Multi Purpose Wafer Runs von EURO PRACTICE

ALTERA FPGAs



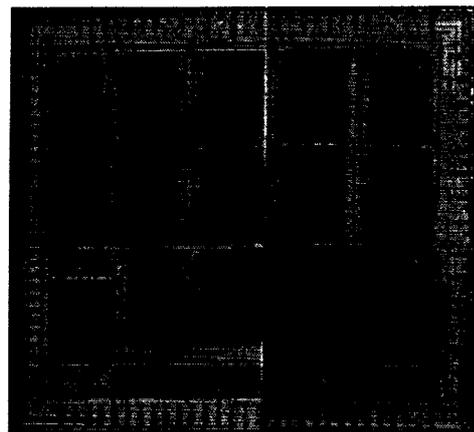
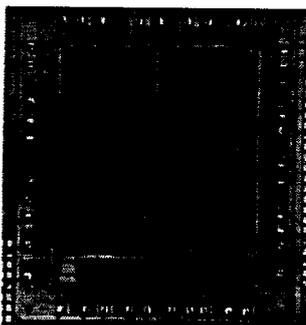
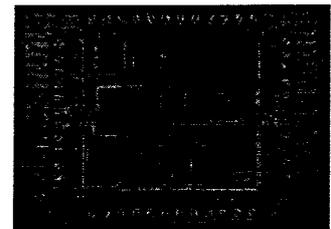
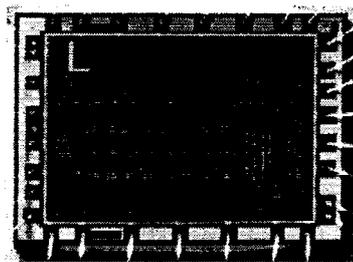
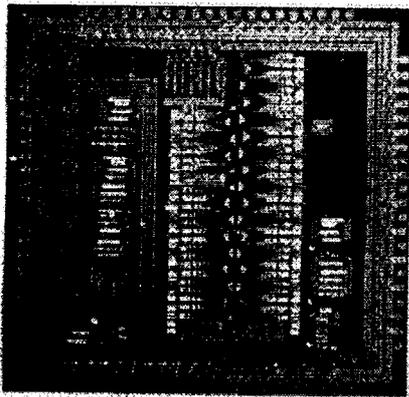
Lehre: VHDL - Kurs, μ -Elektronik - Seminar, FPGA-Kurs, Integrationstechnologie, M.Sc. Module

Forschung: Signalverarbeitung und Signalsynthese mit hohen Datenraten, Chips für Meß- und Regeltechnik, IP

Technologietransfer: FUSE - Projekt, Firmenberatung, Best Practice, Workshops, Messen (Hannover 98, CeBit99)

Chipdesigns seit 95:

- Analog/Mixed: LogAmp, SQDA, SRAM
- Digital: DCO, NCO, CORR32, Pulsgen300 ;
- Aktuelle Projekte: Phasenregler, 16x16 Multiplizierer, MultiTau128



VLSI Technologie: CMOS

Hohe Integrationsdichte, geringe Verlustleistung

Strukturbreiten von $0,35\mu\text{m}$ verfügbar:

15 k Gatter pro mm^2

System on a Chip

außerdem

Gatterlaufzeit ≈ 100 ps

\Rightarrow ersetzt Bipolar oder GaAs im High Speed Bereich

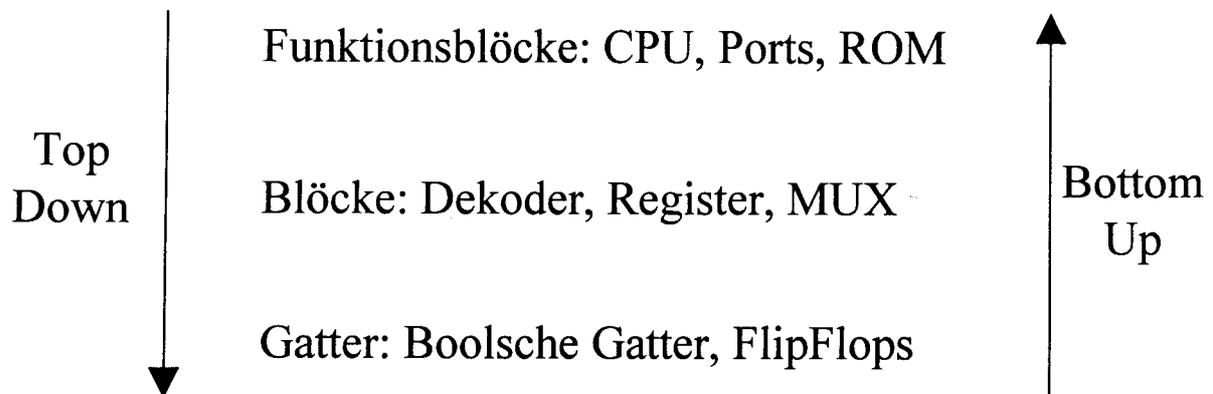
Möglichkeiten:

- Integration von High Speed Komponenten in komplexe Systeme
 - Systeme auf Silizium:
Mustererkennung, Signalverarbeitung,
mobile Kommunikation, Multimedia
- fortschreitende Miniaturisierung (*Deep Submicron*)
 - kompatibel zu MEMS - Prozessen

VLSI-Entwurfsproblematik

Komplexität: 1Mio logische Gatter /Chip

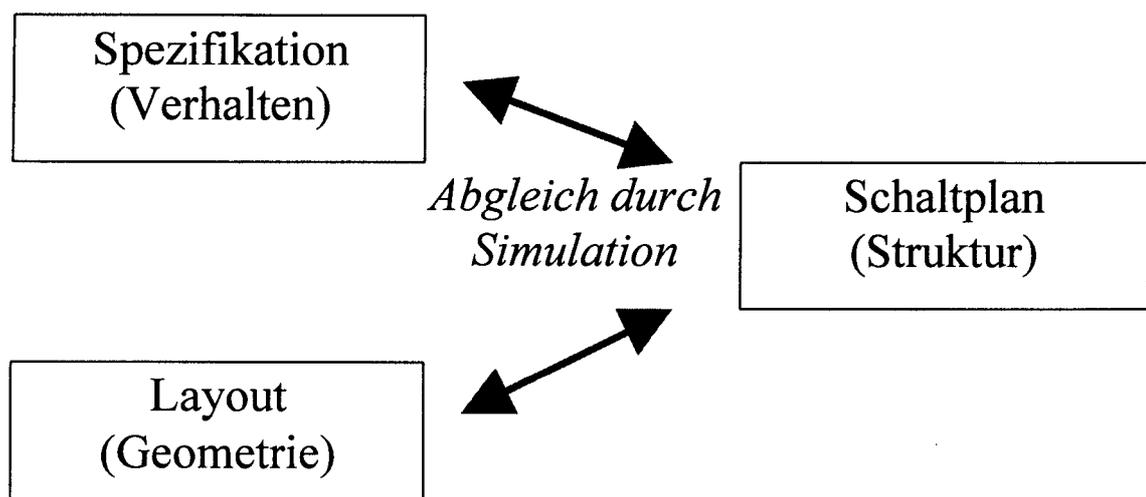
- Hierarchisierung



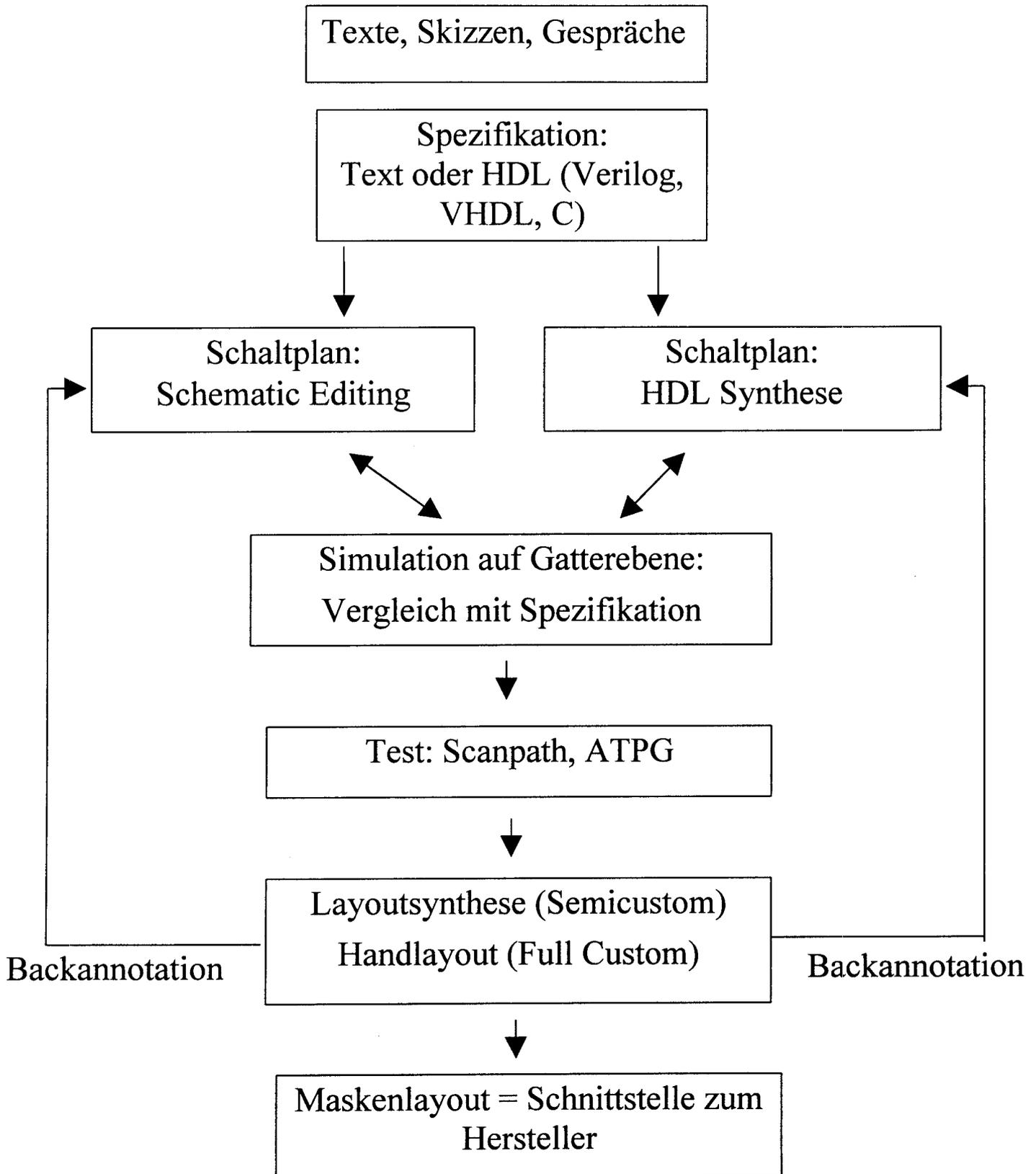
- CAE - Werkzeuge:

Simulation, Synthese, Layout- und Schaltplaneditoren

- komplementäre Entwicklungstrategien: Verhaltens-, Struktur- und Geometriesicht



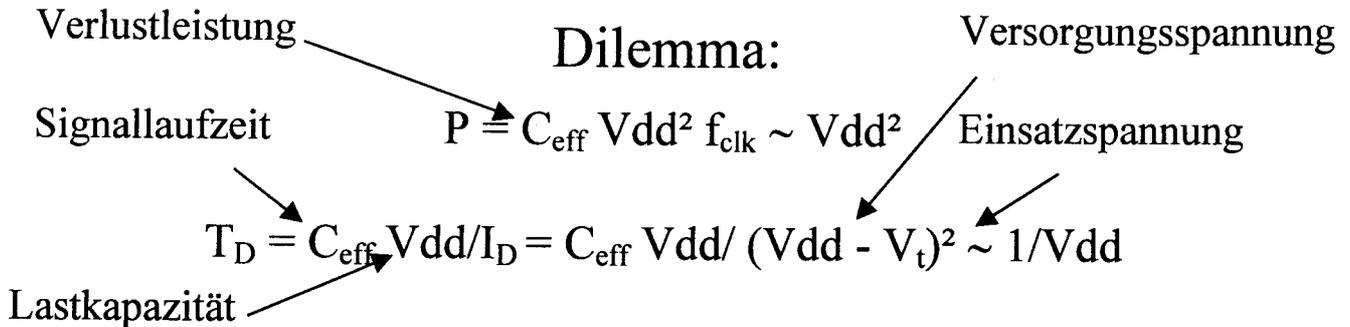
Designablauf



Entwurfsziele und -kriterien

- max. Datenrate
- min. Stromaufnahme
- max. Integrationsdichte

konkurrierende Kriterien



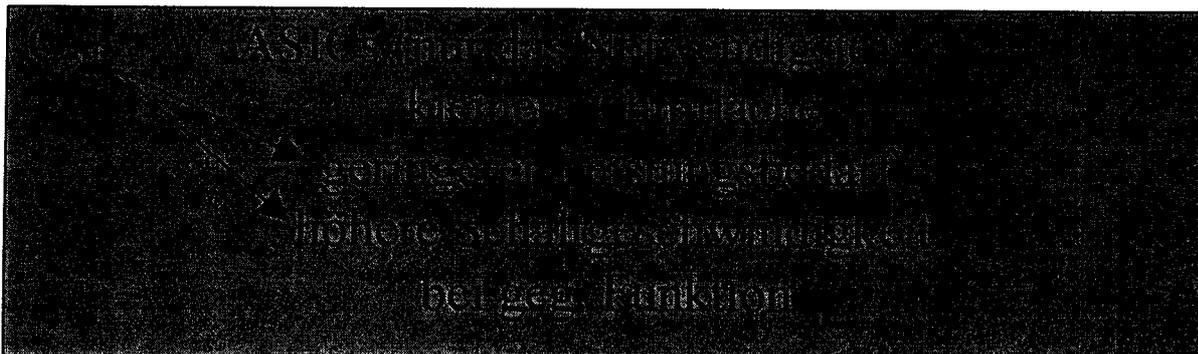
Standardschaltungen (Prozessoren, FPGAs)

hohe Anwendungsbreite = hoher Schaltungsaufwand

Intel Projektion auf ESSCIRC: PentiumXX (2002) 500 W

deshalb

anwendungsspezifische Realisierung



Optimierung bei VLSI - Schaltungen

- Technologieebene:

$V_{dd} \downarrow 5V \Rightarrow 3,3V \Rightarrow ?V$

nur für Leistung

größter Wirkungsgrad

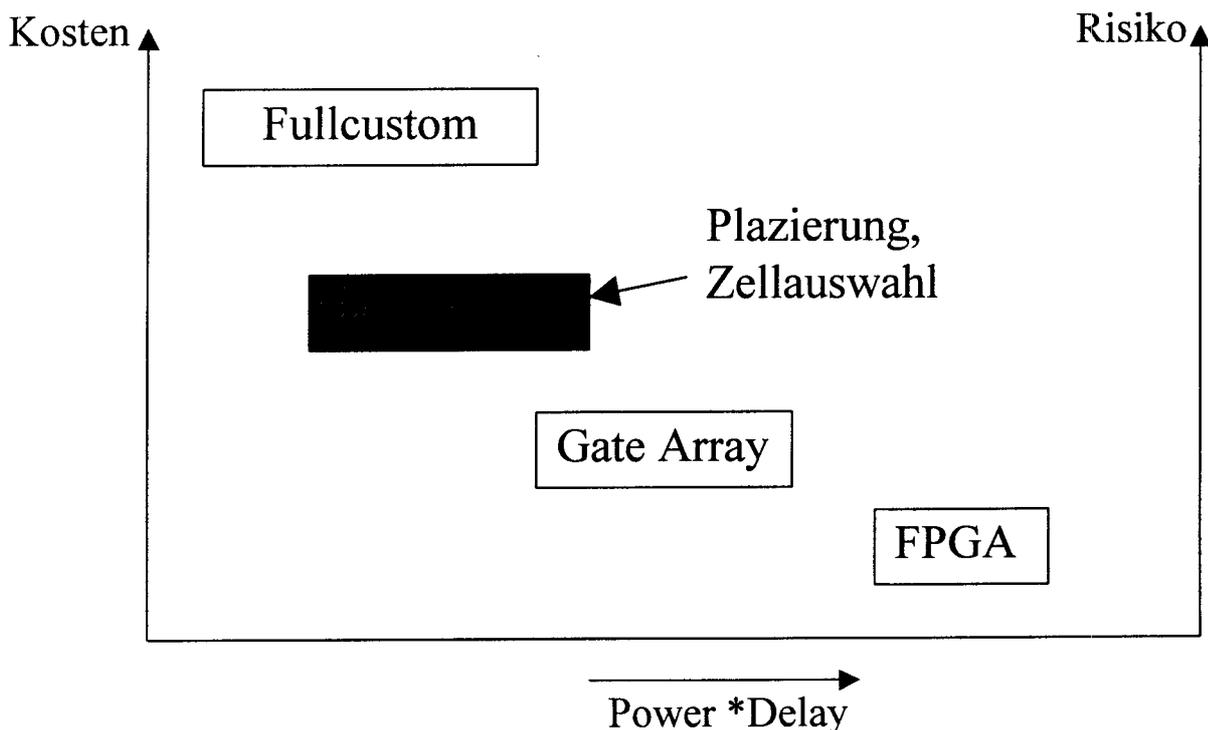
- Architekturoptimierung:

Parallele Datenverarbeitung, Pipelining, Zweierpotenz -
Arithmetik

- Schaltkreisebene:

Asynchrones Design, Pass Transistor Logik
(Testbarkeitsprobleme)

- Implementierungsebene



Multiple Tau Korrelatoren:

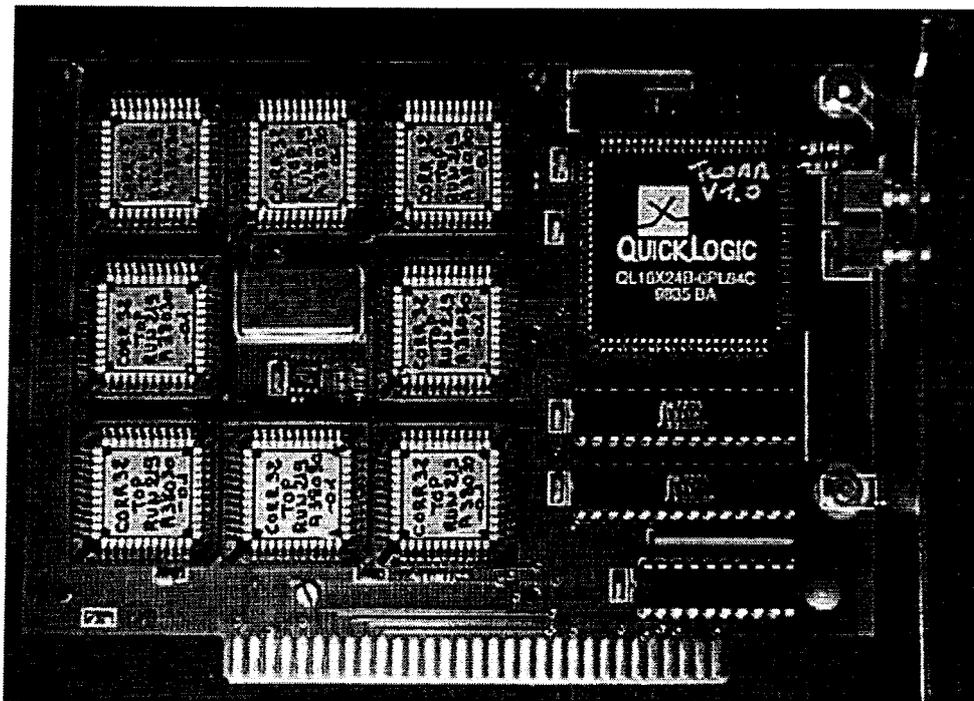
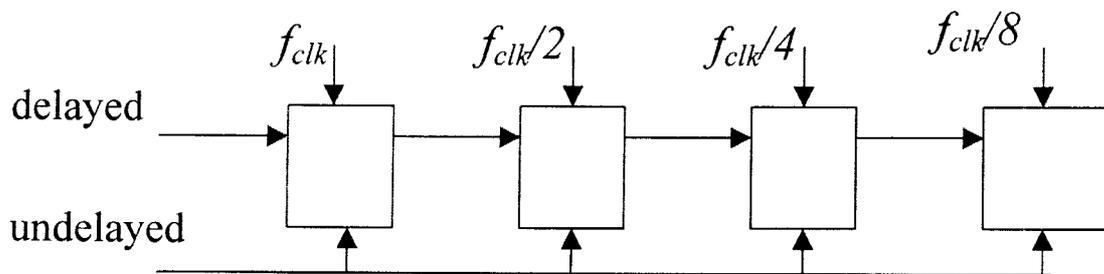
Lineare Korrelatoren

$$\tau_{\max} = \text{Kanalzahl} * \delta$$

EGF Messung: *lags* von ns bis ms

Dynamikbereich: 10^6

Samplingzeit wird sukzessive erhöht
vergrößert Dynamikbereich



Multiple Tau Korrelator mit 8
CORR32 Chips

τ von 5 ns bis 640 ns

ab Samplingzeit $1 \mu\text{s}$ mehr als 1 Ereignis pro
Samplingperiode:

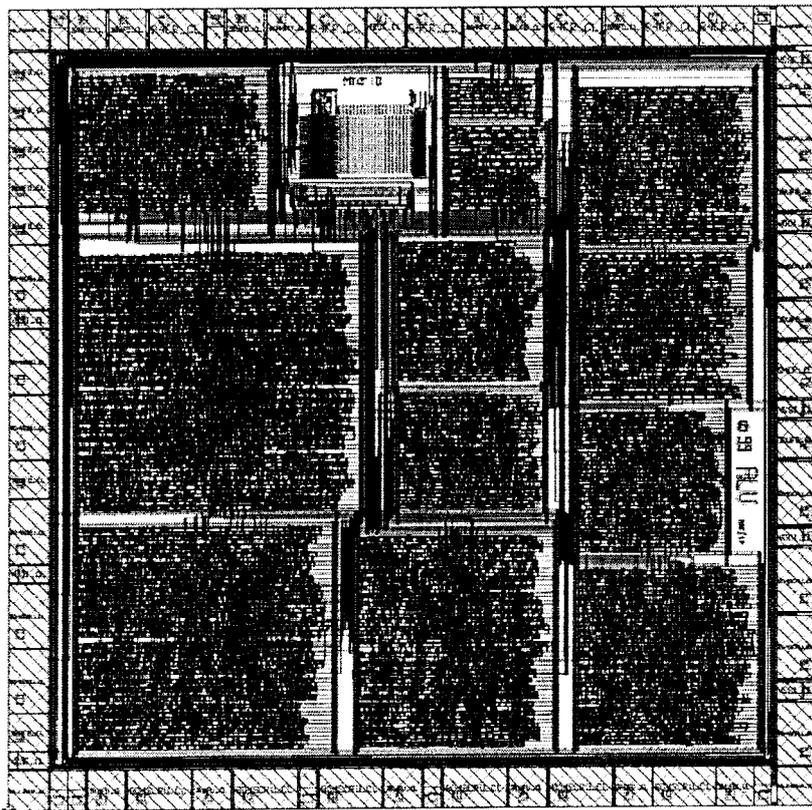
n(t) wird Binärwort,

AND Gatter wird zum Multiplizierer, etc.

MultiTau 72

160 MHz und $6 * 8$ Korrelatorkanäle (bis 8 Bit)

τ von 6.25 ns bis $25,6 \mu\text{s}$



Standardzellen $0,7 \mu\text{m}$ DLM

HDL - Design mit Synopsys™

56mm^2 Chipfläche, $> 40 \text{k}$ Standardzellen

Digital kontrollierter Oszillator zur Pulsweitenmessung

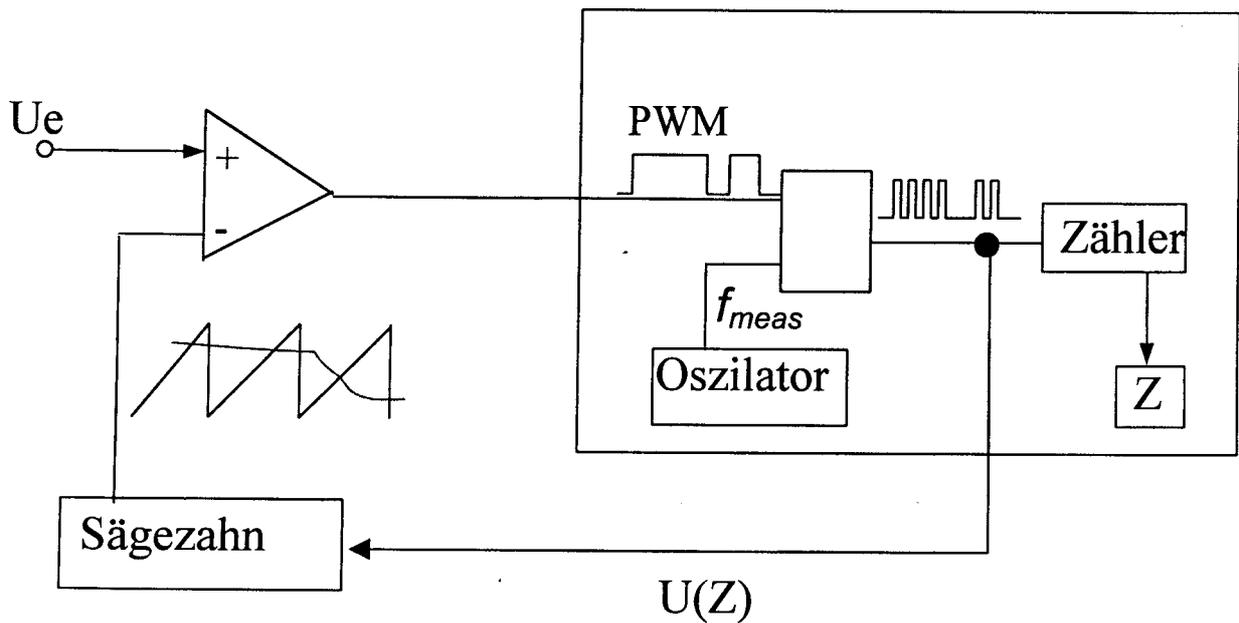
Industriepartner: Hottinger Baldwin Meßtechnik (HBM)
Im Tiefen See 45, D 64293 Darmstadt

Dehnungsmessstreifentechnik

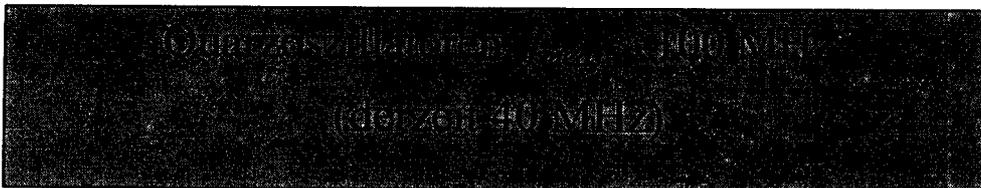
Zugabhängiger Widerstand liefert U_e
 $\Delta U_e < 0,3\% \Rightarrow$ Hochgenaue A/D - Wandelverfahren

Spannungs-Zeit-Umsetzer

Pulsweitenmessung

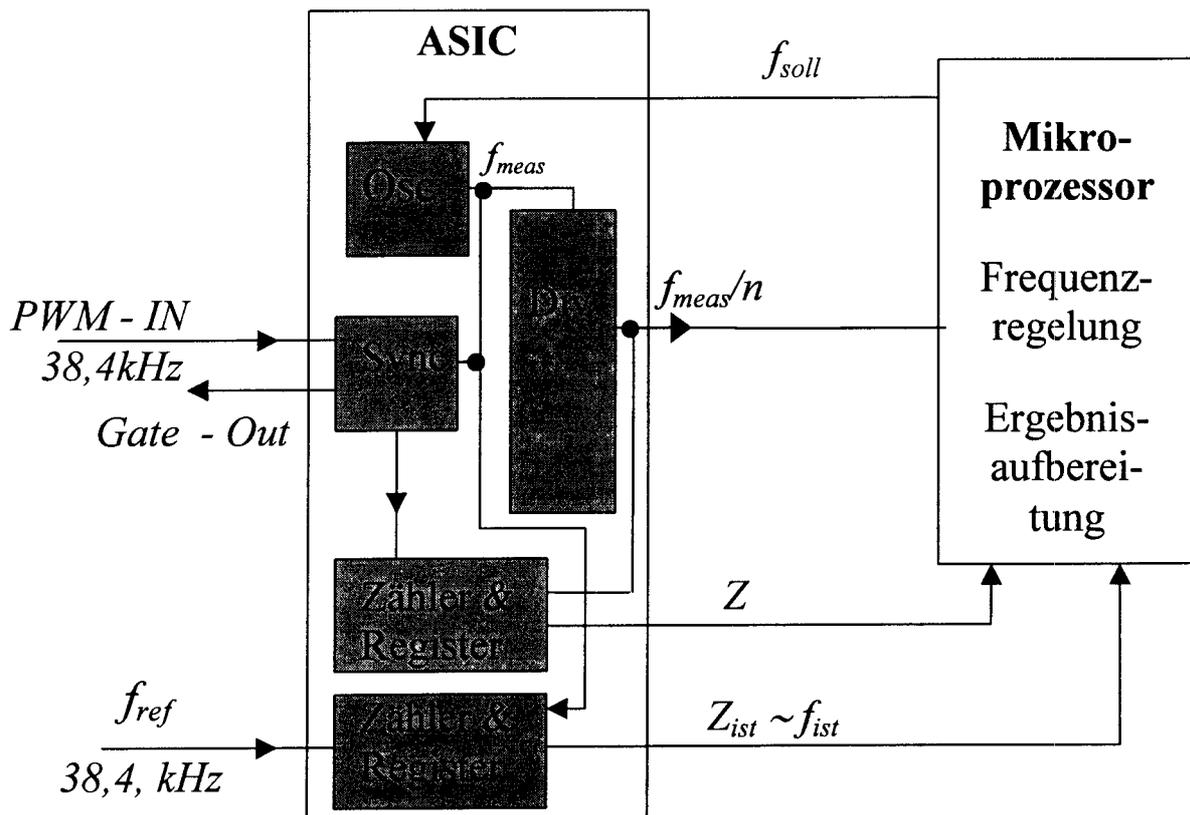


f_{meas} bestimmt die Auflösung



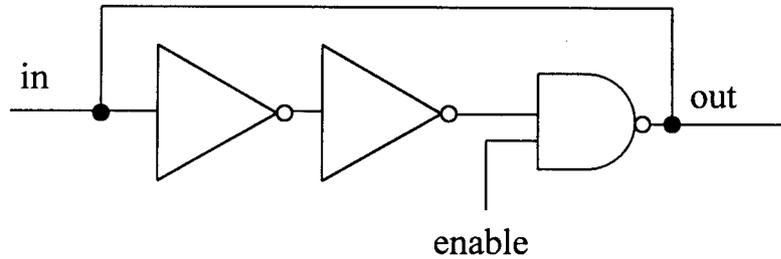
PWM - Meßchip auf DCO-Basis

- Synthese von Frequenzen im Bereich 320MHz (=3 Bit zusätzlich),
 - Frequenzauflösung von 16 Bit
 - maximale Phasenunschärfe (*jitter*) von 100ppm.
- Zähler, Register und Frequenzteiler zur PWM- Messung
- Frequenzregelung mit globalem Taktsignal 38,4kHz

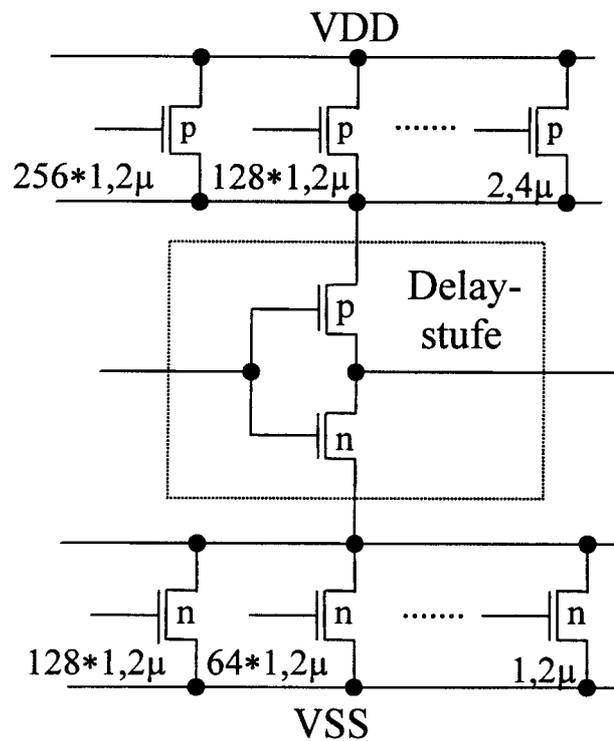


Blockdiagramm der PWM-Meßschaltung

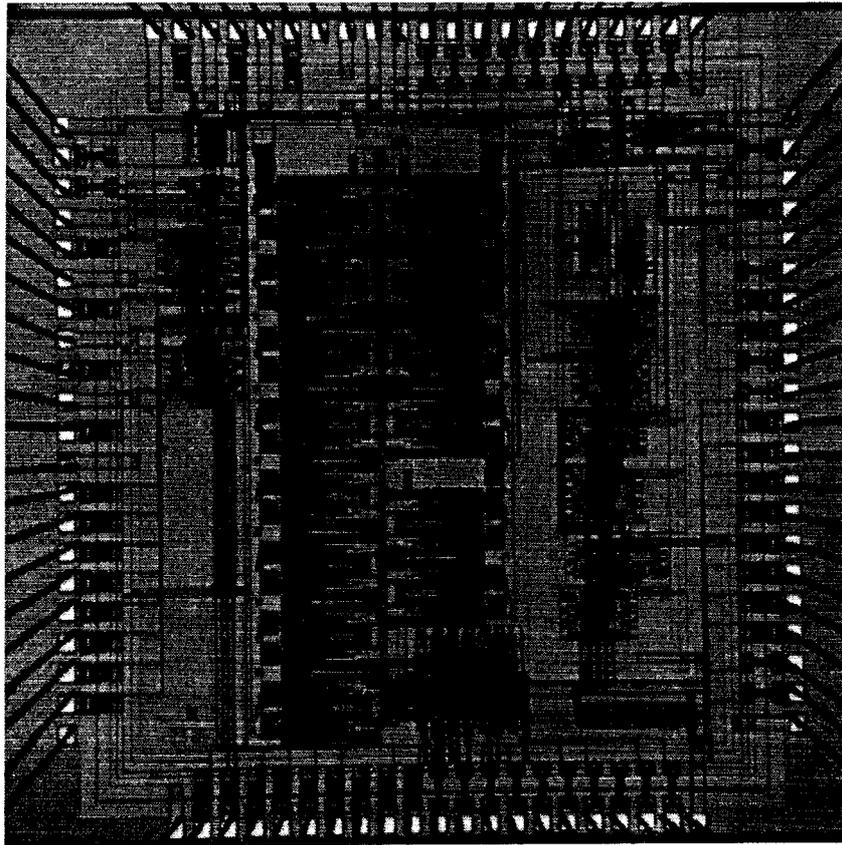
Steuerbare Oszillatoren auf Ringoszillatorbasis



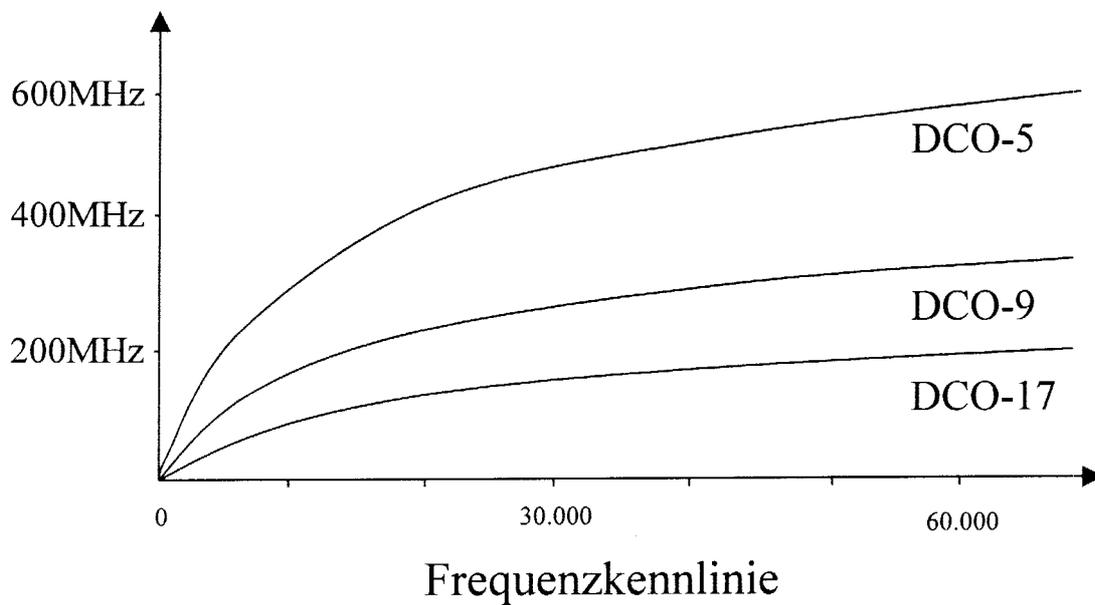
Ringoszillator



Ringsoszillatorstufe mit binär gestuften Steuertransistoren



Chipfoto ($0.7\mu\text{m CMOS}$, 25mm^2)



Meßergebnisse	17 Stufen	9 Stufen	5 Stufen
Frequenzbereiche/MHz	1-150	4-220	20-500
Phasenjitter in ppm	60	70	90
Frequenzauflösung in Bit	14	14	13

9-Stufen-DCO

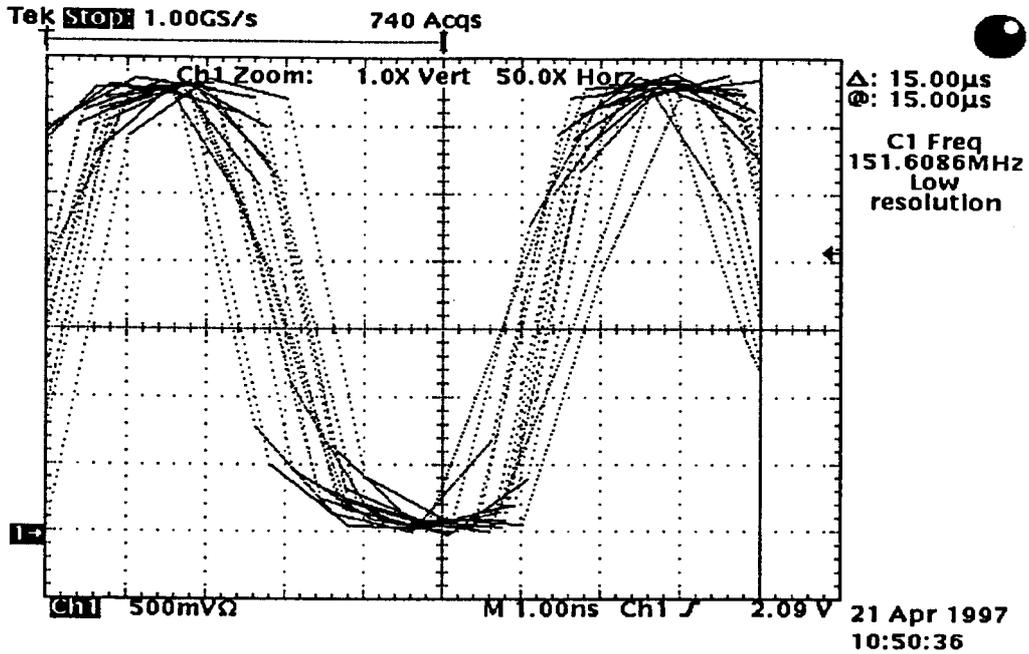


Abbildung 5.73 9-Stufen-DCO bei einer Frequenz von ≈ 157 MHz

Messung der Pulsweite

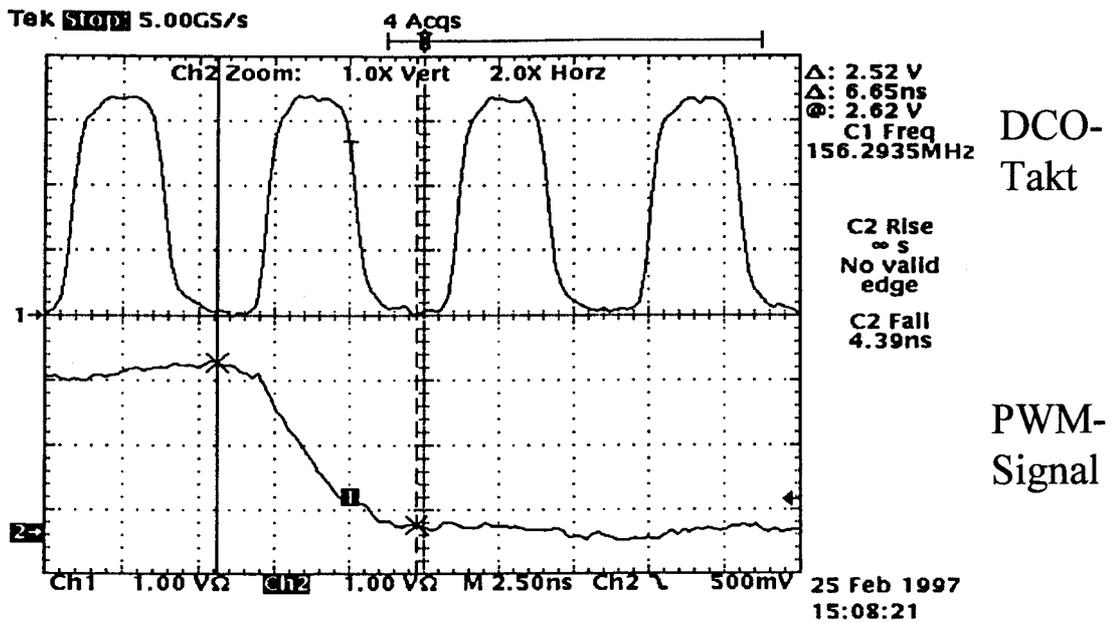


Abbildung 7.16 abfallende Flanke des Ausgangssignals der Pulsweiten- / Delayschaltung (HCT-Baustein als Ausgangsstufe)

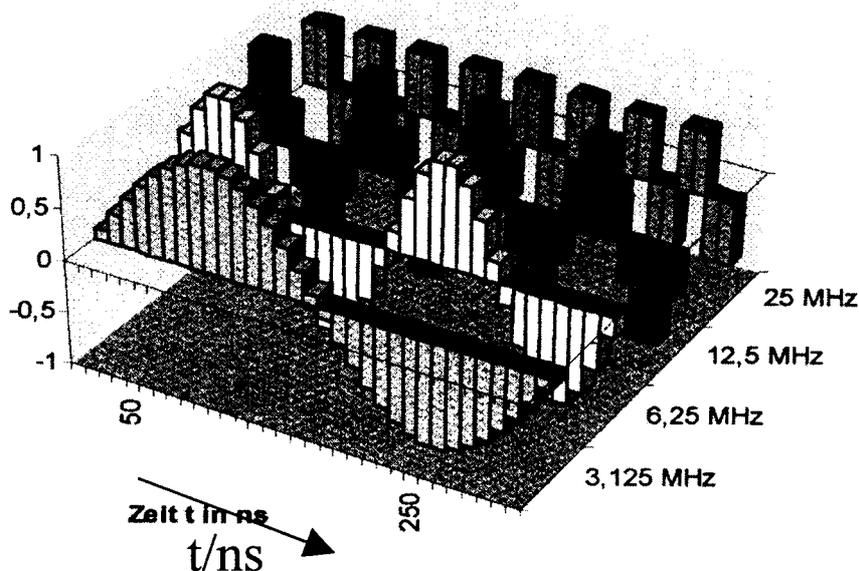
Numerisch kontrollierter Oszillator (NCO)

Periodische Signale werden (digitalisiert) berechnet:
Sinus, Kosinus, Sägezahn, Rechteck, Dreieck

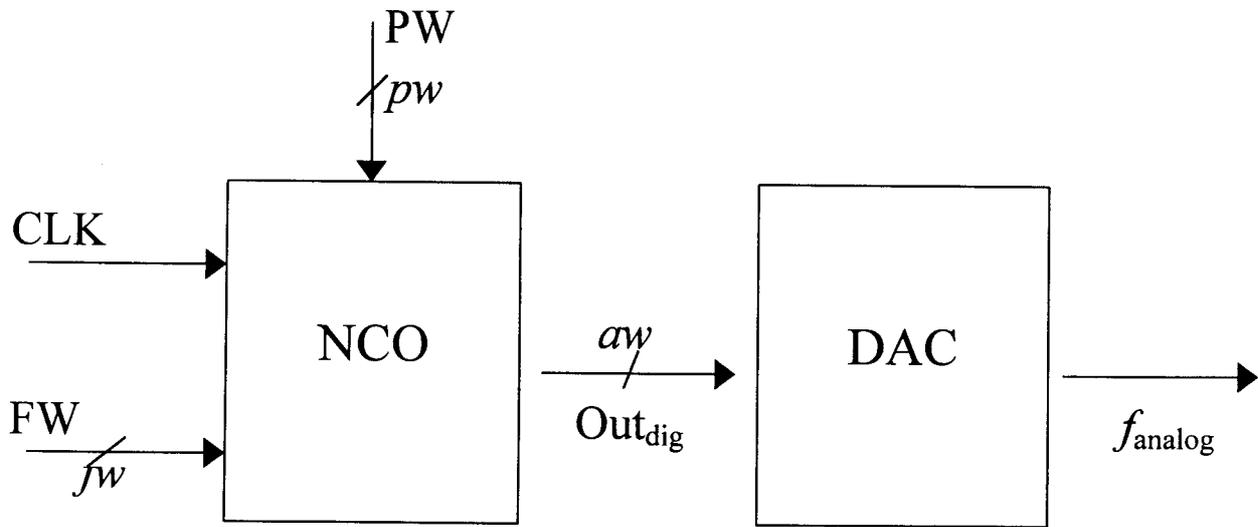
- kein schwingfähiges System
- kein Frequenz- oder Phasenrauschen
- instantane Frequenz - oder Phasensprünge
- Fremdfrequenzunterdrückung (SNR)

$$\text{SNR/dB} \approx 6,02 \text{ aw} + 1,8 = 96 \quad \Big|_{\text{aw} = 16}$$

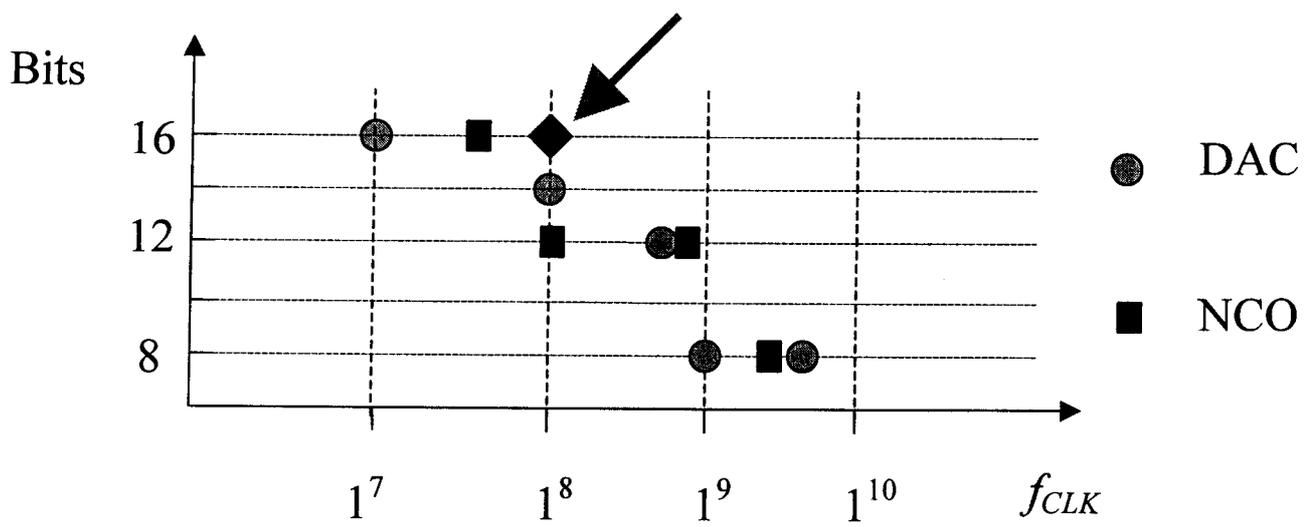
Quantisierung des Sinus bei 100 MHz Taktrate



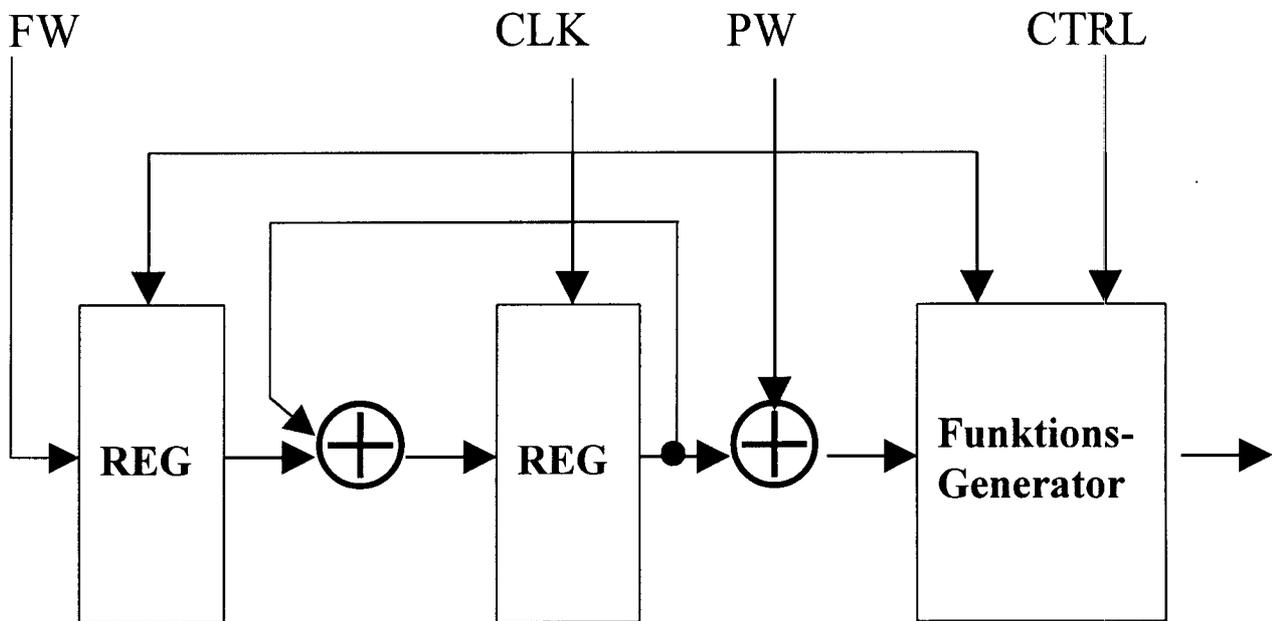
Frequenzsynthese: NCO + Digital Analog Wandler



Bestimmung der Bitbreite von NCOs und DACs



Block Diagramm eines NCO



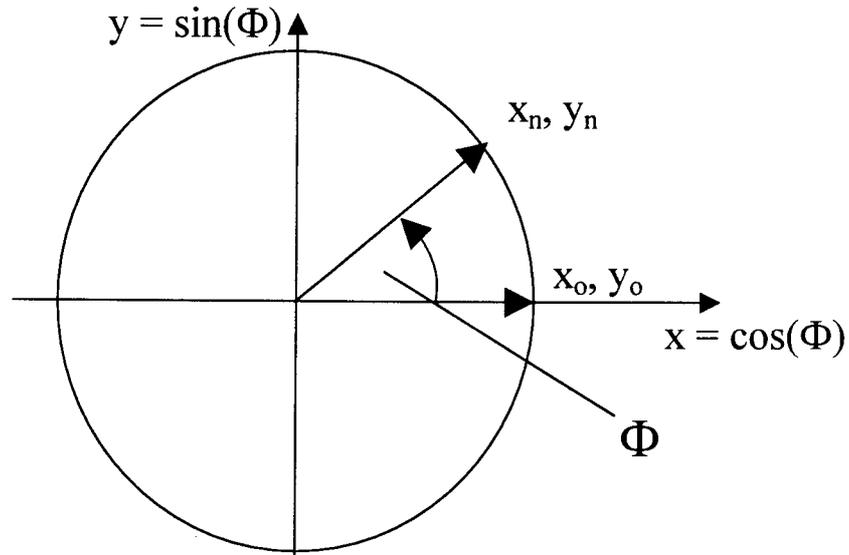
Funktionsgenerator:
 → Tabelle
 → Rechenwerk

Tabelle (ROM) bis $aw = 12$
(2^{aw} Worte)

CORDIC - Algorithmus

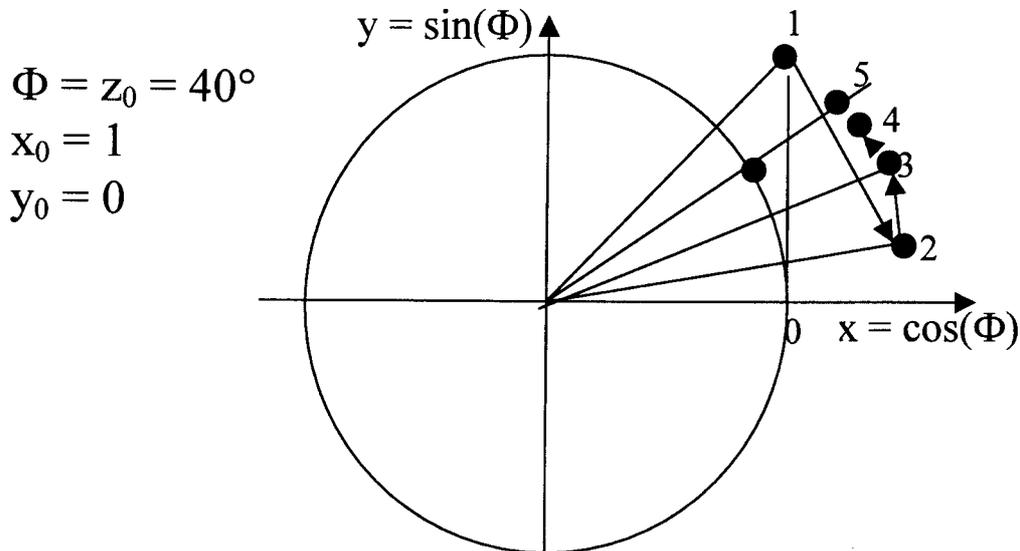
Coordinate Transformation Digital Computer
(Volder 1959)

Iteratives Verfahren mit Pseudodivision



Iterative Drehung eines Vektors auf dem Einheitskreis:
(eine Binärstelle pro Iteration)

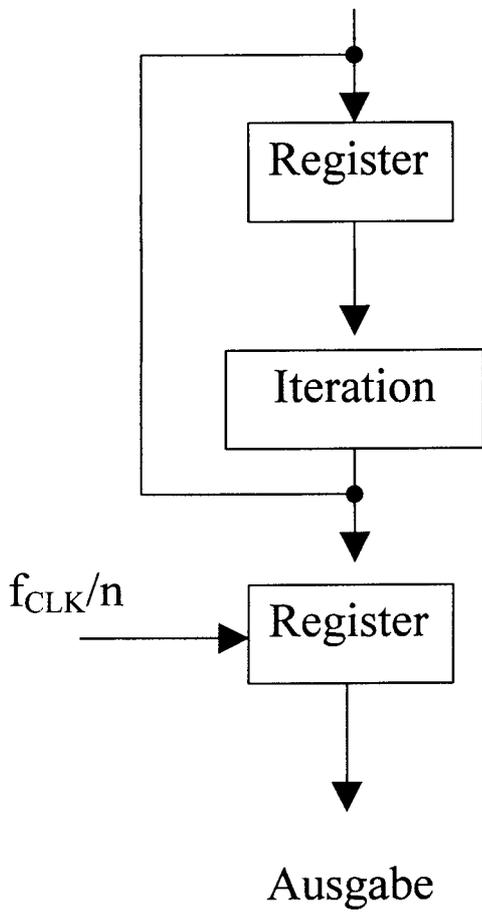
$$\begin{aligned}
 x_{i+1} &= x_i - \sigma_i y_i 2^{-i} && \text{Sinus} \\
 y_{i+1} &= y_i + \sigma_i x_i 2^{-i} && \text{Kosinus} \\
 z_{i+1} &= z_i - \sigma_i \alpha_i && \text{Abweichung} \\
 \sigma_i &= \text{sign} (z_i) && \text{Drehsinn} \\
 \alpha_i &= \arctan (2^{-i}) && \text{Winkelinkrement}
 \end{aligned}$$



Hardwareimplementierung

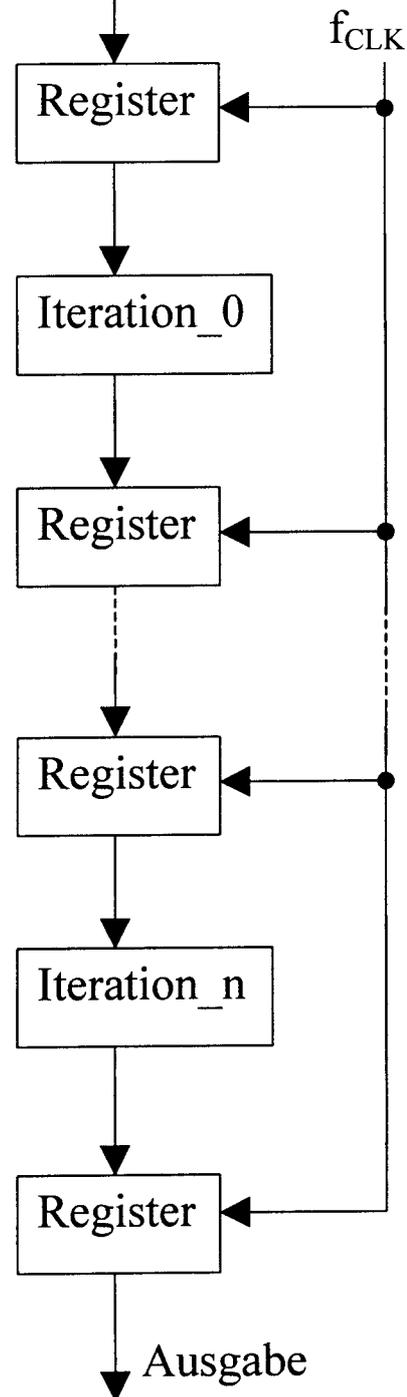
Rekursiv
zu langsam

Eingabe

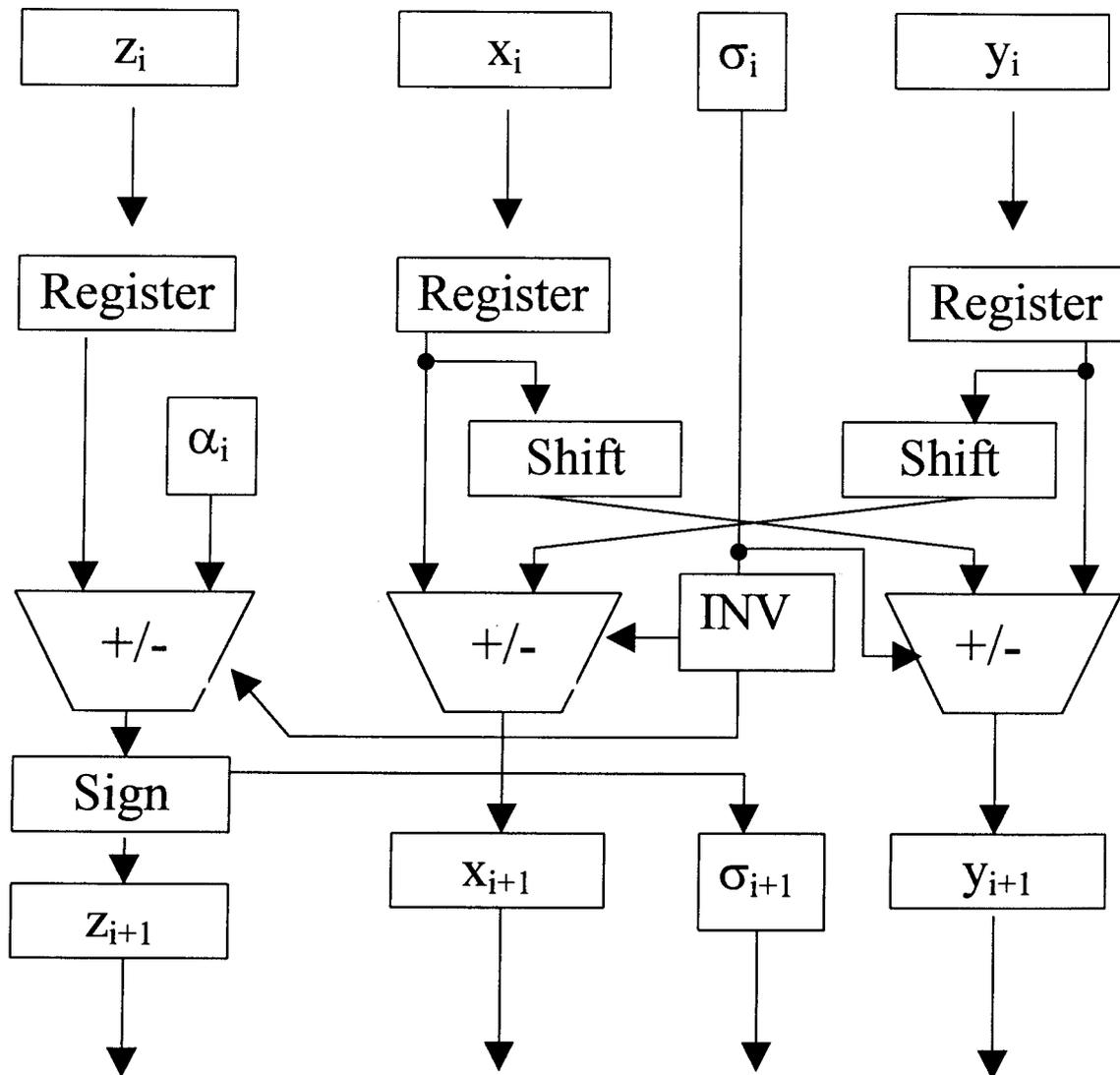


Pipelinearray

Eingabe



CORDIC Stufe für Iteration "i"



16 Iterationen:

seriell: Daten 16 mal durch Stufe
(langsam 100MHz/16)

Pipeline: mit 16 Stufen (100 MHz aber Pipelinedelay
von 16 Takten)

Rundungsfehler:
 2^{er} Komplementzahlen sind asymmetrisch

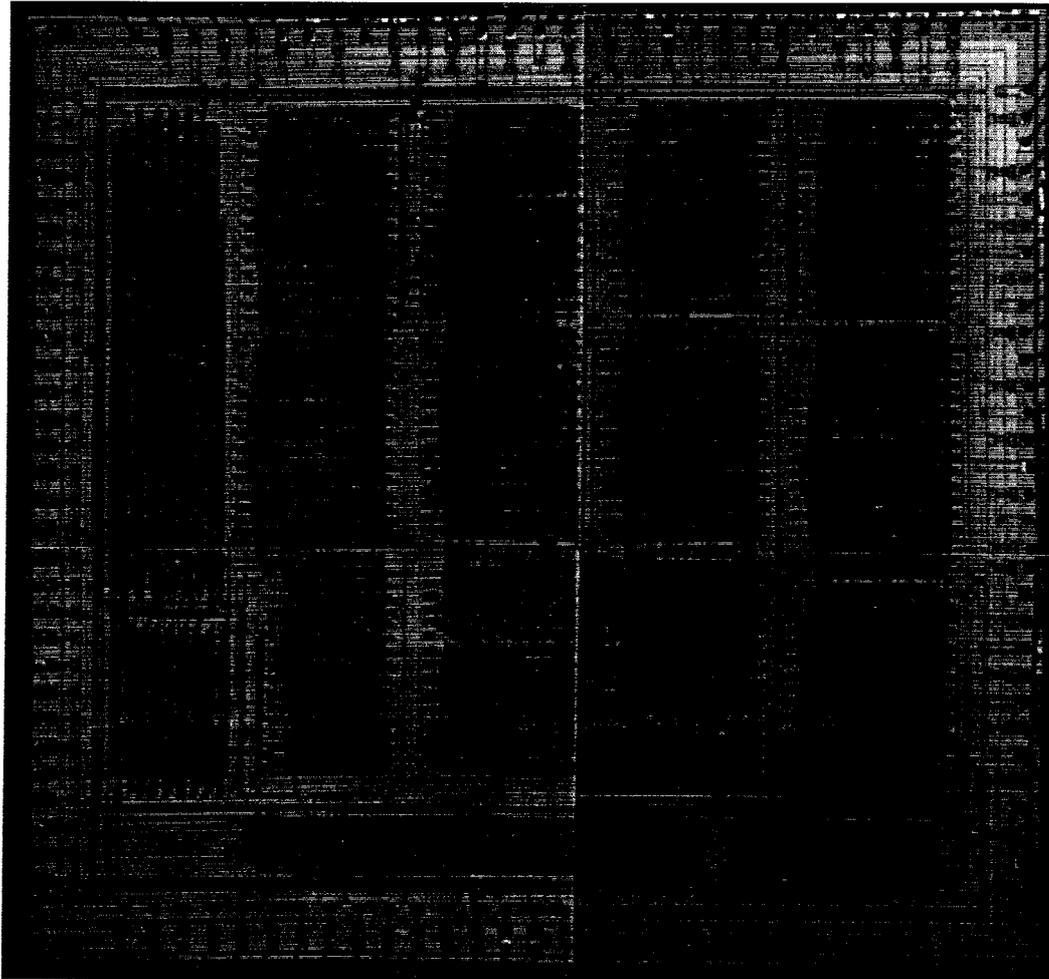
Systemsimulation mit C - Programm

$$2^{20} = 1.048.576 \text{ alg. Zustände}$$

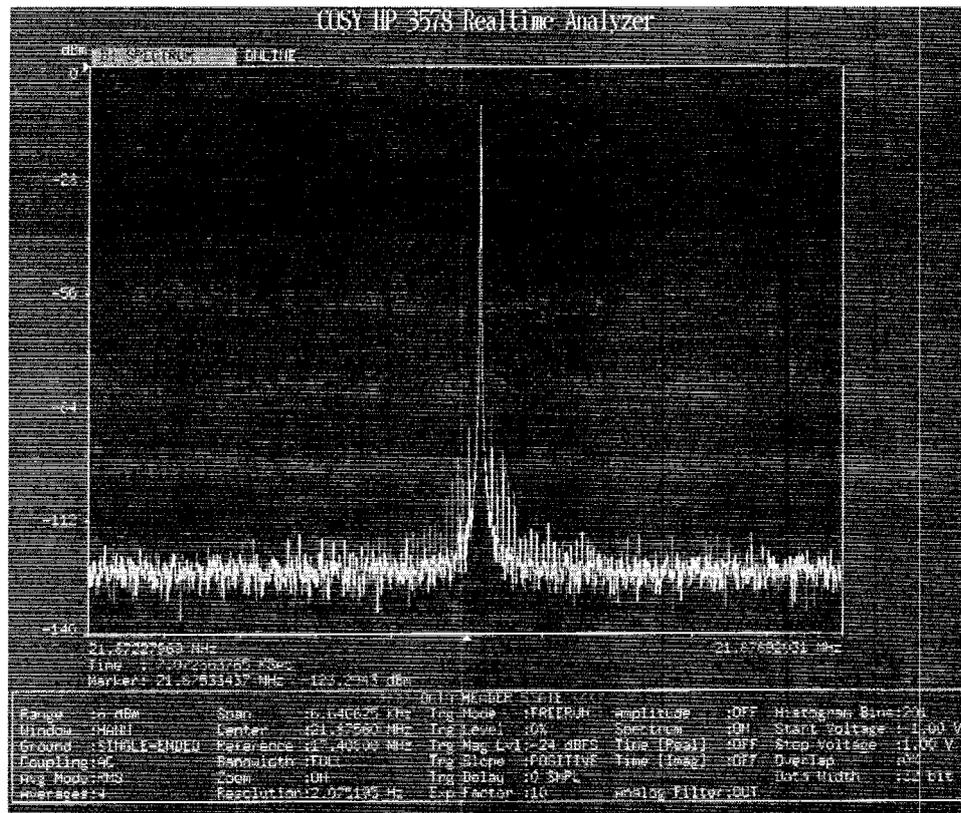
1 LSB Fehler: 78.522

2 LSB Fehler: $29 < 0.003\%$

Optimale Parameter für CORDIC	
Auflösung im x/y-Pfad	19 Bit
Auflösung im z-Pfad	20 Bit
Frequenzauflösung	32 Bit = 0,023Hz@100MHz
Amplitudenauflösung	16 Bit
Phasenauflösung	16 Bit = $5,5 \cdot 10^{-3} \text{°}$



NCO - Chipfoto
0,7 μ m CMOS Standardzellendesign
ATMEL ES2 DLM Technologie
72mm²
1,5W @ 100 MHz



NCO Spektrum bei Signalfrequenz von ca. 21 MHz

@100 MHz

Fremdfrequenzunterdrückung: > 84 dB (\approx 14Bit DAC)

440 MHz 16 Bit Zähler in Standardzellentechnik

Zähler und Addierer: Schlüsselemente in
Signalverarbeitungssystemen

Gatter Laufzeiten $\sim 0.1\text{ns}$

System Takt: mehrere hundert MHz

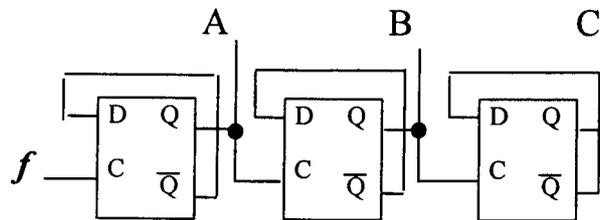
Limitierung: Speichernde Elemente

Flip Flop Delays in Standardzell - Bibliotheken

$$t_D^{DFF} \sim 2\text{ns}$$

(Pin zu Pin Delay + Setup- und Haltezeiten)

Zählerschaltung: Flip Flop Kette



3 Bit Asynchron - Zähler

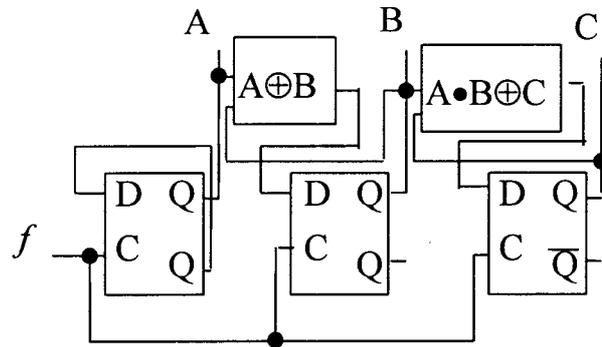
Aktualisierung: $3 t_D^{DFF}$ (\propto Wortbreite)

Auflösung bei 16Bit:

$$16 \cdot 2\text{ns} = 32\text{ns} \Rightarrow f_{\max} = 31\text{ MHz}$$

Frequenzgrenze im Großhandlungen unter Berücksichtigung

Parallelisierung



3 Bit Synchron-Zähler
Vorbereitungsschaltung

Aktualisierung: $\text{Logikdelay} + 1 * t_D^{DFF}$

Auflösung bei 16 Bit : $15 * t_D^{AND} + 1 * t_D^{DFF}$

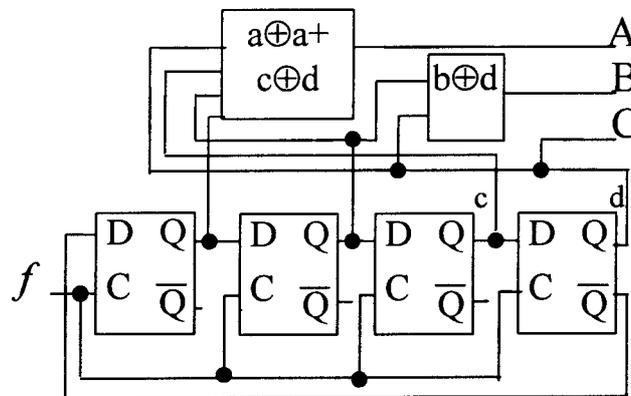
$$f_{max} = 62 \text{ MHz}$$

Schnellste Zählerfamilie: Johnson Zähler (Schiefe Register)

Zählkapazität m gering ($2 * \text{Stufenzahl}$)

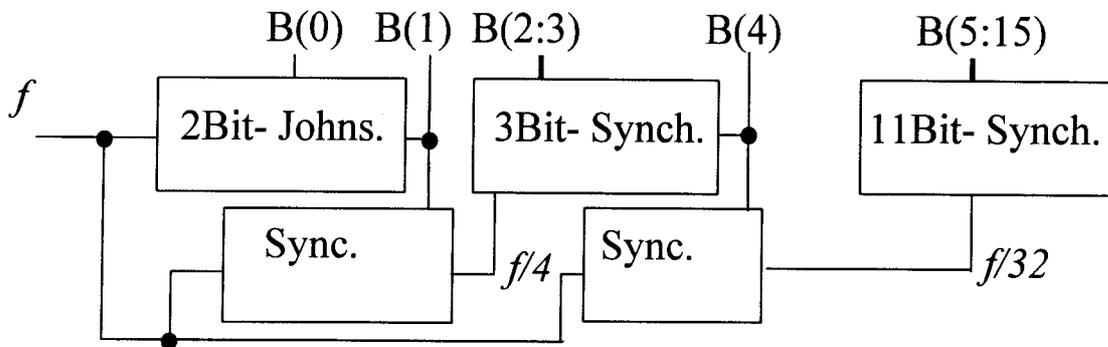
Aktualisierung: t_D^{DFF} oder $f_{max} = 500 \text{ MHz}$

nicht binär kodiert → Ausgangslogik



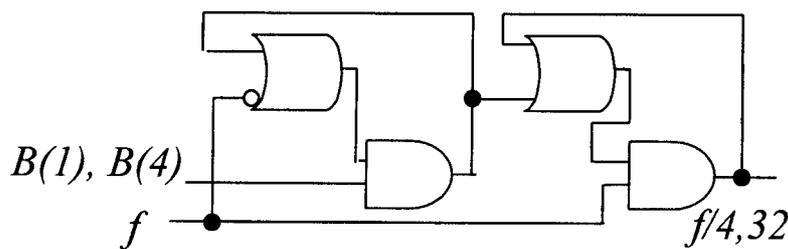
3 Bit Johnson - Zähler

mehrstufig: 1 Johnson + 2 Synchron Zähler

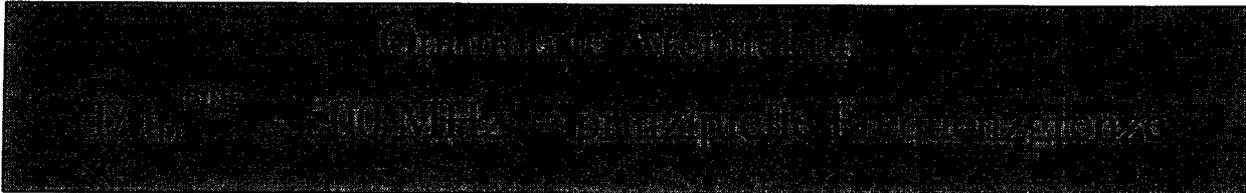


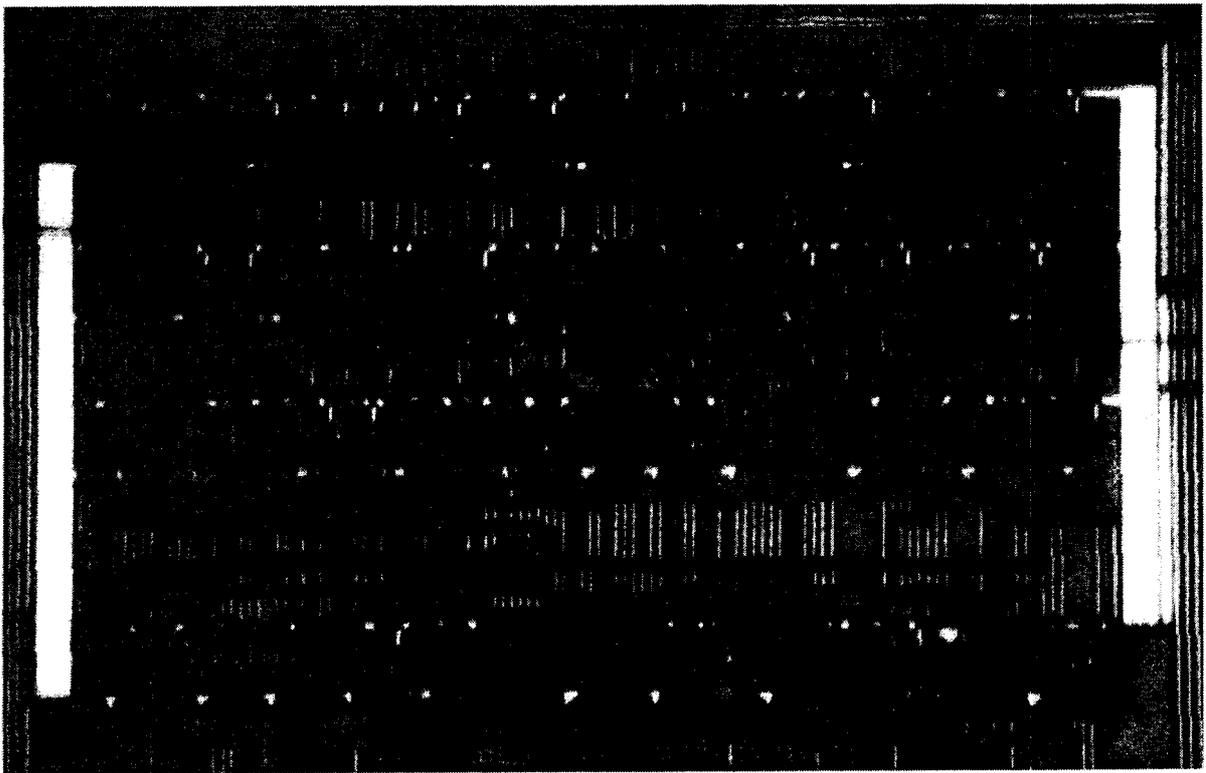
- 2Bit – Johnson – Zähler zählt f
- 3Bit – Synchron – Zähler zählt $f/4$
- 11Bit – Synchron – Zähler zählt $f/32$

Synchronisierung von $f/4$ und $f/32$ auf f !

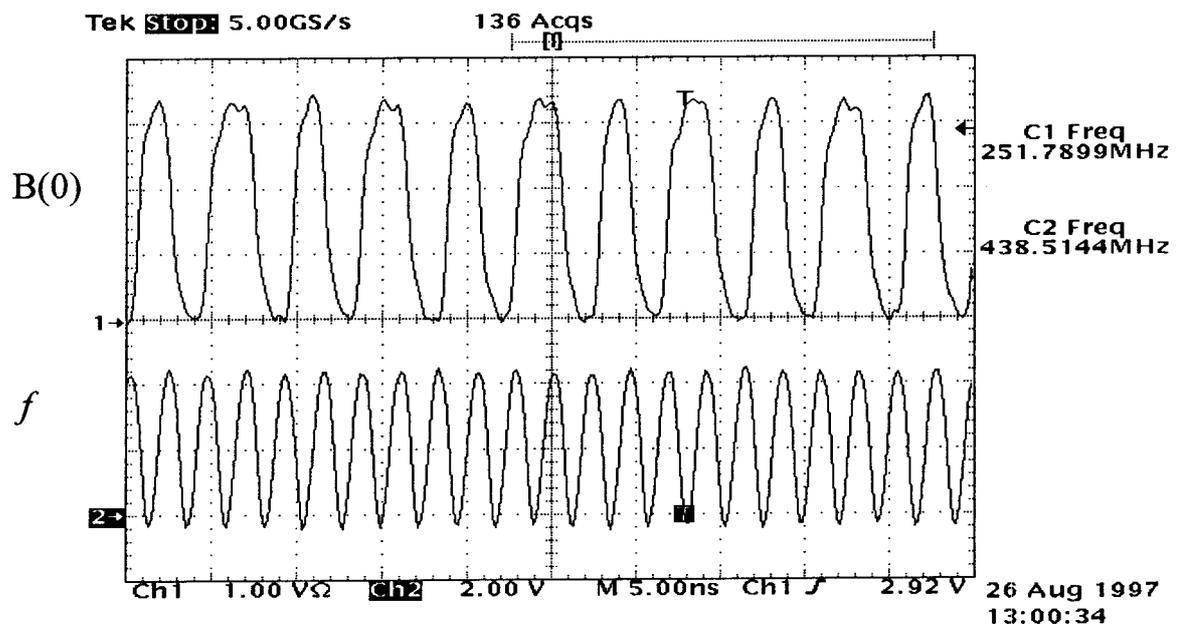


Sync. Schaltung:





Chipfoto des 16 Bit Zählers
Chipfläche $0,22\text{mm}^2$

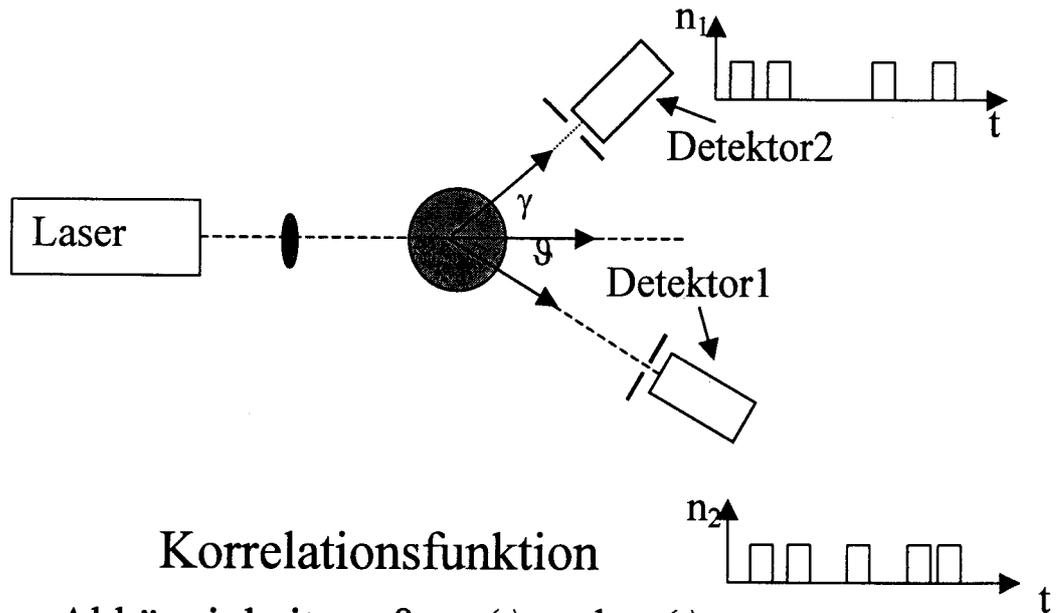


$B(0)$ – Ausgang (LSB)

200 MHz Korrelator für Photonenzählraten

ALV GmbH Langen und μ SYST FHD
gefördert als FUSE Experiment Nr. AE27313 der Europäischen Union

Korrelationsexperiment



Korrelationsfunktion

Abhängigkeitsmaß: $n_1(t)$ und $n_2(t)$

τ : Zeitparameter *lag time*

$$G_{12}(\tau) \equiv \frac{1}{T} \int_0^T n_1(t) \cdot n_2(t - \tau) dt .$$

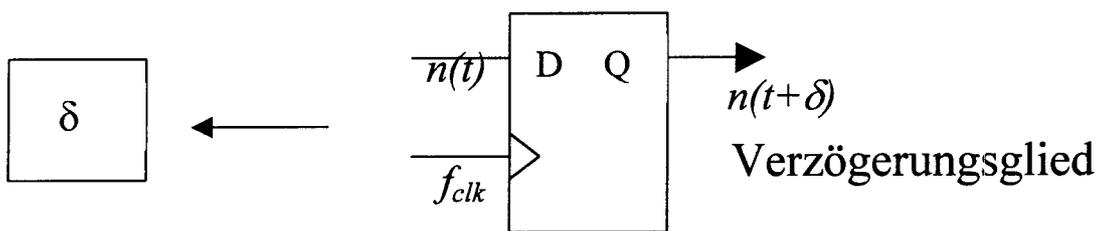
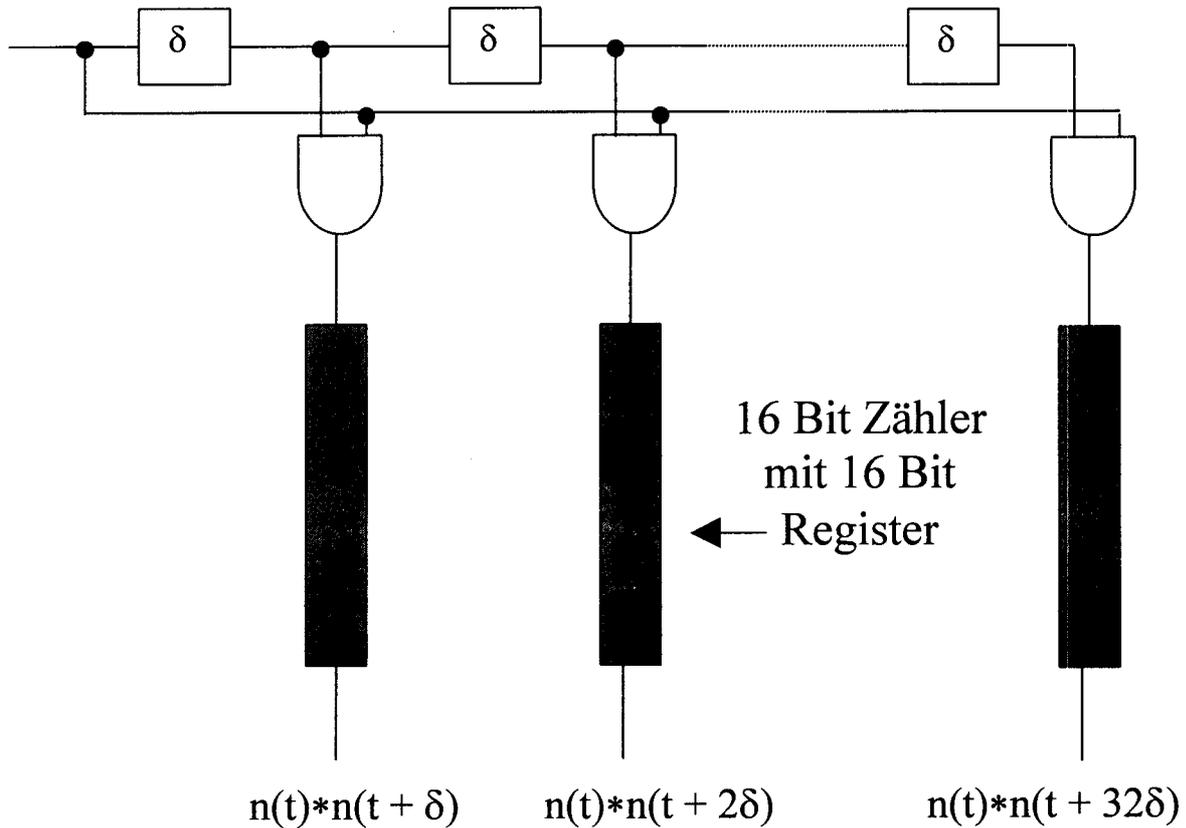
diskrete Approximation

$$G_{12}(\tau_j) \equiv \frac{1}{J} \sum_{i=1}^J n_1(t_i) \cdot n_2(t_i - \tau_j)$$

Linearer Korrelator

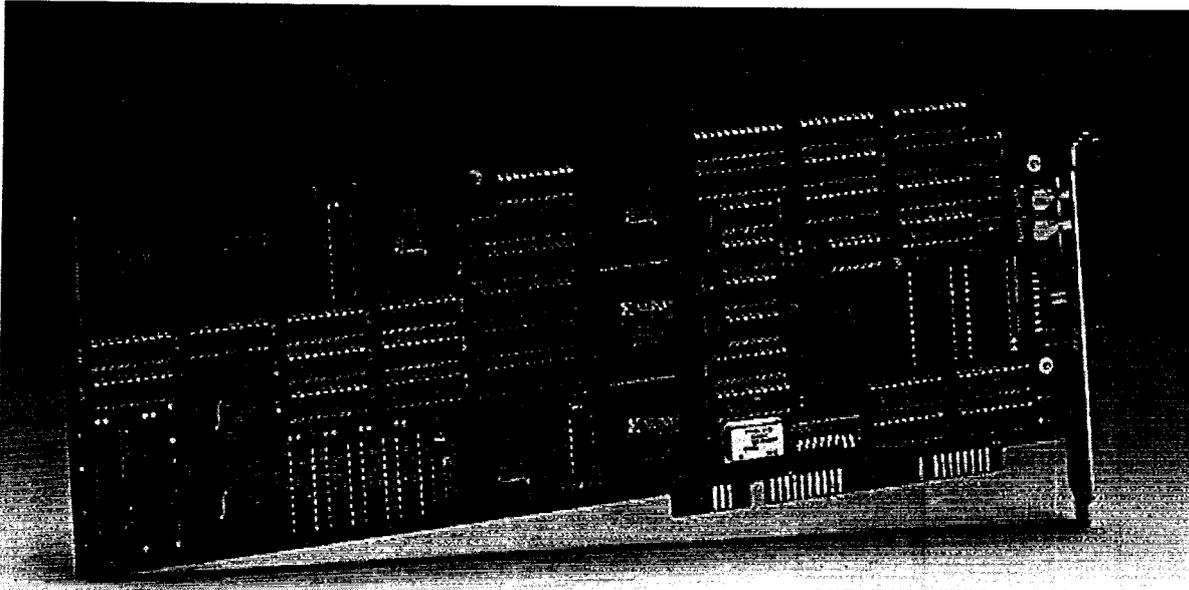
*Samplingzeit $\delta = t - t_0 = 1/f_{clk} = \log_2 \tau = 1 * \delta$*

Ziele: δ klein (5 ns) aber τ groß



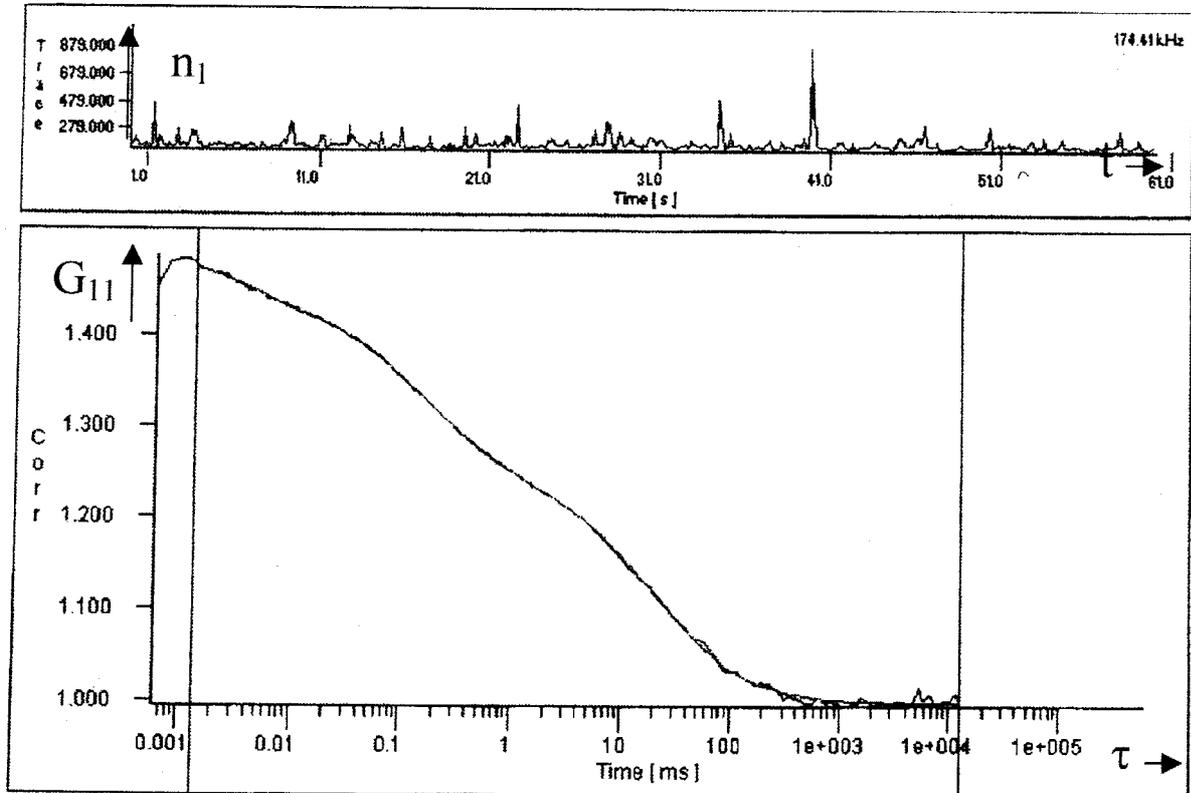
$G(\tau)$ wird berechnet für τ zwischen 5 ns und 160 ns

Korrelationskanal: 300 Gatteräquivalente (GE) und 33 FFs !



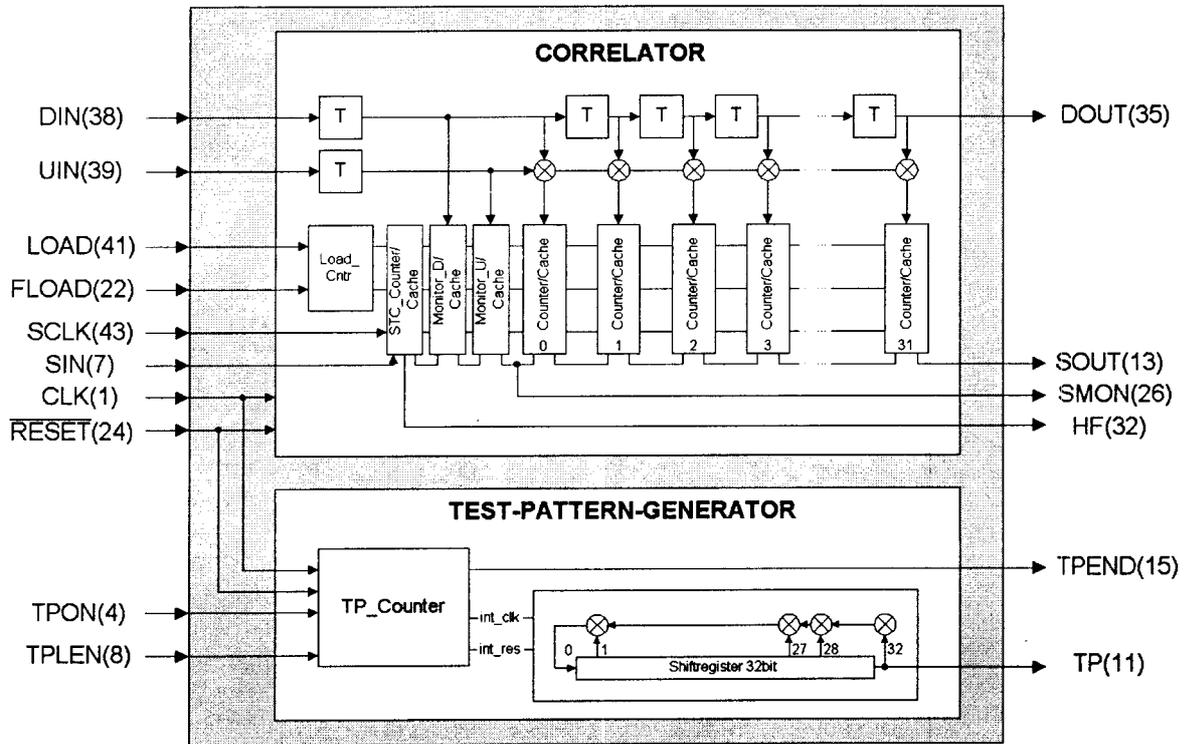
(C)1996 by ALV-GmbH

ALV - Korrelatorkarte mit FPGAs: 40 Kanäle 80 MHz 5 Watt Leistungsaufnahme



EGF- Rezeptor Komplex:
Auto-Korrelations Funktion $n_1 \equiv n_2$

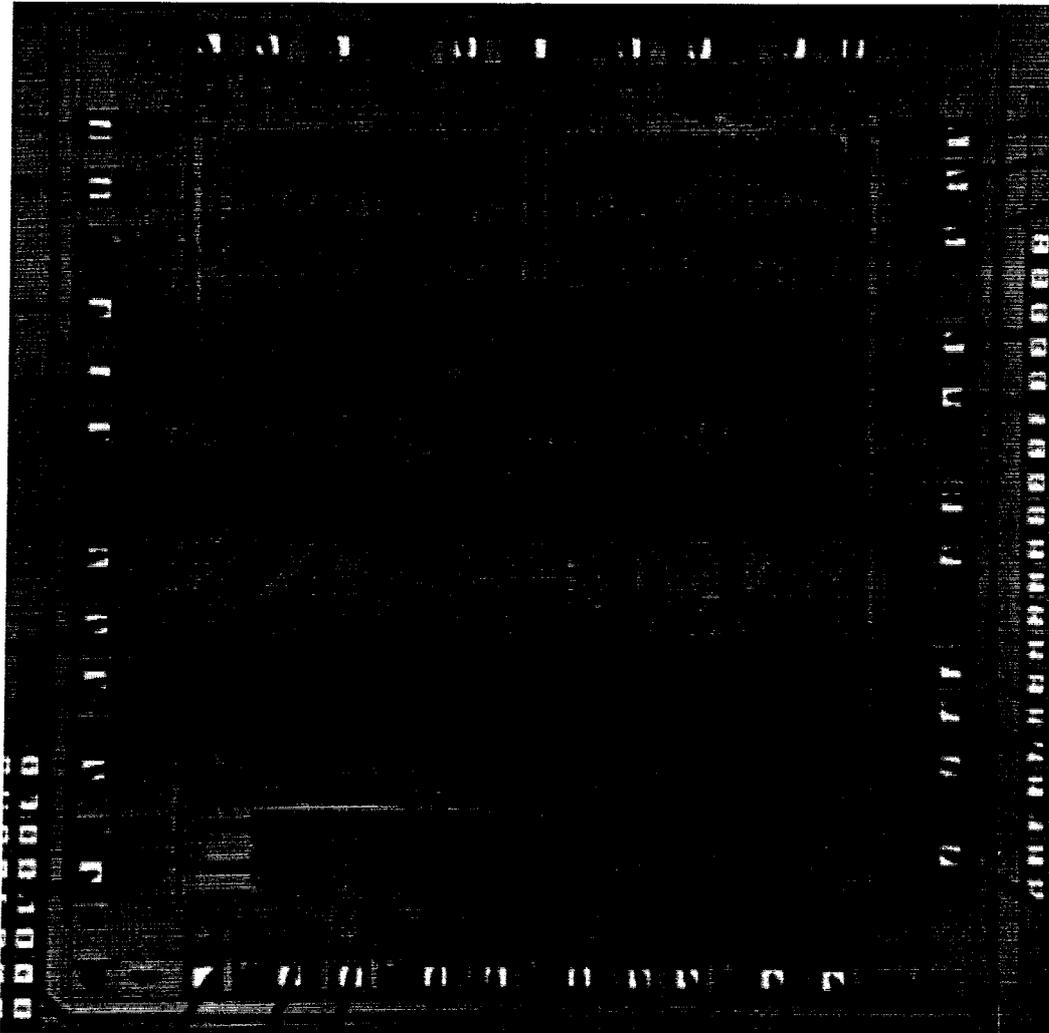
32 Kanal 200 MHz Korrelator CORR32 Standardzellendesign



Blockschaltbild:

- 32 Kanal Korrelator mit Test- Pattern- Generator für Pseudo Zufallsfolge
 - Serielle Ausgabe synchron zu SCLK
- interne Parallel - Seriell - Wandlung der Zählerstände mit Scan Path Flip Flops

Chip in $0,7\mu\text{m}$ CMOS DLM



Schematic Based Design

15.000 Gatteräquivalente

Chipfläche 12 mm^2

Leistungsbedarf: $0,4\text{ W @ }200\text{ MHz}$

Zusammenfassung und Ausblick

Optimierte Architekturen ermöglichen High Performance Designs mit Standardzellen in Standardprozessen

- kleines Designrisiko
- kurze Entwurfszeit durch Synthese
- besser portierbar als Full Custom
- Datenraten: einige 100 MHz
- Hardware-Prototyping mit FPGA leicht möglich
- Gate Level IP Bibliothek

Vorhandene High Performance Designs werden in HDL - Bibliothek übertragen

- Digit to Time Converter

Kalibrierbare Laufzeitkette zur Erzeugung von PWM - Signalen mit 300 ps Flankenpräzision und 10 MHz Wiederholrate für Automobilanwendungen

- Signed Digit Arithmetik

Redundante Zahlendarstellungen zur übertragsfreien Addition von 2er - Komplementzahlen:

100 MHz 16x16 Semicustom - Multiplizierer 0,7 μ CMOS

Literaturliste

- Hoppe, B., Hoffmann, C., Kuhn, M. und Meuth, H.: *Entwicklung von anwendungsspezifischen ICs für die Meß- und Regeltechnik*, Querschnitt Beiträge aus Forschung und Entwicklung der Fachhochschule Darmstadt, 10. Ausgabe, S. 18 – 28, 1996
- Hoppe, B., Kitzing, H., Kreuzer, C., Kroh, C., Meuth, H. und Stöhr, M.: *A 300 MHz digitally controlled oscillator in 0.7 μ m CNOS – technology for precision AD – conversion of strain gauge signals*, Proceedings of the European Microelectronics Application Conference EMAC'97, Barcelona, S. 132 – 135, 1997
- Hoppe, B., Hüsler, M., Kitzing, H., Kreuzer, M., Koudelka, C., Kroh, C., Meuth, H. und Stöhr, M.: *Ein digital kontrollierbarer Oszillator für Präzisionsmessungen mit Dehnungsmessstreifen*, Querschnitt Beiträge aus Forschung und Entwicklung der Fachhochschule Darmstadt, 11. Ausgabe, S. 6 – 13, 1997
- Engels, M., Hoppe, B., Meuth, H. und Peters, R.: *Elektronische Meßwertkorrelation für die Laserspektroskopie*, Querschnitt Beiträge aus Forschung und Entwicklung der Fachhochschule Darmstadt, 12. Ausgabe, S. 14 – 33, 1998
- Dachroth, M., Hoppe, B., Meuth, H., and Steiger, U. H.: *High Speed Architecture and Hardware Implementation of a 16-bit 100-MHz Numerically Controlled Oscillator*, Proceedings to the 24th European Solid State Circuits Conference ESSCIRC'98, pp. 456 - 459, 1998
- Hoppe, B., Kroh, C., Meuth, H., and Stöhr, M.: *A 440 MHz 16 Bit Counter in CMOS Standard Cells*, Proceedings of the 11th Annual IEEE International ASIC Conference ASIC'98, pp. 241 - 244, 1998
- B. Hoppe und H. Meuth: *CMOS - VLSI - Systeme für höchste Datenraten*, eingeladener Vortrag auf der Mentor Graphics User's Group Tagung (MUG'98) in Stuttgart, 1998
- Engels, M., Hoppe, B., Meuth, H. und Peters, R.: *Single Chip Implementierung einer PC-Meßkarte für die 200 MHz-Korrelation von spektroskopischen Signalen in der Lasermeßtechnik*, tm - Technisches Messen, Band 68, Heft 01/99, S. 1 ff.
- Engels, M., Hoppe, B., Meuth, H. und Peters, R.: *A Single Chip 200 MHz Digital Correlation System for Laser Spectroscopy with 512 Correlation Channels*, Proceedings of the ISCAS'99 in Orlando Fl. USA, IEEE - Press, 1999
- F. J. Eitzkorn, B. Hoppe, H. Meuth und A. Schnase: *Hochpräziser Generator für Sinus-, Kosinus- und Dreieckssignale auf Basis eines numerisch gesteuerten Oszillators*, Tagungsband des E.I.S. - Workshops 1999, VDE - Verlag, im Druck

K, J, R, Liu, A. Y. Wu, A. Raghupaty and T. Nishitani: *Algorithm-Based Low-Power and High Performance Multimedia Signal Processing*, Proceedings of the IEEE, Vol. 86, No. 6.. pp 11155 - 1202, 1998

J. E. Volder, *The CORDIC trigonometric computing technique*, IRE Trans. Electron. Comput., Bd. 8, Heft 3, 1957, S. 330 ff.

L. K. Tan, E. W. Roth, G. E. Yee und H. Samueli, *A 800 MHz Quadrature Digital Synthesizer with ECL - Compatible Output Drivers in 0.8 μ m CMOS*, IEEE J. of Solid State Circuits, Bd. 30, Heft 12, 1995 S. 1463 ff.

D. Timmermann, B. Rix, H. Hahn und B. J. Hosticka, *A CMOS Floating Point Vector Arithmetic Unit*, IEEE J. of Solid State Circuits, Bd. 29, Heft 5, 1994 S. 634 ff.

M. Katiyar und K. M. M. Prabhu, *An Improved Angle Recoding CORDIC for Real - Time Implementation*, Applied Signal Processing, Bd. 4 , 1997, S. 77 ff.

Schätzel K.: *Correlation Techniques in Dynamic Light Scattering*, J. Appl. Physics B, pp 193 - 213, 1987

B. von Herzen, *Signal Processing at 250 MHz Using High Performance FPGA's*, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 6, pp. 238 – 246, 1998

Dunning et al.: *An all digital Phase Locked Loop with 50-cycle lock time*, IEEE J. Solid State Circuits, vol. 30, No. 4, pp. 412 - 422, 1995

D. Schmitt - Landsiedel, B. Hoppe, G. Neuendorf, M. Wurm, J. Winnerl: *Pipeline Architecture for Fast CMOS Buffer RAMs*, J. Solid State Circuits, vol. 25, No. 3, pp. 741 ff., 1990

Die Custom Integrated Circuits Conference 1999 (CICC '99) vom 16.-19. Mai in San Diego

Zehn Mitglieder der MPC-Gruppe unter der Leitung von Prof. Dr. Nielinger besuchten die diesjährige CICC in San Diego. Die Tagung stand unter dem Motto System Level Integration bzw. System On Chip und wurde traditionsgemäß eingeleitet mit einer Educational Session. Die Educational Session bestand aus vier Parallelsitzungen mit je vier Vorträgen mit den folgenden Schwerpunkten und Themen:

Current Issues in IC Design

High-Speed A/D Converter Design
High Speed D/A Converter Design
Continuous-Time Sigma-Delta Modulators
Theory and Design of Crystal Oscillators

Der erste Vortrag ist von Prof. B. Razavi von der UCLA, der zweite von D. Mercer von Analog Devices. Beide Vorträge bieten eine sehr gute Einführung in das jeweilige Thema. Der dritte Vortrag gibt eine vertiefende Einführung in das Thema Sigma-Delta-Wandler.

System On Chip

System-on-a-Chip: A Wireless Perspective
Embedded RAM Design and Application
System On a Chip Testing
Embedded Software Methodologies

Der Vortrag System-on-a-Chip: A Wireless Perspective enthält eine Systemanalyse von Funksystemen im GHz Bereich und leitet daraus die Erfordernisse für ein System on Chip ab.

Advanced Integration Issues

Process Integration of Embedded DRAM
SPICE Modeling: The Good, The Bad, and the Ugly
Advanced Embedded Memory Technologies and Design Issues
Building-In Reliability

Wireless IC Design

RF System Design (ein sehr guter Übersichtsvortrag von P. Kinget !!)
The Design of Front-end Circuits for Wireless Applications
Phase Locked Loops for Frequency Synthesizers
High-Performance Frequency Synthesizer Design

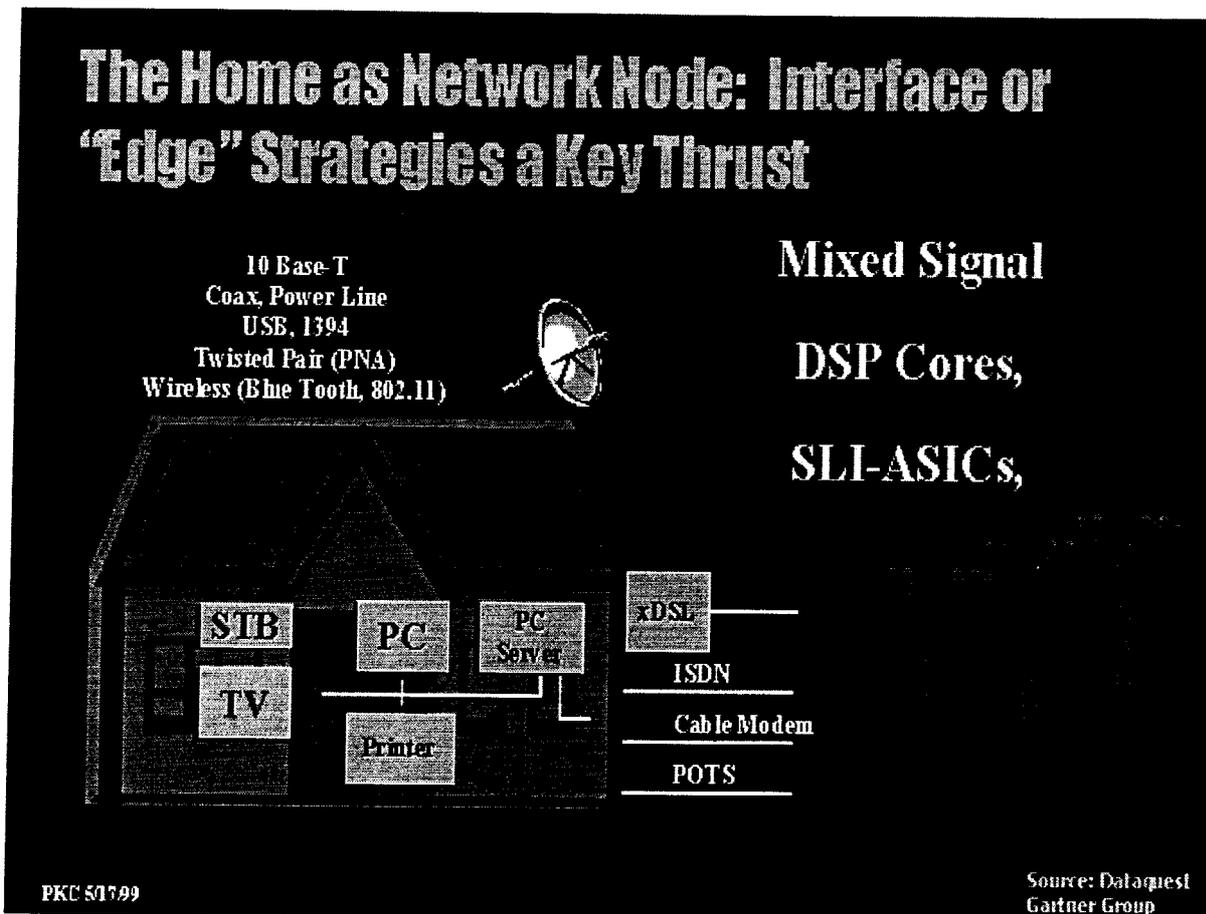
Die Vorträge der Educational Session, mit eigenem Tagungsband, sind als Einführung in die genannten Gebiete gedacht, pädagogisch gut aufbereitet, und auch für weniger spezialisierte Hörer sehr interessant.

Die eigentliche Tagung, die CICC'99, wurde am Montag, den 17. Mai eröffnet. Verantwortlich für das technische Programm war der uns vom IMS in Stuttgart her bekannte Michiel Beunder, der seit einiger Zeit in Kalifornien arbeitet.

Den Eröffnungsvortrag, die Keynote, hielt ein Vertreter der Firma Texas Instruments. Das Thema lautete:

„Internet Age and System Level Integration: New Challenges or Business as Usual?“

Wurden die Fortschritte der Halbleiterindustrie in der Vergangenheit durch Moore's Law beschrieben, das sind die Anzahl der Transistoren pro Chip, Verkleinerung der Strukturdimensionen usw., so werden die Anforderungen an die Halbleiterindustrie mittlerweile durch Metcalf's Law gestellt, das heißt die Anzahl der Teilnehmer im Internet. Zur Zeit sind es über 100 Millionen und die dort verfügbare Informationsmenge steigt jeden Monat um ein Terabyte. Die größten Herausforderungen an die Halbleiterindustrie sind heutzutage, neben der Massenspeicherung von Daten, Mobiltelefone, Modems, Router, LAN- und WAN-Netzwerke. Dies sind die Geräte mit dem höchsten Wachstum, die eine Integration auf Systemebene erfordern.



Anwendungsgebiete mit hoher Wachstumsrate prädestiniert für System Level Integration.
Die Bilder des Eröffnungsvortrags findet man unter: [www.his.com/~cicc/conference/keynote/...](http://www.his.com/~cicc/conference/keynote/)

Dem Eröffnungsvortrag folgten in den drei Tagen über 130 Vorträge und 4 Diskussionsforen. Wichtige Hersteller von EDA-Tools und Testwerkzeugen zeigten ihre Produkte in einer Ausstellung. Während eines Arbeitsessens berichtete ein Mitglied des Cooperative Research Center for Molecular Engineering and Technology, über Schalter mit Dimensionen im Nanometer-Bereich (s. dazu: <http://www.ambri.com.au/>).

Definition von System Level Integration:

System Level Integration SOC (System on Chip)

Phase 1: „An IC that contains a compute engine, memory and customer logic on a single chip“

Phase 2: „Moving the design of SOC's out of ASIC vendors hands into the hands of multiple end customers“

- **SOC design kits, Cores or IP blocks**
- Simulation, Synthesis, Static Timing, Full-Scan Test, Layout Models
- Synthesizable Source, Synthesis Scripts, Technology-Specific Netlists and Timing Assertions

Heute werden einbezogen:

Ethernet-, PCI-, USB-, MPEG- und Firewire-Prozessoren, Video-Prozessoren, Video-Dacs usw.

Schlagwort: Set-Top Box Integration

Überblick über die Vortragsblöcke:

CICC '99 Technical Program: Sessions List (Seite 1)

- Session 1 - Keynote Presentation
- Session 2 - Advanced RF Circuit Simulation and Modeling
- Session 3 - IP Creation and Protection
- Session 4 - IC Design Project Management
- Session 5 - Audio and Video Signal Processing
- Session 6 - System-On-Chip: Trends and Real Life Applications
- Session 7 - Data Converters
- Session 8 - IC Test and Reliability
- Session 9 - Programmable Logic Architectures

- Session 10 - Wireless Transceivers and Systems
- Session 11 - Embedded Memory Circuits and Techniques
- Session 12 - LAN/WAN Transceiver Technology
- Session 13 - Custom Circuit Techniques for High-Performance and Low-Power Applications
- Session 14 - Read/Write Channel Signal Processing
- Session 15 - Advanced Technologies for SOC and RF ICs
- Session 16 - Noise Modeling and Simulation In Communications Circuits
- Session 17 - IP Reuse and Infrastructure

CICC '99 Technical Program: Sessions List (Seite 2)

Panel Discussions:

- Session 18 - Analog Behavioral Modeling - Tool or Toy for Design?
- Session 19 - Not Like Your Father's ASIC Vendor
- Session 20 - Silicon Vendors are from Venus, System Designers are from Mars
- Session 21 - Dealing with Start-Ups: Is it Worth the Hassle?

- Session 22 - Simulation and Modeling of Global Interconnect
- Session 23 - Noise Issues in IC Design
- Session 24 - Analog Techniques
- Session 25 - General Purpose and Application Specific Digital Signal Processing
- Session 26 - Device and Substrate Analysis and Circuit Synthesis
- Session 27 - Custom Circuit Techniques for Communication Applications
- Session 28 - SOC Core Integration and On-Chip Communication
- Session 29 - RF Building Blocks for Wireless Communications

Die Nennung der eigentlichen Vortragsthemen - etwa 130 an der Zahl - hätte den Rahmen dieser Zusammenfassung gesprengt. Sie gehen aber aus den Abstracts hervor (etwa 25 Seiten), die vom MPC-Server heruntergeladen werden können. Außerdem können die Proceedings der Konferenz bei den Teilnehmern angefordert werden.

Hinweise auf Tagungsbeiträge, die mir besonders interessant erschienen:

Session 2 - Advanced RF Circuit Simulation and Modeling:

Simulation and Modeling of Intermodulation Distortion in Communication Circuits.

Session 3 - IP Creation and Protection:

- Watermarking-Based Copyright Protection of Sequential Functions
- Hierarchical Watermarking for Protection of DSP Filter Cores

Session 6 - System-On-Chip: Trends and Real Life Applications:

- The Changing Landscape of System-on-a-Chip Design
- Intellectual Property Re-use and
- Single GSM Mixed Signal Superchip with 96k Bytes Flash and Low Power Micro-Controller

Session 7 - Data Converters:

- A 3.3V Single-Poly CMOS Audio ADC Delta-Sigma Modulator with 98dB Peak SINAD

Session 10 - Wireless Transceivers and Systems:

- RF Transmitter Architectures and Circuits, A 4-dB NF GPS Receiver Front-end with AGC and 2.6 A/D
- An Ultralow Power Single-Chip CMOS 900 MHz Receiver for Wireless Paging

Session 12 - LAN/WAN Transceiver Technology:

- A 2.5-Gb/s One Chip Receiver Module for Gigabit-To-The-Home

Session 15 - Advanced Technologies for SOC and RF ICs :

- Device and Circuit Design Issues in SOI Technology
- Wireless Communication Integrated Circuits with CMOS-Compatible SiGe HBT Technology Modules

Session 16 - Noise Modeling and Simulation In Communications Circuits:

- RF Simulations and Physics of the Channel Noise Parameters within MOS Transistors
- Oscillator Phase Noise: A Tutorial
- Modeling and Simulation of Noise in Analog/Mixed-Signal Communication Systems

Session 17 - IP Reuse and Infrastructure:

- IP Reuse Creation for System-on-a-Chip Design
- A New Method for Reuse Driven Design of Digital Circuits von Heuser et al., Fraunhofer Institut f. Mikro-elekt. Syst., Duisburg

Session 24 - Analog Techniques :

- A Wideband Tunable CMOS Channel-Select Filter for a Low-IF Wireless Receiver
- A 1V 5th Order Bessel Filter dedicated to Digital Standard Processes

Session 27 - Custom Circuit Techniques for Communication Applications:

- A Low Power Direct Digital Frequency Synthesizer Architecture for Wireless Communications

Session 29 - RF Building Blocks for Wireless Communications:

- A 1V 900 MHz Image Reject Downconverter in 0.5 μ m CMOS

Hier noch die Einleitung zu einer interessanten Diskussionsitzung:

Analog Behavioral Modeling - Tool or Toy for Design?

Many people recognize that behavioral models are useful for verifying functionality and interconnectivity of large-scale mixed-signal ICs. This panel will address the question of whether or not behavioral models are also useful for design.

Can you use these models to speed up circuit simulations and to identify problems that you might not find during circuit simulation? Are they just the latest fad from the pointy-haired bosses of the world? The topics our esteemed panelists will address include the following:

Does it take longer to write a good model of a circuit than it does to design and simulate the circuit in Spice?

Is breadboarding a circuit still the only method of determining if a new circuit design will work in the real world?

Can behavioral simulators perform well when required to run a complex circuit, such as a PLL with charge-pump leakage, thermal noise, and phase detector dead zones?

Do these simulators only work efficiently when running simplified simulations?

Will a circuit simulator converge when behavioral models are introduced into a circuit description?

Can a CAD tool automatically turn a Spice circuit description into a behavioral model? The panel will also discuss the usefulness of evolving VHDL and Verilog standards for modeling analog/mixed-signal systems. Are these HDLs even needed or should designers use a simpler language, such as MatLab, or use the languages contained in high-level, mixed-signal simulators such as Synopsys' COSSAP and Cadence's SPW?

Interessant sind die Namen der "Panelists":

Prof. Jim Barby, University of Waterloo, Canada

Prof. Georges Gielen, Katholieke University, Leuven, Belgien

Ken Kundert, Cadence System Design

Larry Nagel, Omega Enterprises

Robert Pease, National Semiconductor

Zum Schluß noch ein paar Schlagwörter und Sprüche von der Konferenz:

Wintel

- Windows + Intel

Embedded Software

- the sauce that brings silicon to life
- silicon without software is just sand

Moore's Law

- Technologietreiber = Anzahl der Transistoren pro Chip

Metcalf's Law

- Technologietreiber = Anzahl der Teilnehmer im Internet

Emulation komplexer Logik auf FPGA

Markus Fischer
ASIC-Design-Center
Fachhochschule Offenburg, Badstr. 24, 77652 Offenburg
Tel. 0781/205-267, Fax 0781/205-242,
E-Mail: d.jansen@fh-offenburg.de

Einführung

Der Entwurf von integrierten Schaltungen gestaltet sich immer schwieriger. Der Entwicklungsaufwand ist zeit- und arbeitsintensiv und birgt ein hohes Fehlerrisiko. Dieses ist zwar durch ausgereifte Software-Simulations-Tools stark zu reduzieren, dennoch werden einige Probleme dadurch nicht berücksichtigt. Zum einen ist die Simulation eines Designs nur für eine begrenzte Zeit möglich. Je nach Komplexität sind nur wenige Millisekunden (Echtzeit) möglich, da hierfür eine sehr große Menge an Daten anfallen, die nicht mehr ausgewertet, bzw. nicht mehr verwaltet werden können. Auf der anderen Seite, ist es nicht möglich mit einer Software-Simulation Interaktivität mit einem Menschen oder die Einflußnahme durch eine externe Einheit, z.B. über einen Interrupt-Eingang oder eine Parallele Input/Output-Einheit, zu berücksichtigen. Dadurch entstehen zufällige Situationen die durch keine Simulation abgedeckt werden kann. Aus diesen Gründen entsteht die Forderung nach einer Emulation in einer Hardware-Umgebung, die z.B. mittels eines FPGA (Field Programmable Gate Array) realisiert werden kann.

Um nun eine höhere Sicherheit beim entwickeln neuer Designs zur erhalten, wurde an der Fachhochschule Offenburg ein Emulationsboard mit einem FPGA entworfen. Hierfür wurden die Typen EPF10k50 und EPF10k100 aus der ALTERA FLEX 10K Familie ausgewählt [1]. Die Wahl fiel auf diese Typen, da die notwendigen Hardware-(Programmier-Adapter) und Software-Tools (Max+Plus II Development System) bereits vorhanden waren. Sie bieten Funktionen, wie Nutzung von RAM und das Einbinden spezifischer Operatoren, außerdem ist die Anzahl der zur Verfügung stehenden Logic Elemente für große Designs geeignet (siehe Tabelle 1).

Feature	EPF10K50	EPF10K100
Typical Gates	50,000	100,000
Usable Gates	36,000 to 116,000	62,000 to 158,000
Logic Elements(LE)	2,880	4,992
Logic Array Blocks(LAB)	360	624
Embedded Array Blocks(EAB)	10	12
Total RAM Bits	20,480	24,576
Maximum user I/O Pins	310	406

Tabelle 1: Übersicht über die gewählten Flex10K-Bausteine

Aufbau der FLEX10K-Familie

Jeder Flex10k-Baustein beinhaltet ein Embedded Array, um Speicher oder spezielle Logik Funktionen zu implementieren und ein Logic Array, mit dem generelle Logik eingebaut wird.

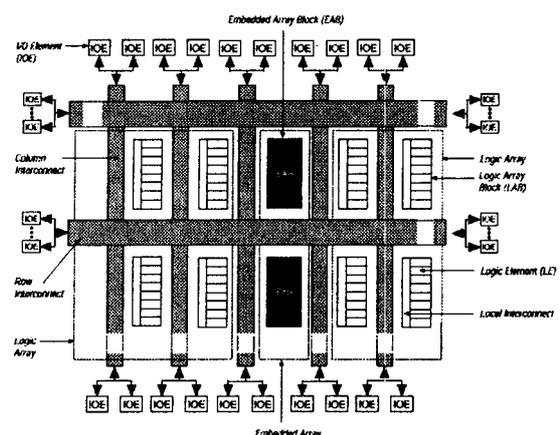


Abb. 1: Flex10K Aufbau

Das **Embedded Array** besteht aus mehreren EABs (Embedded Array Block), in unserem Fall aus 10, bzw. 12 Stück. Werden die EABs genutzt, um Speicher zu implementieren, erhält jedes EAB 2048 Bit, welches zur Realisierung von RAM, ROM oder

Dual-Port RAM benutzt werden kann. Falls mit den EABs Logik realisiert werden soll, kann jeder EAB zwischen 100 und 600 Gates beisteuern, welche für komplexe Logik-Elemente wie Multiplizierer oder State-Maschinen, genutzt werden können. Die EABs können einzeln, oder mehrere miteinander kombiniert, verwendet werden, um große Funktionen einzubinden.

Das **Logic Array** besteht aus LABs (Logic Array Block), welche acht Logic Elemente (LE) und eine lokale Verbindungsebene (Local Interconnect) beinhaltet. Ein LE besteht aus einer LUT (Look-Up-Table) mit vier Eingängen, einem programmierbarem FlipFlop und Signalpfade für Carry- und Cascade-Funktionen. Die acht LE können dazu genutzt werden, um mittelgroße Logik-Blöcke, wie 8 Bit-Zähler oder Adress-Decoder aufzubauen. Über die LABs hinweg können die LEs zusammenschaltet werden, so daß damit große Logik-Blöcke gebildet werden können. Hierbei stellt jeder LAB etwa 96 nutzbare Gates zur Verfügung.

Verbindungen innerhalb der Flex10K-Bausteine, sowie zu den I/O-Pins, erfolgt über ‚FastTrack‘-Leitungen. Diese verlaufen zeilen- und spaltenweise (siehe Abb. 1) durch den ganzen Baustein.

Die I/O-Pins befinden sich immer am Ende einer Zeile, bzw. Spalte der ‚FastTrack‘-Leitungen. Jedes dieser I/O-Elemente beinhaltet einen bidirektionalen I/O-Buffer und ein FlipFlop, welches entweder als Ausgangs- oder Eingangs-Register benutzt werden kann.

Konzept der Emulationsplatine

Für die beiden FPGAs wurden zwei Platinen-Layouts erstellt, die sich allerdings nur durch den verwendeten Sockel unterscheiden. Abb.2 zeigt die Platine mit dem Flex10k100 Chip. Zu diesen Platinen gab es verschiedene Vorgaben:

- Der FPGA muß über ein EPROM und über den PC, mittels Altera-Byte-Blaster-Kabel, konfigurierbar sein.
- Alle Pins des FPGA müssen auf Steckerleisten herausgeführt sein, so daß man einzelne Signale abgreifen oder setzen kann
- Der FPGA soll mit verschiedenen Takt-Frequenzen angesteuert werden können. Es wurde ein 32MHz Quarzoszillator verwendet, von dem, über einen Takteiler, die Frequenzen 16, 8, 4, 2, 1, 0.5 MHz abgeleitet werden.
- Die Spannungsversorgung erfolgt über ein Steckernetzteil (7-12V), auf der Platine wird ein 5V Festspannungsregler verwendet.

- Eine Sicherung sowie ein Schalter soll auf der Platine enthalten sein.

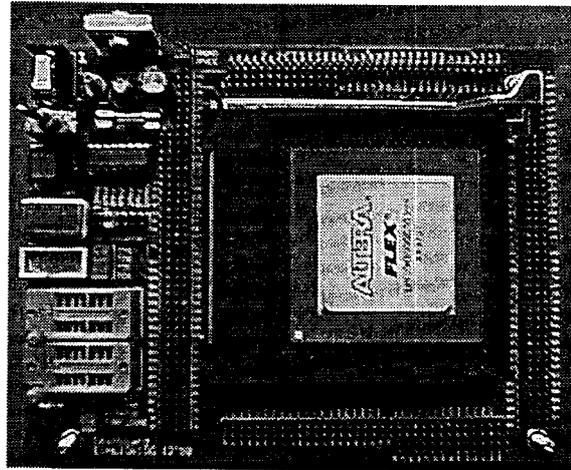


Abb.2: Die Flex10k100-Platine

Umgesetzte Designs

Bisher wurden drei verschiedene ASIC-Designs auf die Flex10k Library umgesetzt. Als Referenz-Design zum Test der Platine wurde das ausgereifte Design eines Würfels eingesetzt. Hierzu wird zusätzlich eine Platine angeschlossen, welche die Zahl mittels LED anzeigt und nach dem Würfeln über einen Piezo-Lautsprecher eine Melodie ausgibt.

Ein weitere Erfolg der Emulationsplatine war die Verifizierung des auf VHDL umgestellten Lottozahlen-Generators. Hierbei wurden Fehler durch die interaktive Bedienung, die zuvor in der Simulation nicht absehbar waren, erkannt.

Als drittes wurde der komplett neu in VHDL gestaltete FHOP 2 in der Emulationsplatine getestet. Hierzu mußten weitere Elemente, wie ein Buscontroller, eine Waitstate-Chipselect-Einheit und eine Parallele Input/Output Einheit mit aufgenommen werden, so daß die Grenze des Flex10k50 Boards erreicht wurde. Dies verdeutlicht Abb. 3, in der zu erkennen ist, daß der Würfel mit nur 143 verbrauchten LEs gerade mal 4% der zur Verfügung stehenden Ressourcen verbraucht.

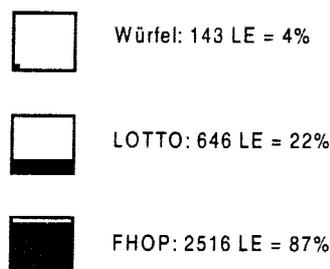


Abb.3: Verbrauch an LE durch die verschiedenen Designs, bezogen auf Flex10k50

Der Lottozahlen-Generator verbraucht ungefähr ein Viertel (646 LE), der FHOP zusammen mit seinen Peripherie-Elementen benötigt bereits 87% der Ressourcen. Damit ist der Flex10k50 fast schon vollständig ausgelastet, so daß keine Erweiterungen in diesen Typ mehr mit aufgenommen werden können. Geht man allerdings auf den Flex10k100 über, stehen einem noch ungefähr 50% an Logic Elementen zur Verfügung.

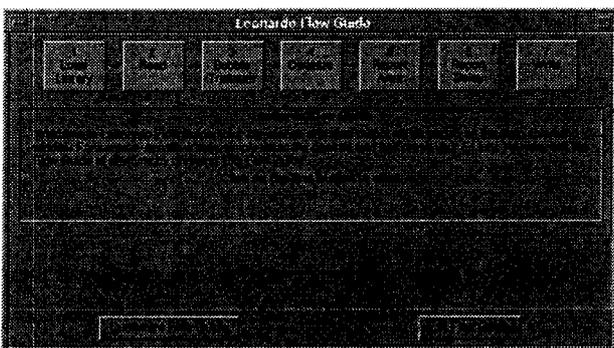
Design-Flow anhand des FHOP 2

Nun soll anhand des FHOP 2 [1] der Design-Flow an der Fachhochschule Offenburg beschrieben werden. Hierbei wird auf die benutzten Programme und die Methodik eingegangen, die verwendet werden, um ASIC-Designs auf FPGA umzusetzen.

Die Entwicklungen werden alle in Behavior-VHDL umgesetzt und mittels des ModelSim-Simulators der Firma Model-Technology getestet. Zur Simulation werden, je nach Einheit, Do-Files oder Testbenches entwickelt, um möglichst viele Situationen abzudecken. Nachdem alle Fehler, die durch die Simulation erkannt wurden, behoben sind, wird die Synthese des Designs durchgeführt.

Die Synthese für FPGA wird mit dem Programm Leonardo der Firma Exemplar durchgeführt. Abb. 4 zeigt den Flow, der mit diesem Programm durchlaufen wird. Dies beginnt mit dem Einlesen der Technologie-Library, auf die synthetisiert werden soll, geht über das Einlesen der VHDL-Dateien und die Compilierung (Synthese) zum Area-Report und dem Schreiben der EDIF-Netzliste.

Abb.4: Synthese-Flow



Um ein VHDL-Design synthetisieren zu können, muß zuerst eine Library geladen werden, welche die zur Umwandlung in die Gatter-Ebene benötigten Zellen enthält. Leonardo unterteilt diese Libraries in zwei Technologie-Kategorien, ASIC und FPGA. Allerdings muß erwähnt werden, daß das Hauptaugenmerk von Leonardo auf der Synthese für FPGA liegt, was unschwer an der Fülle der unterstützten Bibliotheken zu erkennen ist. Zur

Umsetzung des FHOP wählen wir hier die Flex10k-Library aus.

Auf das Einlesen der VHDL-Codes folgt nun die Synthese mittels des Leonardo-Compilers. Dieser bietet die Möglichkeit einige Einstellungen vorzunehmen, die in Abb. 5 dargestellt sind.

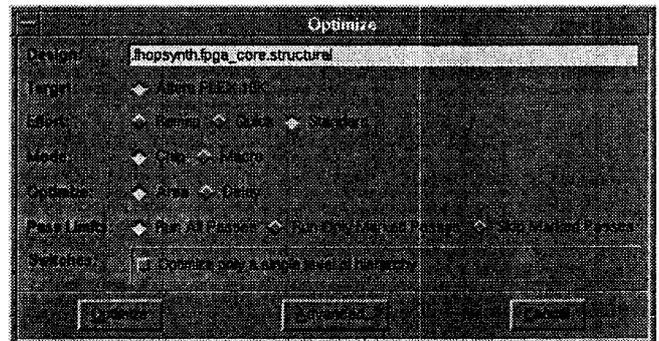


Abb.5: Einstellungen des Compilers

Die Einstellungen bieten allerdings nur sehr wenig Möglichkeiten zur Optimierung. Man kann über den ‚Effort‘ angeben, mit wieviel Aufwand, d.h. mit wie vielen verschiedenen Durchläufe der Compiler die Synthese durchführen soll. Die Logik kann in einem schnellen (Quick) oder in einem Standard-Durchlauf umgesetzt werden. Über den Menüpunkt ‚Pass Limits‘, kann der ‚Standard Durchlauf‘ weiter konfiguriert werden. Hierdurch wird angegeben, wie viele Durchläufe der Compiler durchgehen soll. Maximal sind dies bei Leonardo vier, von denen der mit den optimalen Eigenschaften (wenigste LE, FlipFlops...) übernommen wird.

Der Punkt ‚Optimize‘ bietet die Möglichkeit, die Art der Compilierung anzugeben. Es gibt die Optimierung auf Zeit („Delay“), d.h. kürzeste Signal-Laufzeiten, oder auf Fläche („Area“), also möglichst geringen Platzverbrauch.

Weiter kann der Mode eingestellt werden, mit dem definiert wird, ob das Design ein Top-Level-Design (CHIP) ist und damit I/O-Buffer eingefügt werden müssen, oder ob es sich um eine untergeordnete Zelle (MACRO) handelt, die keine Buffer benötigt. Für ein hierarchisches Design kann zusätzlich angegeben werden, ob nur die oberste Ebene synthetisiert werden soll (Switches).

Ist die Synthese erfolgreich abgeschlossen, kann mittels des ‚Area Reports‘ das Ergebnis analysiert werden. Die Ergebnisse des FHOP 2 und seiner Peripherie-Elemente sind in Tabelle 1 dargestellt. Darin werden nicht nur die benötigten LEs aufgeführt, sondern auch Elemente, wie Tri-States, D-FlipFlops, OUT- und IN-Buffer.

PIO_16Bit	32	DFF
	32	TRI-State
	36	LE
Chipselect – Waitstate	24	DFF
	-	TRI-State
	70	LE
Buscontroller	33	DFF
	56	TRI-State
	199	LE
FHOP2-Core	229	DFF
	400	TRI-State
	1824	LE
Gesamt	52	Outbuffer
	20	Inbuffer
	318	DFF
	488	TRI-State
	2129	LE

Tabelle 1: Ergebnis der Synthese nach Leonardo

Der Übergang vom Synthese-Tool zum FGPA-Programmier-Tool erfolgt über eine EDIF-Netzliste. Diese wird von Leonardo herausgeschrieben und kann vom Max+PlusII-System wieder eingelesen werden (Abb. 7)

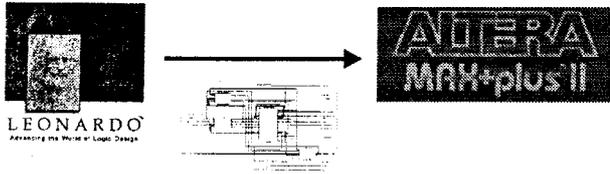


Abb.7: Übergang von Synthese- zu Programmier-Tool

Um nun das Design zur Konfiguration in den FPGA vorzubereiten, wird ein Projekt im Max+Plus II-System geöffnet, in dem die EDIF-Netzliste eingelesen wird. Bevor der Compiler des Systems gestartet werden kann, muß ihm mitgeteilt werden, für welchen Typ er den Vorgang durchführen soll. Hat man den Typ eingestellt, werden die Daten durch Compilieren in eine neue Form gebracht, so daß sie vom Flex10k50 aufgenommen werden können. Die bearbeiteten Daten werden nun mittels des ‚Programmiers‘, des Max+Plus II-Systems, entweder über ein Programmieradapter auf ein EPROM gebrannt, oder über ein Konfigurationskabel (wir verwenden das Byte-Blaster-Kabel) direkt in das SRAM des Flex10k-Bausteins herunter geladen.

Vergleicht man das Ergebnis des Max+Plus II-Compile mit dem Synthese Ergebnis von Leonardo, so fällt auf, daß die ALTERA-Software erheblich mehr Logic Elemente (2516) verbraucht. Dies ist

der Wert, der vom MAX+PlusII-System angegeben wird, nach dem dieses die Daten zur Konfiguration des Flex10k-Bausteins aufbereitet hat. Der Unterschied ist auf den Aufbau des Flex10k50 zurückzuführen. D.h. der FPGA kann aufgrund seiner zeilen- und spaltenweise angeordneten LABs die von Leonardo vorgegebene Struktur nicht direkt umsetzen. Komplexe Logik muß über mehrer LABs mittels einer Cascade- und gegebenenfalls auch Carry-Chain aufgebaut werden.

Um den FHOP-Design im Flex10k-Baustein testen zu können, mußten noch extern RAM und ROM angeschlossen werden. Im ROM befindet sich ein Test-Programm, welches die einzelnen Befehle des FHOP durchläuft. Wird ein Befehl nicht korrekt ausgeführt, wird sofern möglich in eine ERROR-Routine verzweigt und der Prozessor wird angehalten. Laufen jedoch alle Befehle durch, wird dies anhand von LEDs, die jeweils nach Abschluß eines Programm-Blockes gesetzt werden, angezeigt. Um die Funktionalität zu verifizieren, wurde mittels eines Logic-Analyzers der Daten- und Adress-Bus überwacht. Abbildung 8 zeigt den Test-Aufbau.

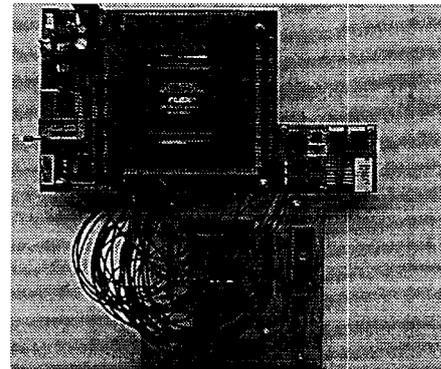


Abb. 8: Test-Aufbau für FHOP 2-Kern

Mit den Emulations-Boards ist es nun möglich, ein ASIC-Design in einer Hardware-Umgebung zu testen. Die FPGA-Hardware unterscheidet sich zwar grundsätzlich von der eines ASIC, so daß ein Design nur bei einem geringeren Takt betrieben werden kann, dennoch wird die Funktionalität der Logik bestätigt. Dabei ist eine interaktive Einflußnahme wie auch eine Simulation über einen längeren Zeitraum möglich.

Literatur

- [1] Daten zur Altera Flex10k-Familie:
<http://www.altera.com/html/literature/f10k.html>
- [2] M.Fischer, „FHOP 2 – Entwicklung der 2.Generation eines 16Bit Mikroprozessor-Kerns ...“, MPC-Workshop-Bericht Jan 1999

Modellentwicklung zur prozeduralen Simulation von Großsignalkennndaten

Günter Müller, Gerhard Forster

Temic Semiconductor GmbH, Lise-Meitner-Str. 15, 89081 Ulm
Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm

Im Rahmen einer Diplomarbeit wurden an der Fachhochschule Ulm in Zusammenarbeit mit der Firma Temic Semiconductor GmbH prozedurale Simulationsmodule zur Charakterisierung von Großsignalkennndaten entwickelt. Hieraus wurden einige wichtige Elemente zur automatischen Bestimmung des Kompressionspunktes (CP1dB) und der Intermodulations-Interceptpunkte (IP2 und IP3) vorgestellt. Ausgehend von einer SPICE Transienten-Analyse und einem speziellen FFT-Algorithmus werden die gesuchten Kennwerte effektiv und sehr genau bestimmt. Die Simulationsmodelle erlauben dabei die Berechnung der gesuchten Parameter über beliebigen Variablen, womit wichtige Abhängigkeiten dargestellt werden können. Dieser Beitrag beschränkt sich im wesentlichen auf die Beschreibung zur effektiven Bestimmung von CP1dB und einige Besonderheiten wie Expansioneffekte, sowie die richtige Anwendung des FFT Algorithmus bei der Intermodulations-Analyse.

1 Motivation

In der modernen Schaltungsentwicklung werden analoge Schaltungen zunehmend von digitalen Schaltungen verdrängt, da diese im allgemeinen einfacher handhabbar und leichter integrierbar sind. Werkzeuge zum automatisierten Entwurf von analogen Schaltungen sind aufgrund der Komplexität und der immer geringeren Verbreitung von Analogschaltungen noch sehr unterentwickelt. Gerade im Bereich der modernen Kommunikationstechnik, wie zum Beispiel bei mobilen Telefonen, Navigationsgeräten oder in Telematikanwendungen, spielt jedoch das analoge Frontend eine entscheidende Schlüsselrolle. Die Aufbereitung und Umsetzung von Datenströmen bei immer höher werdenden Fre-

quenzen erfolgt stets mittels analoger Schaltungskomponenten. Die Randbedingungen und Anforderungen an diese Schaltungen, wie zum Beispiel der Dynamikbereich, Rauschzahlen (Noise Figure) und immer geringere Stromaufnahme verschärfen die Designbedingungen zunehmend. Wichtige Kennndaten und Verfahren, wie sie bisher Höchstfrequenzanwendungen wie Radar und Richtfunk vorbehalten waren, erlangen zunehmend Bedeutung in modernen Konsumerprodukten. Um die „time to market“ möglichst kurz zu halten und Führungspositionen am Markt erlangen oder halten zu können, besteht daher ein großes Interesse an Werkzeugen, die den Entwurf von Hochfrequenzschaltungen unterstützen. Dahingehend wurden zwei Ziele mit dieser Arbeit verfolgt: Zum einen wurden leistungsfähige Module zur Großsignalcharakterisierung von Schaltungen für den Entwickler zur Verfügung gestellt. Zum anderen wurden die Module erfolgreich in ein Werkzeug zum automatisierten Schaltungsentwurf implementiert. Damit können wichtige Kennndaten bei der automatisierten Schaltungsdimensionierung mittels sogenannter impliziter numerischer Modelle ermittelt werden. Auf diese wird immer dann zurückgegriffen, wenn keine allgemeine, Herleitung der Parameter aus Modellgleichungen möglich ist.

Prinzipiell handelt es sich also um eine funktionale Erweiterung bestehender Analogsimulatoren (hier insbesondere SPICE), um komplexere charakteristische Kennndaten und deren Abhängigkeiten zu anderen Parametern darzustellen. Die Vorstellung der Ergebnisse dieser Arbeit stieß auf hohe Resonanz und wurde daher bereits um wichtige Module für die Charakterisierung von Mischern erweitert. Damit ist es möglich, komplette Frontendzüge im Hinblick auf ihre Großsignalkennwerte auf dem Wege der Simulation zu charakterisieren. Einige wesentliche Elemente zur Bestimmung des Compression Point (CP1dB) sowie der Interceptpunkte (IP2 und IP3) werden hier vorgestellt.

2 Definition von CP1dB

Der Compression Point charakterisiert das Großsignalverhalten einer Schaltung und gibt damit an, bis zu welcher maximalen Amplitude (oder Leistung in einem 50-Ohm-System) die Schaltung ausgereizt werden kann. Eine ideale Verstärkerfunktion läßt für eine bestimmte Frequenz im Wesentlichen mit lediglich einem Parameter beschreiben, der Verstärkung selbst. Multipliziert man die Eingangsamplitude mit der Verstärkung, so erhält man die ideal zu erwartende Ausgangsamplitude. Im doppelt logarithmischen Maßstab läßt sich dieser Zusammenhang durch eine Gerade mit der Steigung Eins darstellen (vgl. *Abbildung 1*). Jedoch ist in realen Schaltungen der Aussteuerungsbereich stets begrenzt, beispielsweise durch die zur Verfügung stehende maximale Ausgangsleistung oder die Aussteuerbarkeit bis zur Versorgungsspannung. Daher knickt die ideale Verstärkergerade bei einer bestimmten Amplitude ab. Die Verstärkung wird kleiner als erwartet. Dieser Effekt heißt Kompression. Von Interesse ist dabei, bei welcher Amplitude das Ausgangssignal um 1 Dezibel gegenüber dem zu erwartenden Ausgangssignal abgesunken ist. Dieser Punkt heißt Compression Point (CP1dB, manchmal auch als P1dB bezeichnet). *Abbildung 1* zeigt diese Definition des Compression Point.

1dB Compression Point

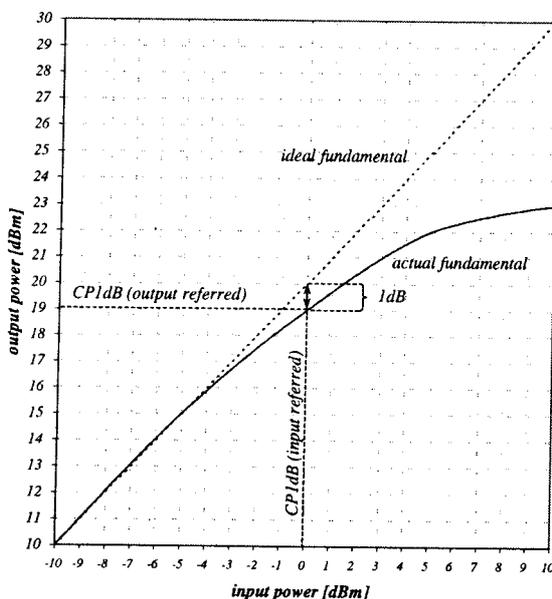


Abbildung 1: Definition des Compression Point

Der Compression Point kann auf zwei Arten angegeben werden, entweder auf den Eingang bezogen (input referred) oder auf den Ausgang bezogen (output referred).

3 Bestimmung von CP1dB

Zur Bestimmung von CP1dB ist es notwendig zu wissen, welche Verstärkung die entsprechende Schaltung bei der vorgegebenen Frequenz hat. Diese kann am einfachsten durch eine (lineare) AC-Analyse bestimmt werden. Ausgehend von der Verstärkung wird nun der Punkt gesucht, bei dem die Verstärkung um ein dB abgesunken ist.

Wichtig dabei ist, daß für die Bestimmung von CP1dB lediglich die Amplitude der fundamentalen Frequenz herangezogen wird. Gleichzeitig mit dem Absinken der Verstärkung treten im allgemeinen harmonische Verzerrungen auf, die genauer betrachtet für das Absinken der Fundamentalten verantwortlich sind. Daher ist es notwendig, eine entsprechende Spektralanalyse des Ausgangssignals vorzunehmen.

In vielen Ansätzen wird der Compression Point durch Verändern der Amplitude der treibenden Quellen in zahlreichen Schritten bestimmt. Jede Erhöhung der Amplitude bedeutet allerdings, daß eine komplette, relativ zeitaufwendige Transienten-Analyse durchgeführt werden muß, um das nichtlineare, sprich verzerrte Ausgangssignal mit Hilfe einer FFT spektral betrachten zu können. Je größer die Schaltung, desto höher ist der damit verbundene Rechenaufwand. Dennoch ist diese Vorgehensweise sehr zuverlässig, da tatsächlich alle modellierten nichtlinearen Effekte durch die Transienten-Analyse berücksichtigt werden. Entscheidend ist jedoch, die Amplitude ausgehend von einem Ergebnis so zu verändern, daß der Compression Point in möglichst wenig Schritten gefunden werden kann. Hierzu wurde ein sehr effektiver Algorithmus entwickelt, der es, unabhängig von einem Startwert, in vielen Fällen bereits innerhalb von weniger als 6 Schritten schafft, CP1dB auf weniger als 0.05 dB genau zu bestimmen. Wichtig dabei ist, daß der Algorithmus durch eine Art Intervallschachtelung immer konvergiert und nicht beispielsweise in einem lokalen Minimum oder Maximum „hängen bleibt“.

Außerdem treten entgegen den allgemeinen Darstellungen in gängigen Lehrbüchern auch Effekte auf, bei denen zunächst eine Expansion Ausgangsamplitude der Fundamentalten auftreten kann. Ein anschauliches Beispiel hierzu ist eine Emitterstufe, bei der der Arbeitspunkt nicht ideal in der Mitte der (nahezu) geraden Aussteuerungskennlinie liegt, sondern beispielsweise im oberen Knickbereich, nahe der Versorgungsspannung. *Abbildung 2* zeigt den Effekt der Expansion.

*Expansion Phenomenon
in Common Emitter Stage*

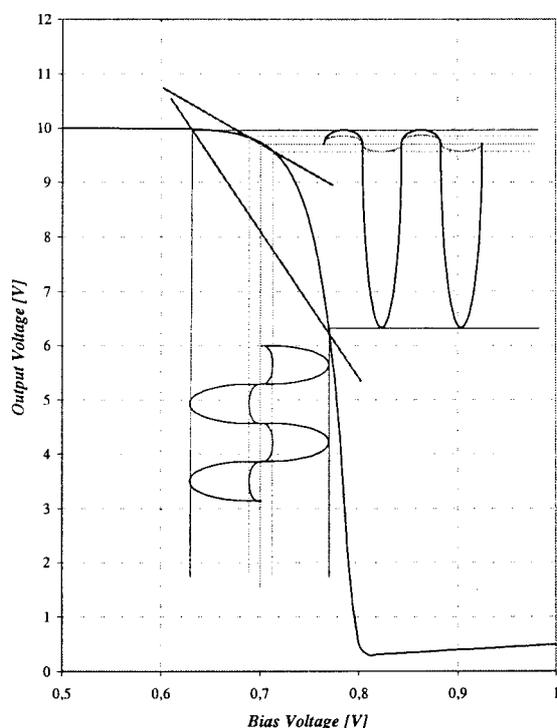


Abbildung 2: Aussteuerungskennlinie einer Emitterstufe mit unsymmetrischem Arbeitspunkt

Wie in *Abbildung 2* zu erkennen, wird in diesem Arbeitspunkt eine Halbwelle des Eingangssignals durch den steilen Verlauf der e-förmigen Ausgangskennlinie stark verstärkt, obwohl die Kleinsignalverstärkung (Ableitung im Arbeitspunkt) relativ klein, im Extremfall sogar kleiner Eins, sein kann. Dies bedeutet, daß eine große Eingangsamplitude mehr verstärkt wird, als eine kleine. Der Verlauf der Kompression bzw. der Expansion der Fundamentalen einer so dimensionierten Schaltung ist in *Abbildung 3* dargestellt.

Expansion and Compression in Emitter Stage

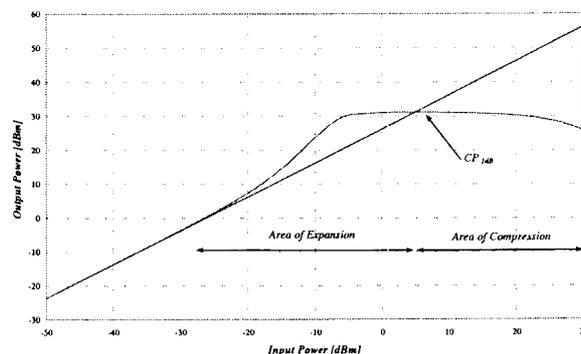


Abbildung 3: Kompressionsverlauf beim Auftreten von Expansion

In diesem Beispiel ist ersichtlich, daß der Algorithmus zur Suche des Compression Point, auch mit dem bisher nicht in der gängigen Literatur vertretenen Phänomen der Expansion umgehen können muß. Dies gilt insbesondere deshalb, weil beim automatisierten Schaltungsentwurf zunächst nicht immer sofort ersichtlich ist, ob sich eine gegebene Schaltung in einem sinnvollen Arbeitspunkt befindet. Außerdem lassen sich durchaus sinnvolle Anwendungen für eine solche Schaltung finden.

Die detaillierte Beschreibung des Algorithmus zum schnellen Finden des Compression Point würde den Rahmen dieses Beitrags sprengen. Deshalb wird hier lediglich auf die wichtigsten Elemente kurz eingegangen.

Erste wichtige Vorgehensweise ist, bei einer für die gegebene Schaltung großen Eingangsamplitude die erste Simulation der Kompression durchzuführen. Sinnvoll ist zum Beispiel eine Eingangsamplitude im Bereich der Versorgungsspannung oder, für viele HF-Schaltungen ausreichend, 1 Volt. Damit befindet man sich bereit nach der ersten Simulation im Bereich der Kompression. Da in den meisten Fällen die Fundamentale nach dem Compression Point weitgehend waagerecht verläuft, kann bereits jetzt eine sehr gute Aussage gemacht werden, in welchem Bereich sich der Compression Point befindet. Hierzu wird lediglich die tatsächliche Kompression gemessen, also der Betrag der Fundamentalen von der ideal zu erwartenden Ausgangsamplitude abgezogen. Um genau diesen Betrag (in dB) wird die Eingangsamplitude für den nächsten Iterationsschritt vermindert. Es zeigt sich, daß durch dieses Verfahren innerhalb von zwei oder drei Schritten der Compression Point bereits auf ca. 2 dB genau bestimmt werden kann.

Abbildung 4 veranschaulicht die Vorgehensweise.

Compression Point Iteration

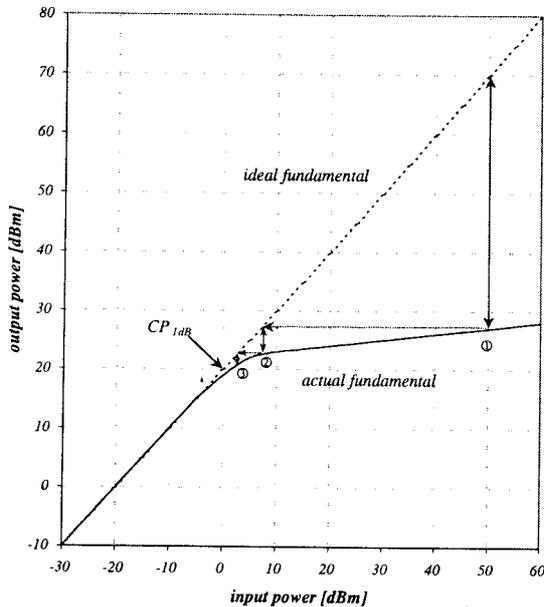


Abbildung 4: Compression Point Iteration

Dieses Verfahren hat mehrere entscheidende Vorteile gegenüber anderen Verfahren. Zum einen ist es weitgehend unabhängig von einem Startwert, das heißt, der Anwender muß lediglich eine Frequenz vorgeben, bei der CP1dB für eine Schaltung bestimmt werden soll, alles andere kann der Algorithmus selbst bestimmen. Der entscheidende Vorteil im Hinblick auf Konvergenz ist jedoch, daß bei jeder Amplitude genau bestimmt werden kann, ob man sich oberhalb oder unterhalb des gesuchten CP1dB befindet. Dies ermöglicht die Eingrenzung des erlaubten Suchintervalls mit jeder Iteration und konvergiert immer auf den gesuchten Punkt. Andere Verfahren, die zum Beispiel den Verlauf der Steigung der Kompression betrachten und nicht die tatsächliche Kompression bei einer Amplitude bestimmen, konvergieren oft nicht oder bestimmen bei ungewöhnlichen Kompressionsverläufen völlig falsche Punkte.

Ein weiteres wichtiges Detail des Algorithmus ist, daß ein Pendeln der Amplitude um den Compression Point detektiert wird und daraus für den nächsten Iterationsschritt, durch ein gewichtetes Mittel der beiden vorhergehenden Amplituden, die nächste Amplitude extrem genau auf den gesuchten Punkt fällt. Dies ermöglicht die Bestimmung von

CP1dB auf weniger als ein Zwanzigstel dB genau in wenigen Schritten.

Damit wurde ein Algorithmus entworfen, der unabhängig von einem Startwert und unabhängig vom Kompressionsverlauf sehr effektiv und vollkommen automatisch den Compression Point einer Schaltung bestimmt.

4 Definition von IP2 und IP3

Im Gegensatz zur Einton-Erregung beim Compression Point, beschreiben die Intermodulations-Interceptpunkte IP2 und IP3 das Großsignalverhalten bei Zweiton-Erregung. Beim Kennwert IP2 werden dabei die Intermodulationsprodukte zweiter Ordnung betrachtet, bei IP3 hingegen die dritter Ordnung. Es kann dabei hergeleitet werden, daß alle Intermodulationsprodukte (IM-Produkte) zweiter Ordnung ideal mit der Steigung Zwei über der Eingangsamplitude verlaufen, die IM3-Produkte jedoch mit der Steigung Drei. Ähnlich wie bei der Kompression treten die IM-Produkte bei Großsignalansteuerung einer Schaltung aufgrund der begrenzten Ausgangsleistung bzw. des begrenzten Aussteuerbereichs auf.

Treten bei der Übersteuerung einer Schaltung mit Einton-Erregung lediglich harmonische Komponenten (Oberwellen) auf, so entstehen bei der Zweiton-Erregung auch andere, neue Frequenzen im Ausgangsspektrum, die sich jeweils um geradzahlige Vielfache der Differenzfrequenz der beiden Frequenzen unterscheiden. Ein typisches Intermodulations-Ausgangsspektrum ist in *Abbildung 5* gezeigt.

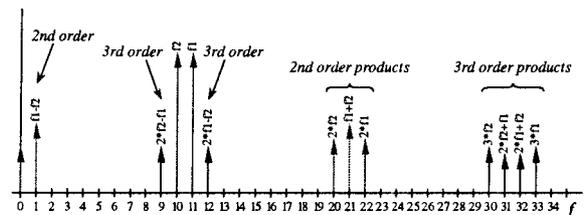


Abbildung 5: Typisches IM-Spektrum

In *Abbildung 5* wird lediglich eine Nichtlinearität dritter Ordnung zugrunde gelegt, das heißt, es treten lediglich IM-Produkte zweiter und dritter Ordnung auf. Der Grad der Nichtlinearität für die Modelldarstellung ergibt sich aus der Anzahl der betrachteten Taylor-Glieder, mit denen die Ausgangskennlinie einer Schaltung angenähert wird. Das Augenmerk dieser Betrachtung soll jedoch primär der Systematik des Erscheinens neuer Frequenzen gelten.

Um eine Aussage über die Aussteuerbarkeit einer Schaltung treffen zu können ist es notwendig, das IM-Verhalten quantitativ festzulegen. Hierzu werden die sogenannten Interceptpunkte eingeführt. Ein Intermodulations-Interceptpunkt ist ein fiktiver Punkt, bei dem der Betrag der jeweils betrachteten Frequenzprodukte gleich groß wäre wie der Betrag der fundamentalen Schwingung, im Fall daß keine Verzerrungen auftreten würden. *Abbildung 6* veranschaulicht diese Definition im doppelt logarithmischen Maßstab.

Intercept Point Projection

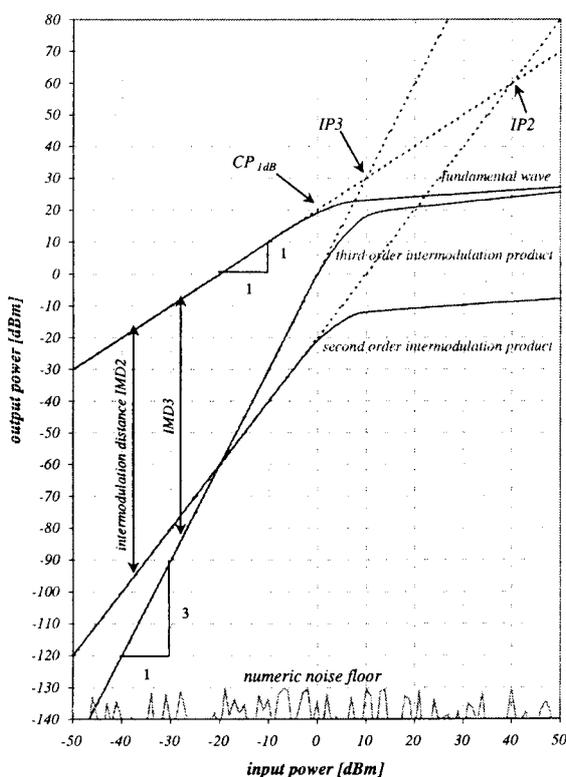


Abbildung 6: Definition von IP2 und IP3

Aus *Abbildung 6* läßt sich erkennen, daß die IM-Geraden unterhalb des Compression Point in der Regel mit der idealen Steigung verlaufen. Beim Auftreten von Kompression knicken allerdings auch die IM-Geraden ab. Die Extrapolation der idealen Geraden bis zum Schnittpunkt mit der Verstärkergeraden ergeben die Interceptpunkte.

5 Bestimmung von IP2 und IP3

Es ist leicht erkenntlich, daß zur Bestimmung der Interceptpunkte IP2 und IP3 der Intermodulationsabstand (IMD) der jeweiligen Frequenzprodukte unterhalb von CP1dB bestimmt werden muß. Dort verhalten sich die Beträge weitgehend nach der idealen Modellvorstellung und steigen damit ent-

sprechend der Ordnung mit der Steigung Zwei oder Drei. Wird an einem Punkt unterhalb des CP1dB der Betrag der jeweiligen IM-Produkte bestimmt, so können aufgrund der bekannten Steigungen direkt die Interceptpunkte bestimmt werden.

Die Projektion der Interceptpunkte erstreckt sich dabei jedoch häufig über mehrere Dekaden. Dies bedeutet, daß sich kleine Rechenfehler bei der Simulation unter Umständen sehr stark im Ergebnis niederschlagen können. Es wird deshalb eine zweite Simulation bei einer geringfügig veränderten Amplitude gemacht, um die tatsächliche Steigung der IM-Geraden zu ermitteln. Damit kann eine objektive Bewertung der Qualität des Simulationsergebnisses erfolgen.

Im Zusammenhang mit der Bestimmung des Ausgangsspektrums ist insbesondere darauf zu achten, daß die FFT des Transientensignals so erfolgt, daß keine Leakage-Effekte oder Gibbsche Phänomene auftreten. Da bei der Simulation alle entstehenden Frequenzen genau bekannt sind, kann dies prinzipiell vermieden werden. Hierzu werden die beiden Testfrequenzen immer so angepaßt, daß bei einer sinnvollen Simulationsdauer (sprich Frequenzauflösung) alle Spektralanteile immer genau auf ein Vielfaches der Frequenzauflösung zu liegen kommen. Damit können die Amplituden genau bestimmt werden und es kann auf Fensterfunktionen, die die Genauigkeit der Ergebnisse beeinflussen würden, verzichtet werden.

Es wurde dahingehend ein Algorithmus zur Anpassung der Frequenzen an die Erfordernisse der FFT und einiger anderer Randbedingungen entwickelt, der primär die Originalfrequenz so verändert, daß alle Bedingungen eingehalten werden und dabei die Simulationszeit möglichst kurz gehalten wird, um Rechenzeit bei der Transienten-Analyse zu sparen. Entscheidend dabei ist, daß die gewünschten Originalfrequenzen lediglich geringfügig verändert werden, um nicht beispielsweise die Bandbreite einer Schaltung zu überschreiten. Damit bedeutet die Anpassung der Frequenz in der Praxis keine Einschränkung der Simulationsmöglichkeiten. Alle erforderlichen Anpassungen werden vollautomatisch anhand der gewünschten Frequenzen durchgeführt. Bei Bedarf kann dabei der Benutzer auch eine höhere Frequenzauflösung fordern, was allerdings in der Regel zu Lasten der Rechenzeit ausfällt. Die genaue Durchführung dieser Anpassungen kann in der Diplomarbeit nachgelesen werden.

An dieser Stelle sei noch erwähnt, daß die Möglichkeiten der Fourier-Analyse innerhalb von SPICE die Erfordernisse für diese Charakterisierungsmodule in keiner Hinsicht erfüllen kann. Zum einen reichen die Möglichkeiten nicht aus, Intermodulations-Spektren sinnvoll ausgeben zu können und zum anderen erfordert die Bestimmung von IP2 und IP3 zum Teil einen extremen Dynamikbereich der FFT. Dieser

kann von SPICE ebenfalls nicht abgedeckt werden. Deshalb wird für alle Charakterisierungsmodule ein zusätzlicher FFT-Algorithmus verwendet, der einen Dynamikbereich von 180 dB aufweist, so daß die Simulationsergebnisse lediglich durch die geforderte Rechengenauigkeit des Simulators beeinflusst werden.

6 Anwendungsbeispiele

Die hiermit bereitgestellten Charakterisierungsmodule bieten umfassende Möglichkeiten zur Darstellung komplexer Abhängigkeiten. Diese können wichtige Aufschlüsse geben und den Entwurf einer Schaltung entsprechend beeinflussen. Anhand von einigen Schaltungsbeispielen sollen exemplarisch einige Möglichkeiten verdeutlicht werden.

Abbildung 7 zeigt eine Basisschaltung, bei der die Basisvorspannung hinsichtlich des Großsignalverhaltens optimiert werden soll.

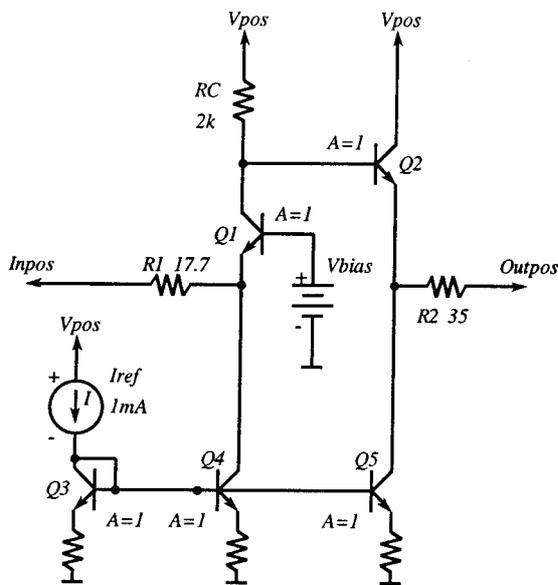


Abbildung 7: Basisschaltung mit Kollektorendstufe

Der Verlauf des Compression Point über der Basisvorspannung der Schaltung in Abbildung 7 ist in Abbildung 8 dargestellt.

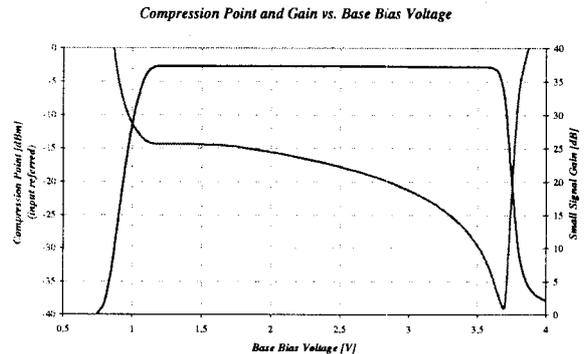


Abbildung 8: CP1dB vs. Basisvorspannung

Es ist erkennbar, daß der Compression Point mit zunehmender Basisvorspannung im Bereich zwischen 1 V und 3.7 V stetig abnimmt. Außerhalb dieses Bereichs sind Unstetigkeiten festzustellen, die anhand der ebenfalls in Abbildung 8 dargestellten Kleinsignalverstärkung erklärbar sind. Unterhalb von ca. 1 V kann der Stromspiegel den geforderten Strom nicht aufrecht erhalten, oberhalb von 3.7 V treten Sättigungseffekte am Transistor Q1 auf.

Mit dieser Simulation der Abhängigkeit von CP1dB von der Basisvorspannung kann deutlich gezeigt werden, daß im gegebenen Fall mehrere Desingkriterien zur Dimensionierung der Basisvorspannung betrachtet werden müssen. Ein sinnvoller Vorspannungsbereich wäre hier zum Beispiel 1,5 V bis 2 V. Ein weiteres interessantes Simulationsbeispiel wird anhand der Differenzverstärkerschaltung in Abbildung 9 gezeigt.

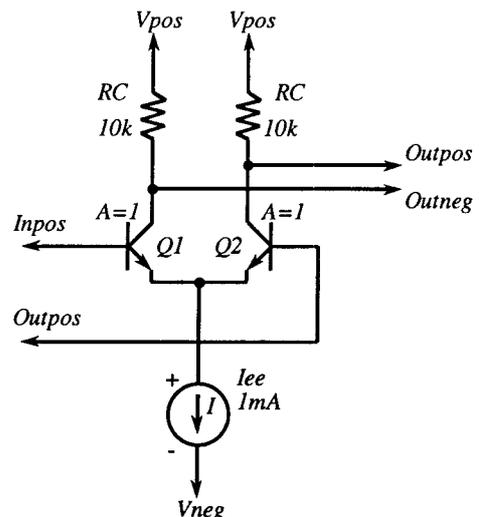


Abbildung 9: Differenzverstärker

Untersucht wurden hier die Symmetrieeigenschaften des Verstärkers in Bezug auf die Interceptpunkte IP2 und IP3. Ideal würden sich bei vollkommener Symmetrie der Schaltung alle IM2-Produkte

gegenseitig im Ausgangsspektrum eliminieren. Das heißt, der IP2 wäre nicht meßbar bzw. bei ∞ dBm. Es wurde nun untersucht, inwieweit sich dieses Ergebnis reproduzieren läßt und wie stark sich eine Unsymmetrie auf diese Ergebnis auswirkt. Hierzu wurde der Flächenfaktor eines Transistors der Differenzstufe auf 1.5 festgehalten, während der Flächenfaktor des anderen um $\pm 10\%$ um diesen Wert variiert wurde. *Abbildung 10* zeigt das bemerkenswerte Ergebnis dieser Untersuchung.

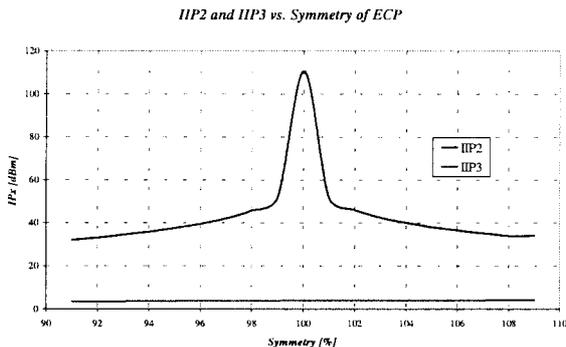


Abbildung 10: IP2 und IP3 vs. Symmetrie

In *Abbildung 10* ist erkennbar, daß der Wert von IP2 einen resonanzähnlichen Verlauf aufweist. Bei vollkommener Symmetrie (in der Mitte der Darstellung) konnte IP2 zu ca. 110 dBm bestimmt werden. Dies entspricht für alle praktischen Zwecke einem Wert von Unendlich und ist im Wesentlichen durch die geforderte Simulationsgenauigkeit von SPICE und in zweiter Näherung durch den Dynamikumfang der FFT gekennzeichnet.

Erstaunlich ist jedoch, daß mit einer Abweichung der Symmetrie von nur einem Prozent ca. 60 dB (!) des IP2-Wertes verloren gehen. Unter der Annahme von Prozessstreuungen im Prozentbereich hat dies gravierende Auswirkungen auf die IP2 Spezifikation von symmetrischen Schaltungen. Dieses Simulationsergebnis führte direkt nach der Vorstellung zu weitreichenden Entscheidungen im Bezug auf die Designstrategie einer aktuellen Schaltungsentwicklung.

Als abschließendes Beispiel soll noch einmal das Phänomen der Expansion bei einer Emitterstufe mit Gegenkopplung untersucht werden. Hier soll in erster Linie die Möglichkeit gezeigt werden, Kennwerte über mehreren Parametern darstellen zu können. *Abbildung 11* zeigt die Emitterstufe mit Gegenkopplung.

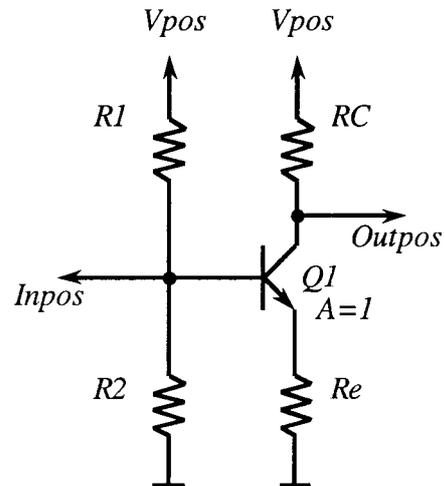


Abbildung 11: Emitterstufe mit Gegenkopplung

In *Abbildung 12* wird gezeigt, wie die Kompression der Schaltung über der Eingangsleistung in Abhängigkeit des Arbeitspunktes verläuft. Bei einer gegebenen Dimensionierung wurde hierzu lediglich der Wert für den Gegenkopplungswiderstand verändert, der auf der Z-Achse aufgetragen wird. Es zeigt sich, daß bei geringer Gegenkopplung eine starke Expansion auftritt, die im Diagramm nach unten, als negative Kompression aufgetragen ist. Wird die Gegenkopplung erhöht, so verschiebt sich der Arbeitspunkt der Schaltung, und das Expansionsphänomen tritt nicht mehr in Erscheinung.

Compression of Emitter Stage vs. Input Power and Feedback Resistor

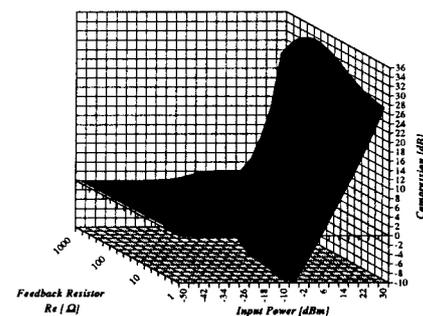


Abbildung 12: Kompressionsverlauf über Gegenkopplung (Arbeitspunkt)

Ähnlich wie in *Abbildung 12* können mit den bereitgestellten Charakterisierungsmodulen auch beliebige andere Abhängigkeiten über mehreren Parametern aufgetragen werden. In der Praxis zeigt sich jedoch häufig, daß es wenig sinnvoll ist, mehr als zwei oder drei Parameter gleichzeitig zu variieren, da die Auswertung und Darstellung der Ergebnisse in aller Regel nicht mehr durchschaubar ist.

7 Zusammenfassung

Mit den hier vorgestellten Modulen zur Großsignalcharakterisierung von Schaltungen konnten wichtige Funktionserweiterungen des sehr gängigen Simulators SPICE geschaffen werden. Die Bestimmung des Compression Point kann mit Hilfe eines effizienten Algorithmus vollkommen automatisch erfolgen. Bei der Bestimmung der Interceptpunkte wird ebenfalls eine vollständig automatisierte Charakterisierung aufgrund der beiden gewünschten Testfrequenzen durchgeführt. Hierbei werden alle Bedingungen der FFT, sowie systematische Erfordernisse bei der Frequenzwahl automatisch berücksichtigt und damit stets gewährleistet, daß keine Seiteneffekte bei der Berechnung der Interceptpunkte auftreten. Die Charakterisierungsmodule verfügen darüber hinaus über zahlreiche Funktionen, die die Qualität der Simulationsergebnisse beurteilen lassen und gegebenenfalls dem Anwender hilfreiche Hinweise für bessere Simulationsergebnisse geben. Die Realisierung dieser Module erfolgte als C++ Objekte, welche innerhalb einer bereits etablierten Simulationsumgebung mit dem Simulator SPICE interagieren. Die Einbindung in ein Desing-Tool zum automatisierten Schaltungsentwurf erfolgte bereits sehr erfolgreich. Als Stand-Alone-Anwendung bieten diese Charakterisierungsmodule entscheidende Vorteile für den Entwickler, der bisher auf die weitgehend manuelle Ermittlung der Großsignalkenndaten angewiesen war. Als weitere Charakterisierungsmodule stehen entsprechende Module für Mischer zur Verfügung, womit bereits komplette Frontends charakterisiert werden können.

8 Referenzen

- [1]
Stephen A. Maas, *Nonlinear Microwave Circuits*, IEEE Press, New York, 1997, ISBN 0-7803-3403-05
- [2]
Paul R. Gray, Robert G. Meyer, *Analysis and Design of Analog Integrated Circuits*, third edition, John Wiley, New York, 1993, ISBN 0-471-57495-3
- [3]
R. Quell, G. Forster, *Statische Modelle zur Beschreibung des Großsignalverhaltens von Verstärkern*, MPC Workshop, Januar 1999, Fachhochschule Ulm
- [4]
Kenneth R. Laker, Willy M. C. Sansen, *Design of Analog Intergrated Circuits and Sysems*, McGrawHill, New York, 1994, ISBN 0-07-036060-X
- [5]
Günter Müller, *Großsignalcharakterisierung auf der Basis impliziter numerischer Modelle*, Diplomarbeit, Fachhochschule Ulm, Temic Semiconductor GmbH, Ulm, Juli 1999

Bidirektionale, potentialgetrennte Übertragungsstrecke zur IGBT-Ansteuerung und Stromerfassung

B. Harrer, H. Töpfer

Institut für Angewandte Forschung (IAF)

Fachhochschule Esslingen, Robert-Bosch-Straße 1, 73037 Göppingen
Tel. 07161/679-158, Fax -215, E-mail: Harald.Toepfer@fht-esslingen.de

Zusammenfassung

Mit der hier beschriebenen Übertragungsstrecke ist eine bidirektionale Übertragung von Daten über eine Potentialtrennstelle hinweg möglich. Um eine kostengünstige Realisierung zu ermöglichen, wurde für die Potentialtrennung ein kernloser Übertrager verwendet, der lediglich aus zwei planaren, direkt auf die Platine gedruckten Wicklungen besteht. Das Übertragungsprotokoll wurde so entworfen, dass trotz der Störungen, die beim Einsatz der Übertragungsstrecke zur Ansteuerung von Leistungsschaltern (z.B. IGBTs) auftreten, eine sichere Übertragung gewährleistet ist

1 Einführung

Die im folgenden vorgestellte Übertragungsstrecke soll in erster Linie zur Ansteuerung von leistungselektronischen Stellgliedern sowie zur gleichzeitigen Erfassung der am Stellglied auftretenden Lastströme eingesetzt werden.

Durch den fortwährenden Preisverfall von Leistungshalbleiter-Bauelementen stellen Meßglieder heute einen zunehmend größeren Kostenfaktor dar. Dies ist insbesondere bei Stellgliedern kleinerer Leistung (bis zu einigen kW) der Fall. Hochwertige Meßglieder haben darüberhinaus einen überproportionalen Raumbedarf.

Ziel dieser Arbeit war es daher, eine kosten- und raumoptimierte potentialtrennende Ansteuerstufe mit integriertem Stromsensor zu entwerfen und aufzubauen.

2 Gesamtes Übertragungssystem

Das gesamte Übertragungssystem soll zunächst anhand eines Blockschaltbildes (Bild 1) vorgestellt werden.

Das leistungselektronische Stellglied ist hier als IGBT-Halbbrücke dargestellt. Als Last wurde eine Reihen-

schaltung aus Widerstand und Spule verwendet. Dies stellt eine Nachbildung eines Motorstranges dar. Der Laststrom wird über einen Shunt (ca. 10m Ω) an einen A/D-Umsetzer gegeben, die digitalisierten Stromwerte danach vom Chip2 über eine Potentialtrennstelle zum Chip1 gesendet. Ein Mikrokontroller auf der Primärseite errechnet aus den vom Chip1 erhaltenen Ist-Stromwerten die neuen Zündimpulse (Zündzeitpunkte) für die beiden IGBTs der Halbbrücke. Die Zündzeitpunkte werden dann vom Chip1 zum Chip2 übertragen.

Die Potentialtrennung wurde induktiv ausgeführt. Sie besteht aus zwei Spulen mit sehr kleiner Induktivität (siehe Abschnitt 4). Es können daher immer nur sehr kurze Impulse übertragen werden.

Die Übertragung von Strom und Zündzeitpunkt erfolgt mittels kodierter Impulsfolgen (siehe auch Abschnitt 3.3).

Das Chip2 generiert aus den empfangenen Impulsfolgen die eigentlichen Zündimpulse für die beiden IGBTs. Die Zündimpulse sind pulsweitenmoduliert. Sie werden über je eine Verstärkerstufe an die Steuereingänge der IGBTs gegeben. Die Verstärkerstufen erzeugen aus den digitalen Zündimpulsen die erforderlichen IGBT-Ansteuerspannungen (+15V zum Zünden und +8V zum Abschalten der IGBTs).

Aufgrund der großen Potentialunterschiede auf der Leistungsseite (die Halbbrücke wird mit einer Zwischenkreisspannung von 600V betrieben), muss der Zündimpuls für den unteren IGBT über eine zusätzliche Potentialtrennstelle geführt werden. Hierzu wird ein Optokoppler verwendet.

Die beiden Übertragungschips wurden zunächst als Altera-PLDs ausgeführt [1]. Zu Testzwecken wurde die gesamte Übertragungsstrecke (Chip1, Chip2 und Potentialtrennstelle) zusammen mit dem A/D-Umsetzer auf einer Testplatine (Bild 2) aufgebaut.

Auf die beiden Übertragungschips und die Potentialtrennstelle wird noch näher eingegangen. Zunächst folgen die wesentlichen Kennwerte und Merkmale des Übertragungssystems.

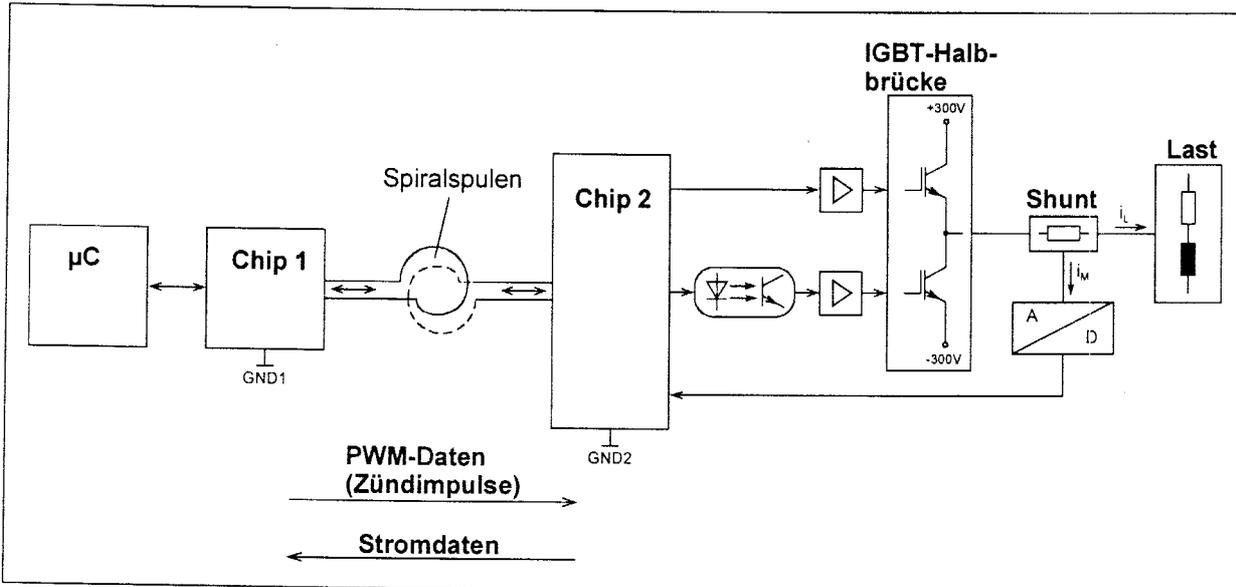


Bild 1: Blockschaltbild des gesamten Übertragungssystems

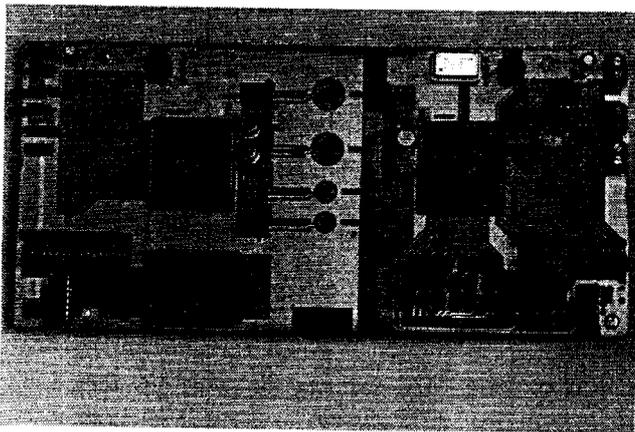


Bild 2: Testplatine für die Übertragungsstrecke mit den beiden Chips und dem A/D-Umsetzer

2.1 Kennwerte und Merkmale des Übertragungssystems

Das Übertragungssystem weist die folgenden Kennwerte und Merkmale auf:

- Systemtakt der beiden Übertragungschips: 10MHz
- PWM-Grundtakt: 10kHz
- Zeitraster der Zündimpulse: 100ns
- induktive Potentialtrennung
- bidirektionale Übertragungsstrecke
- blockweise Übertragung von 16Bit-Datenworten
- Absicherung der Übertragung durch 2 Paritybits
- Übertragungsrate: 1,8MBit/s ... 3,3MBit/s (datenabhängig)

2.2 Das Übertragungschip 1

Den Aufbau des Übertragungschips 1 zeigt das folgende Blockschaltbild (Bild 3). Die vom Chip 2 gesendete Impulsfolge (Datenwort „Strom“) gelangt über einen Empfangsverstärker (siehe Abschnitt 4) an den Empfänger des Chips 1. Dort wird die gesendete Impulsfolge dekodiert und Serien/Parallel gewandelt. Im Block Fehlererkennung wird überprüft, ob die richtige Anzahl von Impulsen empfangen wurde. Eine zusätzliche Prüfung auf Übertragungsfehler erfolgt durch einen Parityvergleich. Der Mikrokontroller kann dann auf die zwischengespeicherten Stromdaten und das Ergebnis des Parityvergleiches zugreifen.

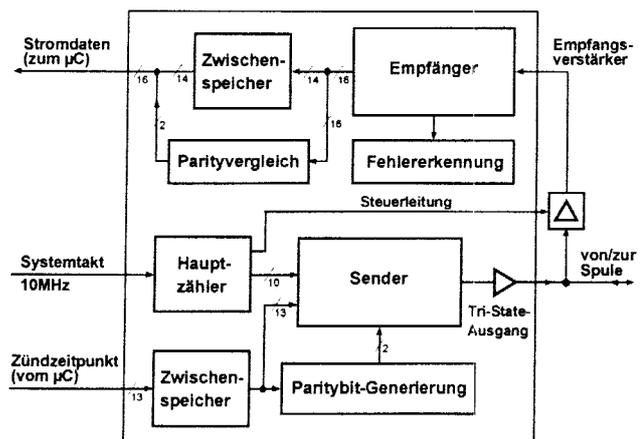


Bild 3: Blockschaltbild des Übertragungschips 1

Für die Übertragung in entgegengesetzter Richtung (zum Chip 2) werden die vom Controller gelieferten Zündzeitpunkte zunächst zwischengespeichert und anschließend, zusammen mit den erzeugten Paritybits, an den Sender gegeben. Im Sender werden die

zu übertragenden Daten (Datenwort „Zündimpuls“) Parallel/Serien gewandelt und kodiert. Außerdem erfolgt in diesem Block die Generierung der ca. 20ns breiten Sendeimpulse.

2.3 Das Übertragungschip 2

Auch das Übertragungschip2 (siehe Bild 4) enthält die für einen bidirektionalen Datentransfer notwendigen Sende- und Empfangseinheiten. Zusätzlich erforderlich sind hier noch Einheiten für die Synchronisierung, die Zündimpulserzeugung, die Erzeugung der Ansteuersignale für den A/D-Umsetzer sowie ein Fehlerspeicher.

Da die Taktversorgung des Chips2 durch einen Quarz erfolgt, sind die Systemtakte beider Chips völlig unabhängig voneinander. Deswegen ist eine Synchronisierung von Chip2 erforderlich. Diese wird in jeder PWM-Periode mit dem Empfang des Datenwortes von Chip1 durchgeführt. Dazu setzt die Synchronisierungsschaltung den internen Zähler (im Block Zündimpulserzeugung enthalten) auf den der Übertragungszeit entsprechenden Wert. Die Übertragung des Zündzeitpunktes kann immer nur zu zwei ganz bestimmten Zeiten erfolgen (siehe Abschnitt 3.2). Die Information über den aktuellen Übertragungszeitpunkt ist jeweils im ersten gesendeten Bit enthalten.

Aufgrund des empfangenen und zwischengespeicherten Zündzeitpunktes werden im Block Zündimpulserzeugung die eigentlichen, pulswidenmodulierten Zündimpulse für die beiden IGBTs erzeugt (Bild 5). Änderungen der Impulsbreiten sind nach jeder PWM-Periode möglich. Jeder Zündimpuls liegt symmetrisch zur PWM-Periode (siehe Bild 5). Die Zünd-

impulsverläufe für den oberen und unteren IGBT sind dabei im wesentlichen invertiert zueinander. Um jedoch Kurzschlüsse während des Umschaltens der beiden IGBTs auszuschließen, wurde eine Entlaptungszeit t_E eingefügt. Dadurch wird der untere IGBT erst $3\mu s$ nach dem Abschalten des oberen IGBTs eingeschaltet und bereits $3\mu s$ vor dem Einschalten des oberen IGBTs wieder abgeschaltet.

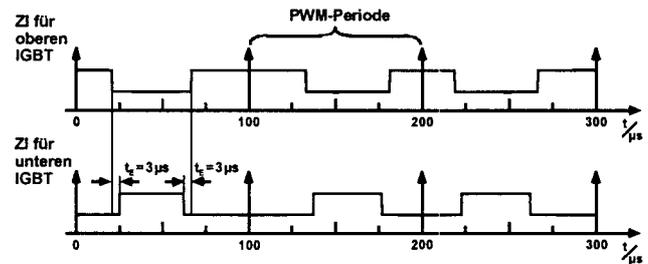


Bild 5: Verlauf der Zündimpulse über drei PWM-Perioden

Für den A/D-Umsetzer muß neben dem Umsetztakt (1,25MHz) auch das Startsignal für die Umsetzung generiert werden. Der zu erfassende Strom wird genau am Beginn einer jeden PWM-Periode abgetastet. Die Umsetzung beginnt unmittelbar nach dem Abtasten und dauert ungefähr $10\mu s$ (A/D-Umsetzer nach dem SAR-Prinzip).

Eine Prüfung auf Übertragungsfehler erfolgt auch im Chip2 durch Parityvergleich und Zählen der empfangenen Impulse. Ein erkannter Fehler wird in einen Fehlerspeicher übernommen und mit den Stromdaten an das Chip1 übertragen. Dies ist notwendig, weil das Chip1 bzw. der Mikrokontroller auch nach Auftreten eines Übertragungsfehlers über die dann aktuell wirksamen Zündimpulse informiert sein muss. Bei einem

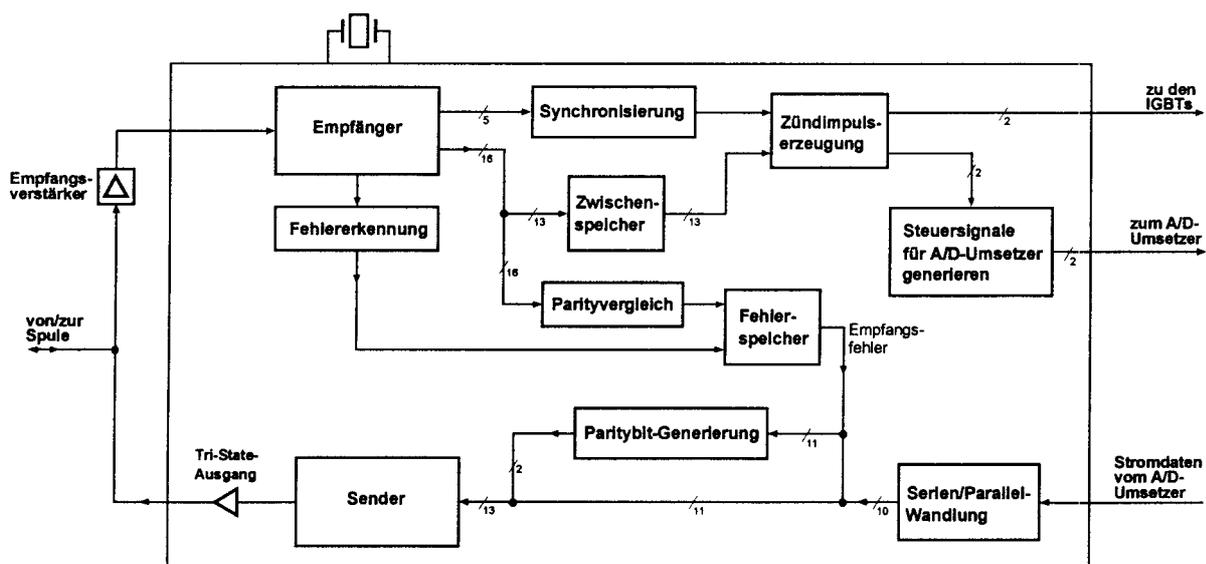


Bild 4: Blockschaubild des Übertragungschips2

Übertragungsfehler wird der fehlerhaft übertragene Zündzeitpunkt vom Chip2 verworfen und nochmals der Zündzeitpunkt aus der vorhergehenden PWM-Periode verwendet.

3 Das Übertragungsprotokoll

3.1 Störungsproblematik

Die während des Umschaltens der IGBTs auftretenden Störungen sind für die Datenübertragung besonders problematisch. Bei diesen Umschaltvorgängen springt das Potential am Messpunkt für den Laststrom i_L (zwischen den IGBTs, siehe Bild 1) innerhalb sehr kurzer Zeit. Dabei können enorm hohe Spannungssteilheiten von bis zu $10000\text{V}/\mu\text{s}$ auftreten. Die Aufnahme eines solchen Umschaltvorgangs bei einer Zwischenkreisspannung U_Z von 200V zeigt Bild 6. Oben (Kanal 1) ist die Zwischenkreisspannung und unten (Kanal 2) die Spannung U_{CE} des unteren IGBTs dargestellt. In Bild 6 beträgt der Spannungsanstieg (bei der relativ kleinen Zwischenkreisspannung) bereits ungefähr $2000\text{V}/\mu\text{s}$.

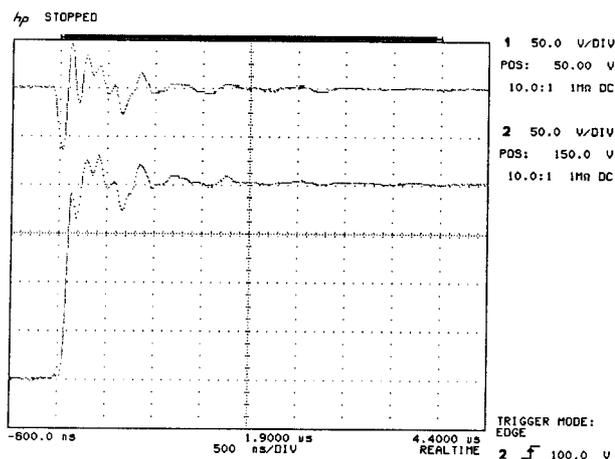


Bild 6: Spannungsverlauf von U_Z (oben) und U_{CE} des unteren IGBTs (unten) während eines Umschaltvorgangs

Aus Bild 6 ist ebenfalls ersichtlich, daß die Störauswirkungen der Schaltflanke nach etwa $1\mu\text{s}$ hinreichend klein geworden sind. Wie weitere Messungen gezeigt haben, ist dies bei einer Zwischenkreisspannung von 600V nach spätestens $2\mu\text{s}$ der Fall. Um eine sichere Datenübertragung zu gewährleisten, darf während dieser Zeit also keine Übertragung stattfinden. Für das realisierte Protokoll wurde aus Sicherheitsgründen auch ein Zeitbereich von $0,5\mu\text{s}$ vor dem Auftreten einer Schaltflanke für die Übertragung ausgenommen.

3.2 Zeitbereiche für die Datenübertragung

Zur Auswahl geeigneter Zeitbereiche für die Datenübertragung wurde zunächst die Lage des während der Übertragung am oberen IGBT wirksamen Zündimpulses betrachtet. Wegen der symmetrischen Zündimpulse und der Tatsache, daß in jeder PWM-Periode eine Übertragung in beide Richtungen erfolgen muß, lag es nahe, eine PWM-Periode in vier gleich große Bereiche (Viertelperioden) einzuteilen. Somit müssen bezüglich der Lage der Zündimpulse für den oberen IGBT nur zwei Fälle betrachtet werden (Bild 7). Im ersten Fall liegen die Flanken des Zündimpulses in den Bereichen II und III und im zweiten Fall in den Bereichen I und IV. Für eine Entlappungszeit $t_E=0$ stünden dann stets zwei komplette Viertelperioden für eine ungestörte Übertragung zur Verfügung (Bereiche I und IV im Fall 1 und II und III im Fall 2).

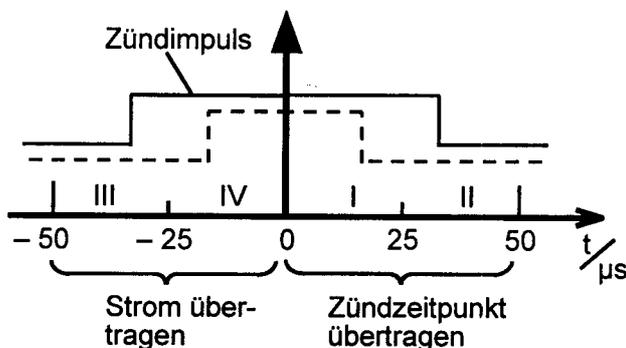


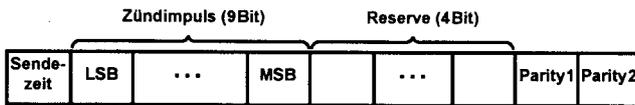
Bild 7: Übertragungsbereiche innerhalb einer PWM-Periode

Wegen der Entlappungszeit von $3\mu\text{s}$ musste jedoch noch folgendes beachtet werden: Liegt die (fallende) Zündimpulsflanke für den oberen IGBT am Ende des Bereiches I, so fällt die nachfolgende (steigende) Zündimpulsflanke für den unteren IGBT bereits in den Bereich II (siehe auch Bild 5). Dasselbe kann an der Bereichsgrenze II/III auftreten. Um auch in diesen Grenzfällen eine ungestörte Übertragung zu gewährleisten, beginnen die Übertragungen in den Bereichen II und III generell erst $5\mu\text{s}$ nach Bereichsbeginn (also bei $30\mu\text{s}$ und bei $-45\mu\text{s}$). Damit sind die Entlappungszeit und die oben erwähnten $2\mu\text{s}$ Sicherheitsabstand berücksichtigt. Für Übertragungen im Bereich IV genügt eine Verzögerung um den Sicherheitsabstand, wie aus Bild 5 ersichtlich ist (Übertragung ab $-23\mu\text{s}$).

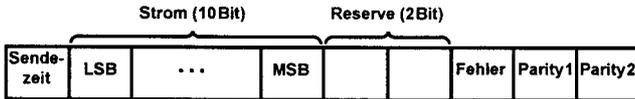
3.3 Datenworte und Kodierung

Die zu übertragenden 16 Bit breiten Datenworte haben den folgenden Aufbau:

Datenwort „Zündimpuls“ (Übertragung von Chip1 nach Chip2):



Datenwort „Strom“ (Übertragung von Chip2 nach Chip1):



In beiden Fällen wird zuerst das Sendezeitbit übertragen. Damit wird dem Empfänger der Übertragungszeitpunkt bekannt gemacht. Dies ist insbesondere für die Synchronisierung im Chip2 erforderlich (siehe Abschnitt 2.3). Anschließend werden die eigentlichen Daten übertragen. Für den Zündimpuls stehen hierfür 13 Bit zur Verfügung, benötigt werden bei den momentanen Kenndaten allerdings nur 9 Bit. Da die Zündimpulsflanken im 100ns-Raster liegen sollen und eine PWM-Periode von 100µs vorliegt, müssten genau 1000 verschiedene Zeitpunkte übertragen werden können. Aufgrund der symmetrischen Zündimpulse reduziert sich diese Anzahl jedoch auf 500.

Für den eigentlichen Stromwert wurden 10 Bit vorgesehen. 2 Reservebit stehen darüberhinaus zur Übertragung weiterer Informationen (z.B. der Temperatur, Überspannung, Überstrom, usw.) zur Verfügung. Mit dem Datenwort „Strom“ wird, wie schon erwähnt, noch zusätzlich ein Fehlerbit übertragen (siehe Abschnitt 2.3). Abgeschlossen werden beide Datenworte mit den beiden Paritybits.

Kodierung der Daten

Die Kodierung der zu übertragenden Daten erfolgt nach dem in Bild 8 dargestellten Prinzip (Puls-Pausen-Kodierung). Für eine logische „0“ werden zwei aufeinanderfolgende Impulse im Abstand von 300ns übertragen, für eine logische „1“ beträgt der Abstand 600ns. Ein komplettes 16Bit-Datenwort besteht somit aus einer Impulsfolge von 17 Impulsen. Die maximale Übertragungszeit eines Datenwortes beträgt genau 9µs. Das ist z.B. dann der Fall, wenn die Bits 1 bis 14 alle „1“ sind. Die beiden Paritybits sind dann „0“ (14*600ns+2*300ns=9µs). Daraus ergibt sich die oben angegebene minimale Übertragungsrate von 1,8MBit/s.

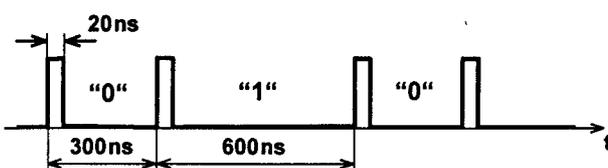


Bild 8: Kodierung der zu übertragenden Daten

4 Die Potentialtrennung

Für eine kostengünstige Realisierung einer potentialgetrennten bidirektionalen Übertragungsstrecke kamen herkömmliche potentialtrennende Bauelemente wie Transformatoren, Optokoppler, Trennverstärker, usw. nicht in Frage. Eine wesentlich kostengünstigere Lösung stellen die in [2,3] untersuchten kernlosen Übertrager dar. Diese bestehen lediglich aus zwei planaren, direkt auf die Ober- und Unterseite der Platine gedruckten Spiralspulen (Bild 9). Die Herstellung eines solchen Spulenpaares kann während des normalen Ätzprozesses der Platine erfolgen. Für die Potentialtrennung entstehen daher weder zusätzliche Fertigungs- noch Bauteilkosten.

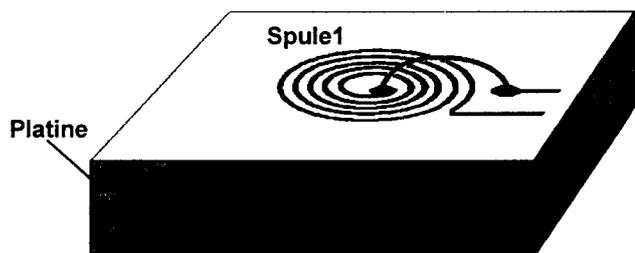


Bild 9: Kernloser Übertrager aus gedrucktem Spiralspulenpaar

Auf der Testplatine (Bild 2) wurden mehrere Spulenpaare unterschiedlicher Größe realisiert. Als einen guten Kompromiss zwischen Platzbedarf und der Induktion ausreichend großer Impulse auf der Sekundärseite haben sich dabei Übertrager mit folgenden Spulendaten erwiesen:

- Anzahl der Windungen $N = 6$
- Außendurchmesser $d_{\text{Außen}} = 12 \text{ mm}$
- Innendurchmesser $d_{\text{Innen}} = 7 \text{ mm}$
- Induktivität $L = 428 \text{ nH}$.

Die sekundärseitigen Impulse haben eine Spannung von 1,7V (bei einer Platinenstärke von 1,5mm). Eine direkte Ansteuerung der beiden Übertragungschips ist damit natürlich nicht möglich. Vor die beiden Chips wurde daher ein Empfangsverstärker (Bild 10) geschaltet. Dieser verstärkt die übertragenen Impulse auf eine Spannung von 5V.

Die empfangenen Impulse werden durch den Transistor T1 invertierend verstärkt. Der Transistor T2 ist erforderlich, um den Verstärker während des Sendens abzuschalten. Ohne T2 würde die BE-Diode von T1 die Spannung der Sendeimpulse begrenzen. Es wäre dann keine störereichere Übertragung mehr gewährleistet.

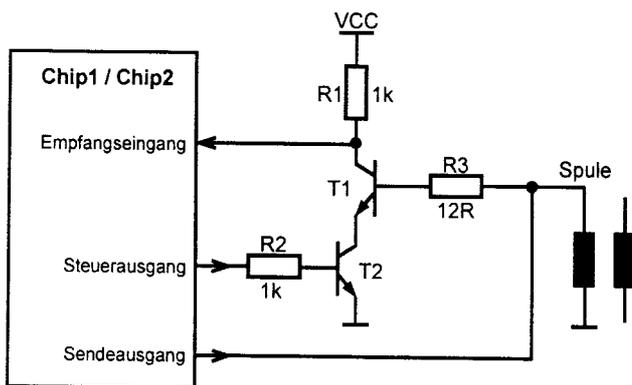


Bild 10: Empfangsverstärker

5 Realisierung des Übertragungschips 2 als Mixed-Signal Gate Array

Um ein möglichst kostengünstiges Übertragungssystem zu erhalten, sollen die beiden Übertragungschips letztlich als ASICs realisiert werden. Die dafür notwendige Umsetzung wird momentan für das Übertragungschip2 durchgeführt. Ziel dabei ist es, das Übertragungschip2 nicht – wie bisher – nur als rein digitales Chip zu realisieren, sondern auch die das Chip umgebenden analogen Schaltungsteile mit zu integrieren. Konkret sind das: ein Verstärker für das erfasste Laststromsignal, der A/D-Umsetzer (inklusive Abtast-/Halteglied) sowie Teile des Empfangsverstärkers.

Die Fertigung gemischt analog/digitaler ASICs wird neuerdings auch vom Institut für Mikroelektronik in Stuttgart (IMS) angeboten. Diese beruhen auf der schon bisher für rein digitale ASICs am IMS verwendeten $0,8\mu\text{m}$ CMOS Sea-of-Gates Struktur. Durch Hinzufügen von Transistoren mit größerer Kanallänge und Widerstandselementen auf einem Teil des Masters entstand so ein Mixed-Signal Gate Array [4]. Dazu stehen auch eine analoge Zellbibliothek sowie zusätzliche analoge Funktionen wie z.B. A/D- und D/A-Umsetzer zur Verfügung.

Die Aussicht, auf diese Weise schnell an Prototypen des hier erforderlichen gemischt analog/digitalen ASICs zu gelangen, war ausschlaggebend für eine Zusammenarbeit mit dem IMS. Der Designflow zur Realisierung des Übertragungschips2 als Mixed-Signal Gate Array ist in Bild 11 dargestellt. Am IAF erfolgte der komplette Entwurf des in Abschnitt 2.3 beschriebenen Übertragungschips2. Dazu wurde die Altera Entwurfs-Software MAX+plus II verwendet.

Der Digitalteil wurde mit VHDL beschrieben. Dieser VHDL-Code wurde zusammen mit dem Schaltplan des Analogteils an das IMS übergeben. Dort wurde die VHDL-Netzliste des Digitalteils bearbeitet und die für

den Analogteil erforderlichen Zellen hinzugefügt. Zur Zeit läuft die Fertigung des Mixed-Signal Gate Arrays.

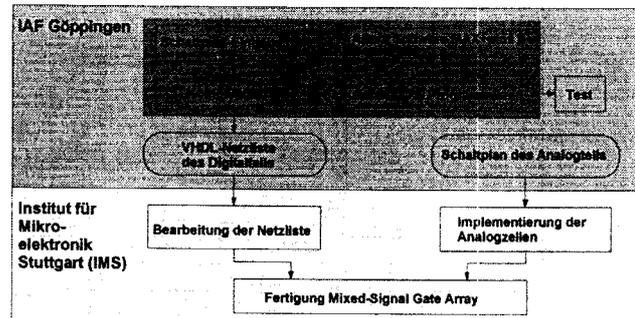


Bild 11: Designflow zur Realisierung des Übertragungschips2 als Mixed-Signal Gate Array

6 Fazit und Ausblick

Mit der aufgebauten Testplatine funktioniert die bidirektionale Übertragung fehlerfrei. Dies wurde auch unter realen Lastverhältnissen nachgewiesen.

Demnächst wird das Mixed-Signal Gate Array vom IMS geliefert. Mit diesem Chip wird die Übertragungsstrecke neu aufgebaut und getestet.

Danach soll noch eine einfache Energieversorgung der Sekundärseite realisiert werden. Dies wäre mit einem Übertrager aus Spiralspulen gemäß Bild 9 ebenfalls kostengünstig machbar.

Wie bereits durchgeführte Versuche gezeigt haben, sind jedoch für die Übertragung des erforderlichen Energiebedarfs wesentlich größere Spulen als für die Datenübertragung notwendig. Ausreichend Energie (250mW) lässt sich mit Spulen aus $N=16$ Windungen übertragen. Nachteil dabei ist allerdings der deutlich größere Platzbedarf dieser Spulen ($d_{\text{Außen}} = 27\text{mm}$). Weiterhin wird auch noch eine Erhöhung des PWM-Grundtaktes angestrebt.

Literatur

- [1] S. Kneip: Entwicklung zweier Chips zur bidirektionalen, induktiven Datenübertragung und IGBT-Ansteuerung, Diplomarbeit, Fachhochschule Esslingen, Standort Göppingen, 1999
- [2] J. Thielemann, H. Guist: Untersuchung einer induktiven Signalübertragung, Studienarbeit, Fachhochschule Esslingen, Standort Göppingen, 1996
- [3] S. Tang, S.Hui, H. Chung: Coreless PCB Transformers with Multiple Secondary Windings for Complementary Gate Drive Circuits, IEEE PESC '98 Proc., S. 1965-1971, 1998
- [4] P. Gärtner, R. Grube, J. Engelhardt: Mixed-Signal Gate Array, Abschlussbericht, Institut für Mikroelektronik Stuttgart, 1998

Entwurf einer Steuerung für ein elektronisch abstimmbares Mikrowellenfilter

Diplomarbeit von Gerd Beil

EDA-Zentrum, Fachhochschule Aalen

Tel.: 07361/576-247, Fax: 07361/576-324, Email: gbeil@rzws.fh-aalen.de

1 Aufgabenstellung

Im Mobilfunkbereich werden zur Signalübertragung Frequenzen im Bereich von ca. 2GHz verwendet. Für die Trennung von Frequenzkanälen sind in den Basisstationen Filter von sehr hoher Qualität notwendig. Die hierzu verwendeten Filter werden häufig als sogenannte Kammfilter realisiert. Dabei handelt es sich um eine Anordnung koaxialer TEM-Mode Resonatoren. Diese werden für gewöhnlich am offenen Ende durch Schrauben („Abstimmerschrauben“) kapazitiv belastet. Die Werte der durch die Abstimmerschrauben eingestellten Kapazitäten bestimmen die Bandbreite und die Mittenfrequenz des Filters.

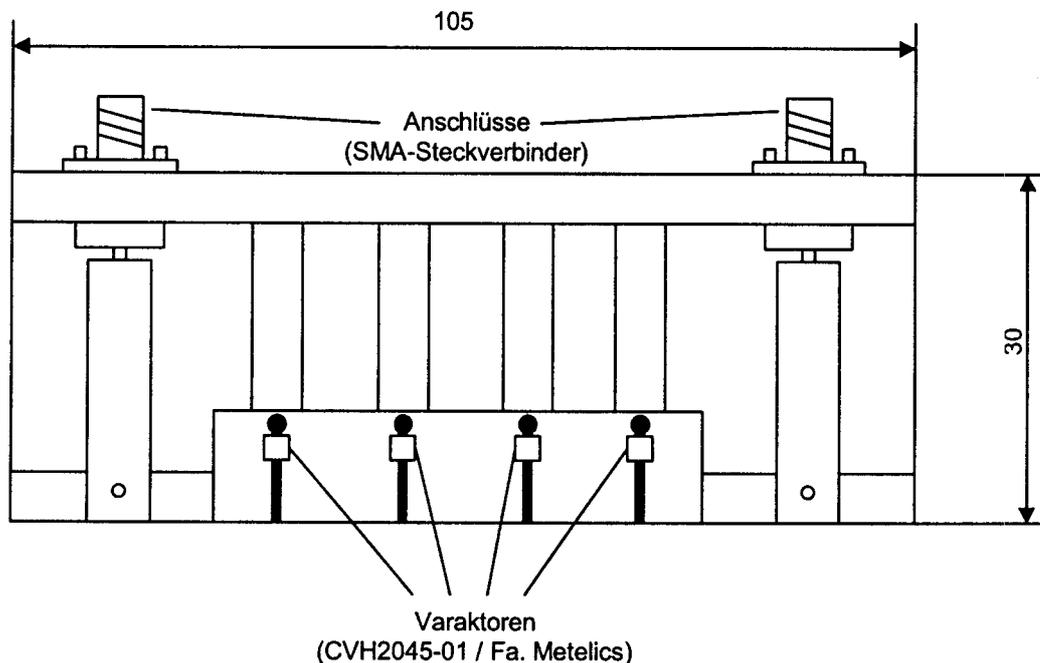


Abbildung 1-1: Aufbau des Mikrowellenfilters (Abmessungen in mm)

In dem im Auftrag der Fa. Huber & Suhner (Herisau/CH) an der ETH Zürich entwickelten Filter wurden die Abstimmerschrauben durch Hochfrequenz-Varaktoren („Kapazitätsdioden“) ersetzt (s. Abbildung 1-1). Somit ist die Mittenfrequenz des Bandpassfilters über einen

gewissen Bereich elektronisch abstimmbare; das heißt durch Anlegen verschiedener Spannungen an den im Filter integrierten Varaktoren ist die Mittenfrequenz variabel. Der Bereich, innerhalb dem die Mittenfrequenz verändert werden kann, hängt von dem minimalen und maximalen Kapazitätswert C_a , den die Varaktoren annehmen können ab.

Aufgabe dieser Diplomarbeit ist es nun, eine elektronische Steuerung zu entwickeln, mit welcher die Varaktoren zur Mittenfrequenzänderung mit den entsprechenden Steuerspannungen versorgt werden. Im Mittelpunkt steht die Entwicklung eines Prototyps der Steuerung, anhand dem aufgezeigt werden soll, wie groß der Aufwand ist, eine solche Steuerung zu realisieren.

In Verbindung mit der Entwicklung der Steuerung sollen im Rahmen dieser Diplomarbeit folgende Untersuchungen durchgeführt werden:

1. Der mögliche Abstimmbereich des Filters soll ermittelt werden. Dabei ist zu untersuchen, wie weit der maximal mögliche Spannungsbereich der Steuerspannungen ausgenutzt werden darf.
2. Die Parameter der Steuerung, die einen Einfluß auf die Abstimmgeschwindigkeit des Filters haben, sollen untersucht werden. Dabei ist die Abstimmgeschwindigkeit die Zeit zwischen Wahl der Mittenfrequenz bis zum Einstellen der entsprechenden Spannungen an den Varaktoren. Die Abstimmgeschwindigkeit ist deshalb von Bedeutung, da die Mittenfrequenz im Betrieb verändert werden soll. Um Betriebsstörungen durch diese Veränderung zu minimieren, muß die Zeit möglichst kurz sein.
3. Die eingestellte Mittenfrequenz soll über einen Temperaturbereich von 0°C bis 50°C konstant gehalten werden. Da die Kapazität der Varaktoren durch die Temperatur beeinflusst wird, müssen die Steuerspannungen für die Varaktoren angepaßt werden, wenn eine Temperaturänderungen aufgetreten ist. Hierzu ist direkt am Filter ein Temperatursensor angebracht, der ständig die aktuelle Umgebungstemperatur ermittelt.

2 Funktionsprinzip

Die Steuerung soll nach Vorgabe einer Mittenfrequenz und Ermittlung der aktuellen Umgebungstemperatur für die vier im Filter integrierten Varaktoren vier analoge Steuerspannung erzeugen. Hierzu werden die jeweils benötigten Spannungen in Form digitaler Werte in einem Festwertspeicher abgelegt. Nach Änderung der Mittenfrequenz oder der Umgebungstemperatur werden die entsprechenden Werte aus dem Festwertspeicher ausgelesen und an D/A-Wandler übergeben, die aus den digitalen Werten analoge Steuerspannungen erzeugen. Des weiteren soll wahlweise die momentan gewählte Mittenfrequenz oder die aktuelle Umgebungstemperatur angezeigt werden.

Nachdem die Steuerung in der Serienfertigung mit einem ASIC realisiert werden soll, bietet es sich an, erste Vorversuche mit einem FPGA durchzuführen. Programmierbare ASICs haben den Vorteil, daß sie kurzfristig verfügbar sind und während der Entwicklungsphase Änderungen im Design vorgenommen werden können. Somit soll in dieser Anwendung ein FPGA der Fa. XILINX verwendet werden.

Da dieser programmierbare Logikbaustein ausschließlich digitale Signale verarbeiten kann, muß sich die Gesamtschaltung aus folgenden Baugruppen zusammensetzen:

- ein Block mit mehreren DIP-Schaltern zur digitalen Wahl der Mittenfrequenz
- Signalkonvertierung und Analog/Digital-Wandler zur Digitalisierung des Analogwertes der Umgebungstemperatur, die mit Hilfe eines direkt auf dem Filter angebrachten Temperatursensor erfaßt werden soll
- vier Digital/Analog-Wandler (D/A-Wandler) zur Erzeugung der analogen Spannungen für die vier im Filter verwendeten Varaktoren
- ein Festwertspeicher (EPROM), in dem die Parameter abgelegt werden, die an die D/A-Wandler übergeben werden
- vier 7-Segment-LED-Anzeigen mit gemeinsamem vorgeschaltetem Treiberbaustein (Multiplexbetrieb) zur Anzeige der Umgebungstemperatur und der gewählten Mittenfrequenz als dezimalen Zahlenwert

Zur Ermittlung der Umgebungstemperatur ist ein Silikon-Temperatursensor vorgesehen. Dieser wird direkt auf dem Filter angebracht und an die Steuerung angeschlossen. Auf der Leiterplatte erfolgt eine Analog/Digital-Wandlung des Temperaturwertes.

Des weiteren werden noch ICs zur Erzeugung diverser Spannungen sowie die übliche Peripherie für das FPGA (Konfigurations-(E)PROM, Quarzoszillator) benötigt.

3 Abstimmgeschwindigkeit

Teilaufgabe dieser Diplomarbeit ist es, die Faktoren zu ermitteln, die einen Einfluß auf die Abstimmgeschwindigkeit haben. Dabei soll untersucht werden, welche Verzögerungszeiten die in den verschiedenen Preisklassen am Markt angebotenen Bauteile verursachen.

Für den Einsatz im Betrieb einer Sende- und Empfangsstation ist es erforderlich, daß die Abstimmgeschwindigkeit möglichst hoch ist, das heißt eine kurze Zeit von der Auswahl der Mittenfrequenz bis zum Anlegen der entsprechenden Steuerspannungen vergeht. Allerdings gilt auch für diese Steuerung die Forderung, daß sie möglichst günstig zu produzieren ist.

Parameter, die die Abstimmgeschwindigkeit beeinflussen sind

- die Taktfrequenz des FPGA
- die Wandlungszeit der D/A-Wandler
- die Zugriffszeit des Speicherbausteins
- die Struktur der Programmierung des FPGA
- die Verzögerung im Verstärker

4 Entwurf der Leiterplatte

Zum Entwurf der Leiterplatte stehen an der FH Aalen die Programm OrCAD Express in der Version 7.20 zur Schaltplaneingabe und OrCAD Layout Plus in der Version 9.00a zum Anfertigen des Layouts der Leiterplatte zur Verfügung. Beide Programme laufen auf PCs mit Intel- oder Intel-kompatiblen CPUs unter Windows NT 4.0.

Die Leiterplatte wird im EURO-Format (160mm x 100mm) in 4-Lagen-Multilayer-Technik ausgeführt. Auf die beiden als Füllfläche ausgeführten Innenlagen werden die Versorgungsspannungen gelegt. Die beiden Außenlagen dienen der Signalführung.

Gefertigt wird die Leiterplatte durch einen Fremdanbieter. Eine Firma, die Prototypen sehr preiswert anbietet, ist die Firma Beta-Layout (www.pcbpool.de). Ein weiterer Vorteil dieser Firma ist, daß mit OrCAD Layout erzeugte Layout direkt als max-Datei eingeschickt werden können. Dadurch entfällt das relativ aufwendige Erzeugen der Gerber-Daten.

Abbildung 4-1 zeigt das Blockschaltbild, das den Aufbau der Steuerung darstellt.

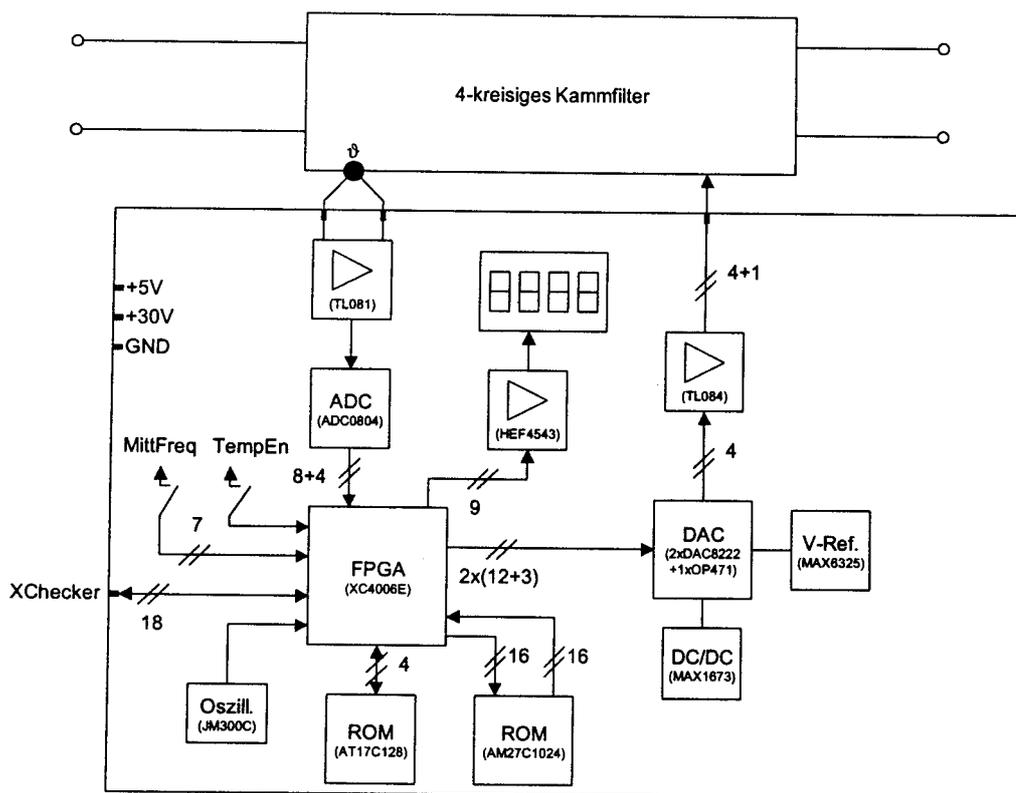


Abbildung 4-1: Blockschaltbild der Filtersteuerung

5 Bestimmung und Speicherung der Spannungswerte

Die verwendeten Varaktoren haben eine Toleranz von $\pm 20\%$ und verhalten sich nicht linear. Das heißt, der angenommenen Kapazitätswert ist nicht direkt proportional zur angelegten Spannung. Daher war es unabdingbar, die Spannungswerte für jeden Varaktor und für jede gewünschte Mittenfrequenz separat einzustellen und auszumessen. Des weiteren haben die vier Varaktoren aufgrund ihrer lokalen Anordnung unterschiedlich starken Einfluß auf die Mittenfrequenz bzw. die Bandbreite.

Mit Hilfe der Spannungsquellen wurde an jeden Varaktor eine Gleichspannung angelegt. Der sich dadurch ergebende Frequenzgang wurde mit Hilfe des Netzwerk-Analysators aufgezeichnet. Durch Variieren der Steuerspannungen wurde das Filter auf die gewünschten Mittenfrequenzen abgeglichen. Sobald sich ein Frequenzgang ergab, der symmetrisch zu einer gewählten Mittenfrequenz war und eine Bandbreite von mehr als 2% besaß, wurden die vier Spannungen mit Hilfe des Multimeters gemessen und protokolliert.

Die ermittelten Steuerspannungen werden digital im EPROM abgelegt und mit Hilfe des FPGA ausgelesen und an die D/A-Wandler übergeben. Diese erzeugen dann wiederum die analogen Steuerspannungen, die an die Varaktoren angelegt werden. Der Speicherplatz, an dem ein Wert abgelegt wird, hängt von der Mittenfrequenz, Umgebungstemperatur und Varaktor-Nr. ab.

Abbildung 5-1 zeigt den Verlauf der Steuerspannungen über den abstimmbaren Frequenzbereich.

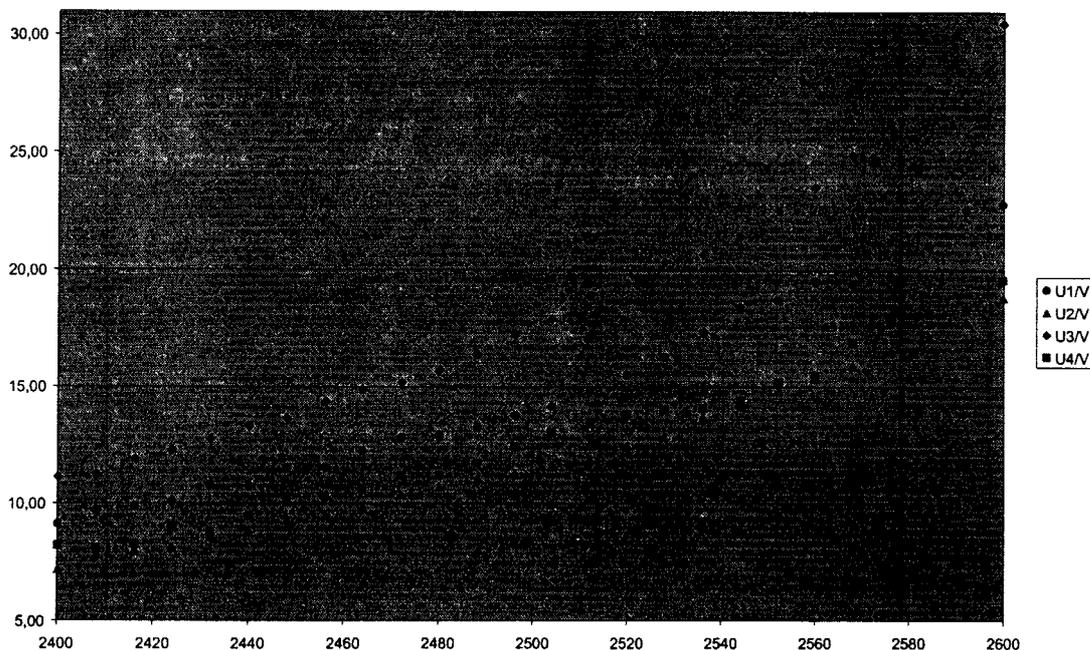


Abbildung 5-1: Steuerspannungen der Varaktoren ($U=f(f_M)$)

6 Programmierung des FPGA

Zur Erzeugung der Konfigurationsdaten für das FPGA stehen an der FH Aalen die Programme Renoir (Mentor Graphics) in der Version 3.4, Leonardo (Exemplar Logic / Mentor Graphics) in der Version 4.2 und Alliance M1.5 (Xilinx) zur Verfügung. Zusätzlich dient das Programm ModelSim EE in der Version 5.1b (Model Technology / Mentor Graphics) der Simulation des erzeugten VHDL-Codes.

Alle Programmierarbeiten erfolgen auf einer UNIX-Workstation. Als Betriebssystem kommt auf dieser des UNIX-Derivat HP-UX in der Version 10.20 zum Einsatz.

6.1 Renoir

Das Programm Renoir dient der Erzeugung des für die Konfiguration des FPGA notwendigen VHDL-Codes. Die Eingabe erfolgt grafisch. Das heißt, es besteht die Wahl, Zustandsdiagramme, Flußdiagramme, Wahrheitstabellen oder VHDL-Fragmente einzugeben. Um das Design übersichtlich zu halten, besteht die Möglichkeit, Funktionsblöcke in Blockdiagrammen zu gruppieren und hierarchisch zu gliedern.

Es bietet sich an, das Design im Top-Down-Verfahren zu entwerfen. Das heißt, daß zuerst ein Blockdiagramm mit den Haupt-Funktionsblöcken und allen physikalischen Ein- bzw. Ausgangssignalen erstellt und dieses dann schrittweise verfeinert wird.

Blockdiagramme enthalten in der Regel keine Funktionalität und werden nur dazu benutzt, um ein Design übersichtlicher zu gestalten, indem Komponenten erstellt und miteinander verknüpft werden.

6.2 Leonardo

Das Programm Leonardo dient der Synthetisierung des VHDL-Codes und der Erzeugung von Netzlisten-Dateien. Unter Synthetisierung versteht man das Auswerten des VHDL-Codes und die Umsetzung in zieltechnologie-spezifische Logik. Dabei werden auch sämtliche Optimierungsmöglichkeiten ausgenutzt, die die Zieltechnologie bietet. Hierfür muß die Zieltechnologie (hier: Xilinx 4000E-Familie) gewählt und eine Optimierung durchgeführt werden.

6.3 Alliance

Das Programm Alliance M1.5 dient der Erzeugung der Konfigurations-Daten (dem „Bit-Stream“) für das FPGA. Hierzu werden die mit Leonardo erzeugten Netzlisten-Dateien eingelesen und der Bausteintyp (Familie, Modell, Bauform, Geschwindigkeitskategorie) ausgewählt. Sofern es in Renoir noch nicht erfolgt ist, müssen auch die Signale den I/O-Pins des FPGA noch zugewiesen werden. Ein Zusatz-Tool, der „Hardware-Debugger“ bietet die Möglichkeit, die erzeugten Konfigurations-Daten über ein Download-Kabel (den „Xchecker“) auf das FPGA zu überspielen ohne ein EPROM programmieren zu müssen. Dies ist vor allem in der Entwicklungsphase sehr hilfreich.

Nach Fertigstellung des endgültigen Designs ist das Brennen eines EPROMs notwendig, um die Leiterplatte unabhängig von einem Computer betreiben zu können

7 Fazit

Als Ergebnis dieser Diplomarbeit konnte gezeigt werden, mit welchem Aufwand eine Steuerung für ein elektronisch abstimmbares Filter realisiert werden kann.

Die fertiggestellte Steuerung ermöglicht es, die Mittenfrequenzen im Bereich von 2400MHz bis 2600MHz in 8MHz-Schritten einzustellen. Die Temperaturkompensation wurde vorgesehen und im FPGA implementiert, die notwendigen Messungen müssen allerdings noch durchgeführt werden.

Um einen Anhaltspunkt zu erhalten, in welcher Größenordnung sich die Abstimmgeschwindigkeit bewegt, wurde mit Hilfe eines Oszilloskops (Tektronix TDS210) der Verlauf des Anstiegs der Steuerspannung U_3 bei einer Frequenzänderung aufgenommen (Abbildung 7-1). Dabei wurde die Mittenfrequenz von 2464MHz auf 2592MHz geändert. Diese beiden Frequenzen wurden gewählt, da das Umschalten von der einen in die andere Frequenz in einer großen Spannungsänderung ($\Delta U \approx 15V$) resultiert und dies durch Umlegen eines einzigen DIP-Schalters erreicht wird. Dies ist von Bedeutung, da der Trigger des Oszilloskops nur auf das Signal eines DIP-Schalters reagieren kann.

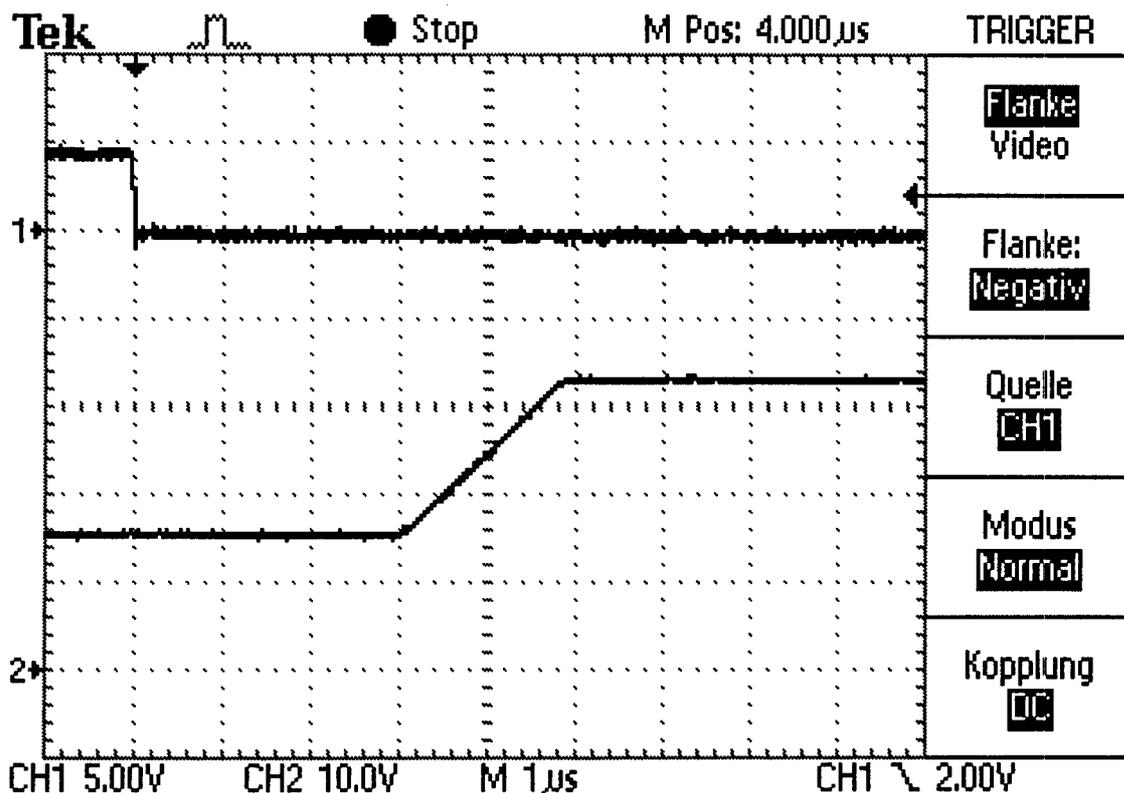


Abbildung 7-1: Spannungsanstieg bei Frequenzänderung

Kanal 1 stellt den Verlauf des Signals des betätigten DIP-Schalters dar, auf dessen fallende Flanke getriggert wurde. Kanal 2 stellt die Steuerspannung U_3 dar.

Der aufgenommenen Kennlinie ist zu entnehmen, daß ca. 5 μs vergehen, ehe die neue Steuerspannung anliegt. Ca. 2,5 μs vergehen, bevor sich die Spannung zu ändern beginnt. Diese Zeit wird benötigt, um die Adressen der digitalen Spannungswerte zu ermitteln, die digitalen Spannungswerte aus dem EPROM auszulesen und an die D/A-Wandler auszugeben und die Wandlung zu starten und durchzuführen (s. Abbildung 7-2). Nach weiteren 2 μs ist die Spannungsänderung abgeschlossen. Diese Zeit beinhaltet im Wesentlichen die Verzögerung in den beiden Operationsverstärkern.

Vergleichsmessungen ergaben, daß die benötigte Zeit für den Spannungsanstieg proportional zur Spannungsänderung ist. So ist für die maximale Spannungsänderung von ca. 20V (U_3 für 2400MHz nach 2600MHz) anzunehmen, daß etwas mehr als 2 μs , aber nicht mehr als 3 μs benötigt werden, um die neue Spannung einzustellen.

Innerhalb der Zeit, die zwischen Umlegen des Schalters bis zur Änderung der Steuerspannung vergeht, sieht die Signalfolge an den Ausgängen des FPGA folgendermaßen aus:

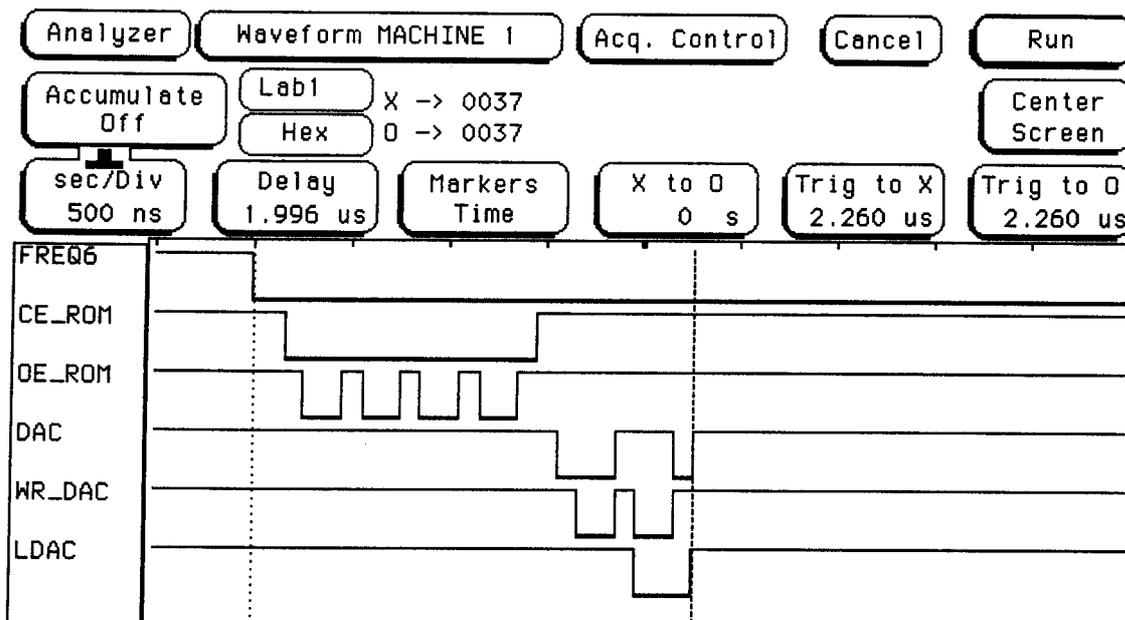


Abbildung 7-2: Signalfolge bei Frequenzänderung

Anzumerken ist, daß eine *Änderung* der Umgebungstemperatur in diesem Moment nicht beachtet wird. Die Temperatur wird fortlaufend ermittelt. Bei einer Frequenzänderung wird der zuletzt gültige Wert übernommen. Es wird bei einer Frequenzänderung *nicht* explizit eine neue Temperaturerfassung gestartet und auf das Ergebnis gewartet.

In den beiden Abbildungen 7-3 und 7-4 sind die Frequenzgänge des Filters für die Mittenfrequenzen 2400MHz und 2600MHz dargestellt. Aufgenommen wurden diese mit einem Netzwerk Analysator 4718B der Fa. Hewlett Packard. Der angezeigte Wert für die Mittenfrequenz („CF“, Center Frequency) zeigt deutlich, daß die tatsächliche eingestellte Mittenfrequenz ziemlich genau der jeweils gewählten entspricht.

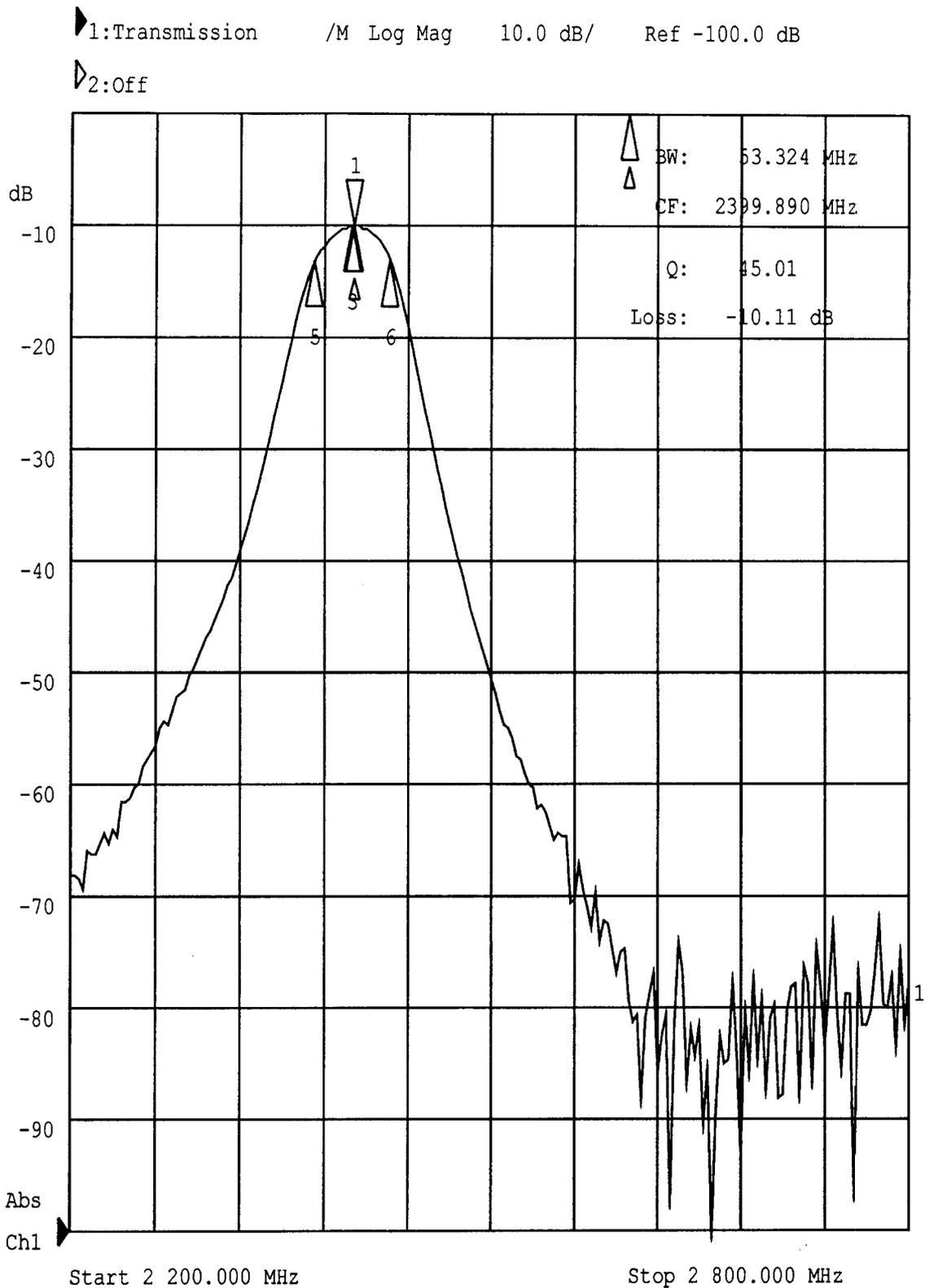


Abbildung 7-3: Frequenzgang des Filters ($f_{M,gew\u00e4hlt}=2400\text{MHz}$)

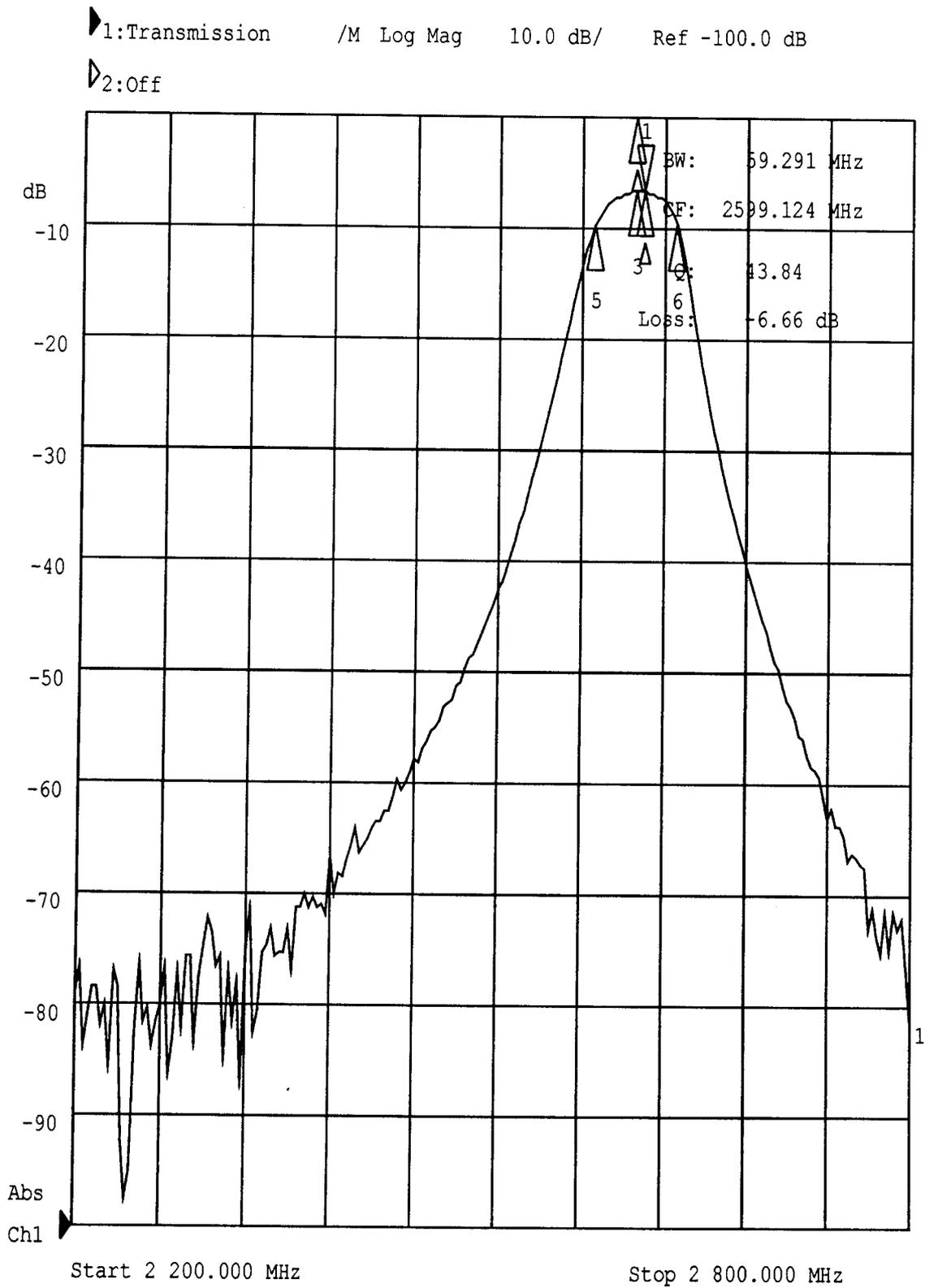
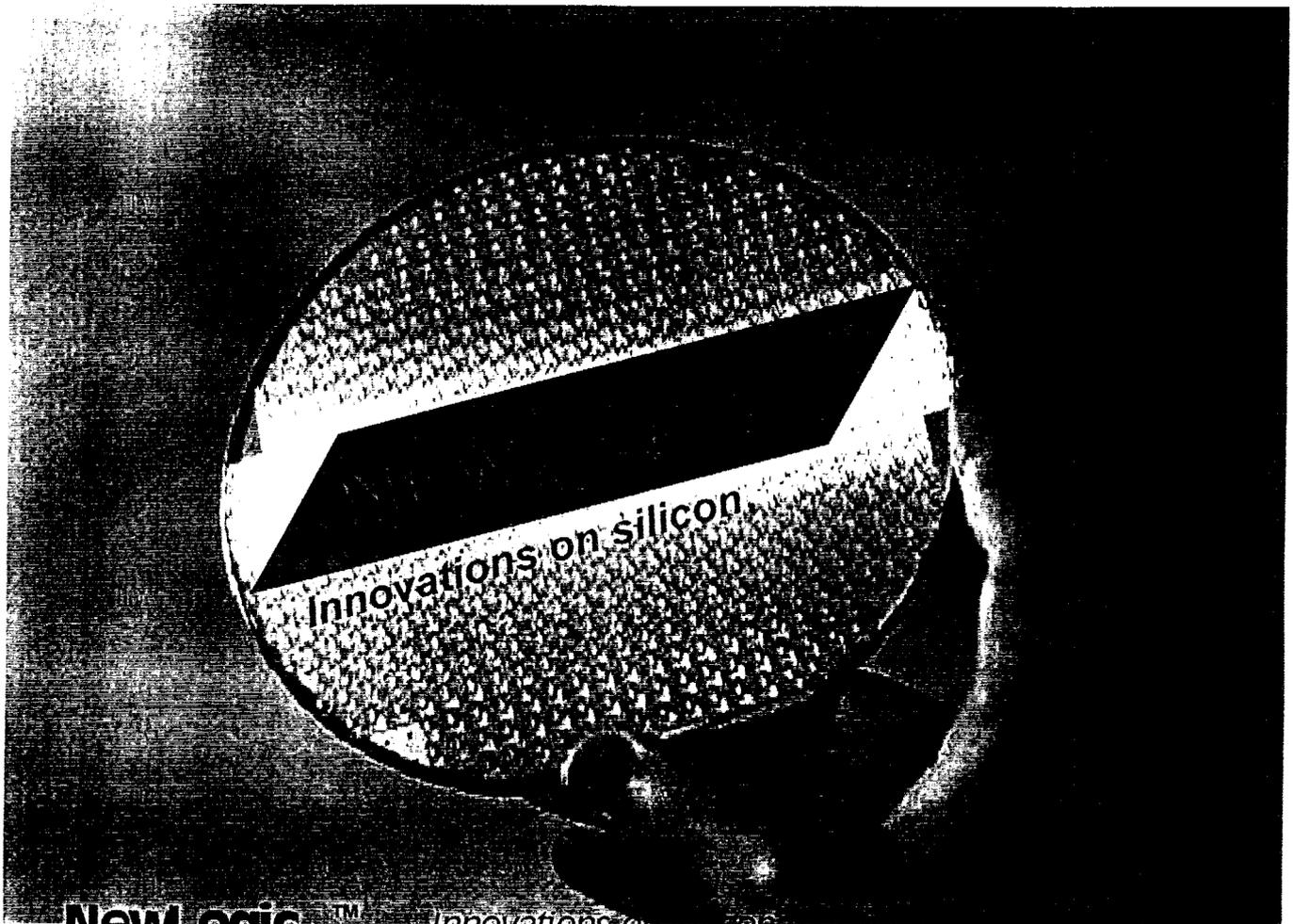


Abbildung 7-4: Frequenzgang des Filters ($f_{M,gew\u00e4hlt}=2600\text{MHz}$)

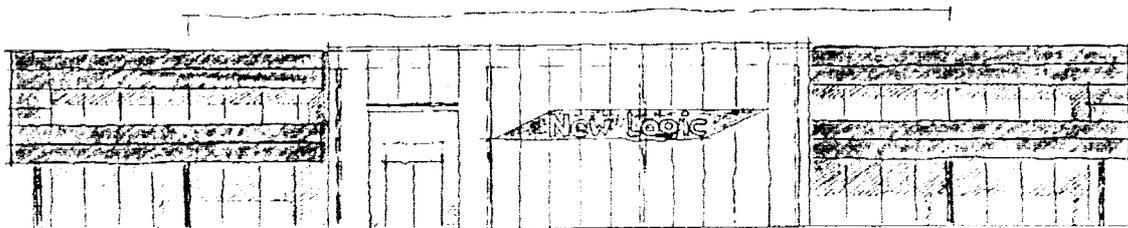


NewLogic™

Innovations on Silicon

© NewLogic 1999

Firmensitz: Dornbirn, Österreich, 1h nach Zürich
Gründung: Mai 1997
Mitarbeiter: 35 Ingenieure, schnelles Wachstum
Kapitalstruktur: 100% in Privatbesitz, 100% unabhängig



NewLogic GmbH
Millenium Park 6
A 6890 Lustenau, Österreich

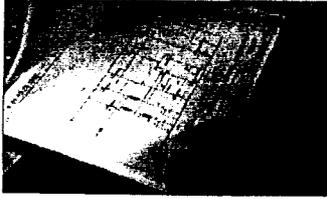
Telefon: +43 5577 62000-0
Fax: +43 5577 62000-88
Email: info@newlogic.at

NewLogic™

Innovations on Silicon

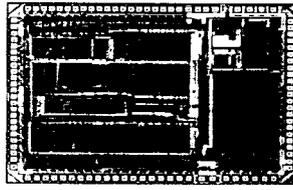
© NewLogic 1999

Mixed-Signal / HF IC Design Service



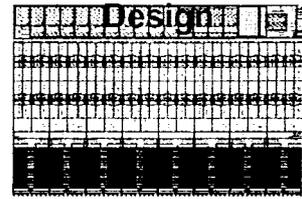
Automobil - Industrie -
Wireless - Mobile Consumer

Digital IC Design Service



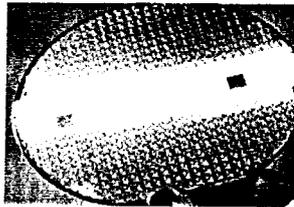
VHDL - Verilog - Synthese -
Place & Route - Test Benches

Custom Speicherentwicklung Design



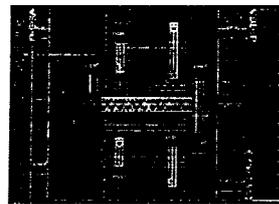
Nichtflüchtige Speicher
Low Power SRAM Architektur

Fabless Chip Service



Interface zu Wafer Foundries -
Vom Wafer zum getesteten IC

Custom Standard- Zellbibliotheken



Ultra Low Power Zellen - hohe
Gatterdichten - ESD Strukturen

NewLogic™

Innovations on Silicon

© NewLogic 1999

Technical "Brains"

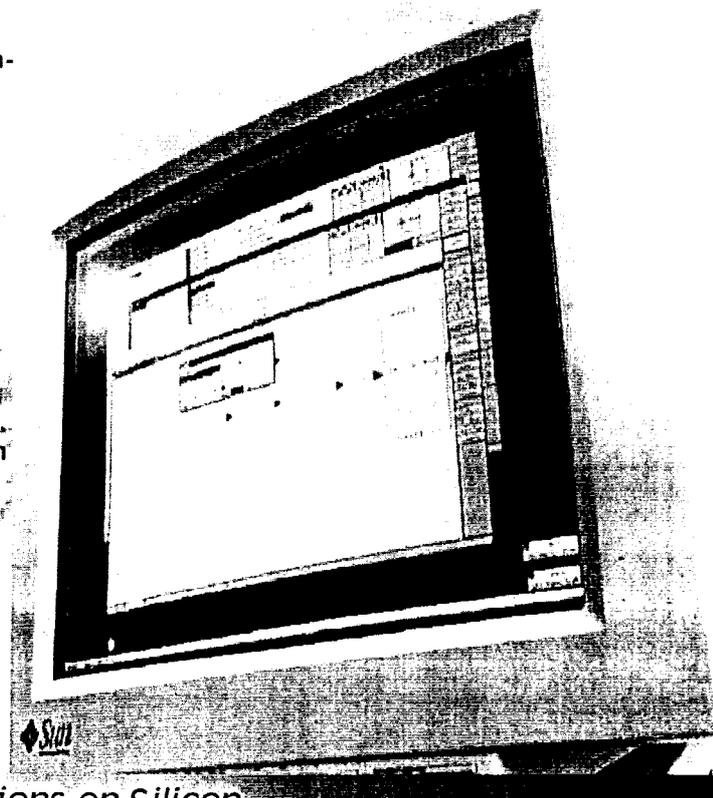
- 35 Ingenieure
- 140 Mannjahre IC design Erfahrung
- HDL, Analog, Mixed-Signal, HF, System-design, und Test Experten

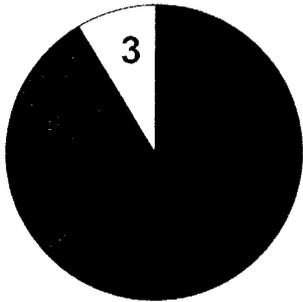
Hardware

- 30 SUN Ultras, Modelle I, II, 10 and 60
- SUN enterprise 450
- Legato Backupsystem
- SUN RSM 2000 Festplatten-Array
- 2 Mbit/s Standleitung mit Firewall
- 8 NT PCs
- HP Drucker und Plotter
- Kooperation mit führenden Testhäusern

Software

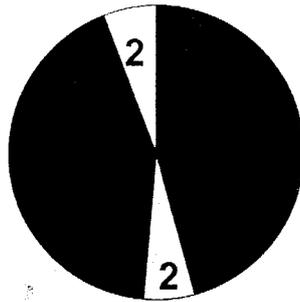
- Cadence Seats
- Silicon Ensemble P & R
- Synopsys und EPIC
- Bibliotheksentwicklungssoftware
- SRAM and E²PROM Generatoren
- Optimierer für Analogschaltungen





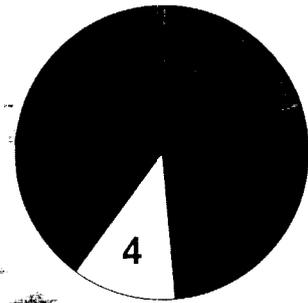
Alter

- 20 - 25
- 25 - 30
- 30 - 40
- ≥ 40



Ausbildung

- Dipl.-Ing. Elektrotechnik
- BSEE
- Dipl. Physiker
- Dipl. Informatiker
- Doktorgrad



Nationalität

- Deutschland
- Österreich
- Spanien
- Irland

NewLogic™

Innovations on Silicon

Mixed-Signal / Analog / HF IC Entwicklung (15 Ingenieure)

- HF Interfaces
- Ladungspumpen
- Bandgap / V Reg.
- Oszillatoren
- A/D - D/A Konverter
- NVM Entwicklung
- Mixed Mode Simulation
- Full custom Analogentwicklung
- Full custom mixed-signal Entwicklung

Bibliotheken, Layout and Physikalische Verifikation (4 Ingenieure)

- Ultra Low Power Zellbibliotheken
- Floorplanning
- Place & Route
- ESD Strukturen
- Layoutoptimierung
- LVS, LPE & DRC runset Entwicklung
- Analog & HF Handlayout

Entwicklung von Microcontroller basierten ICs

(7 Ingenieure)

- full & semi custom μ C Derivate
- Automobil: dashboard controller, Navigation, Motormanagement
- Industrie: embedded control, Lichttechnik
- Consumer: Festplattencontroller, Universal- Mikrocontroller

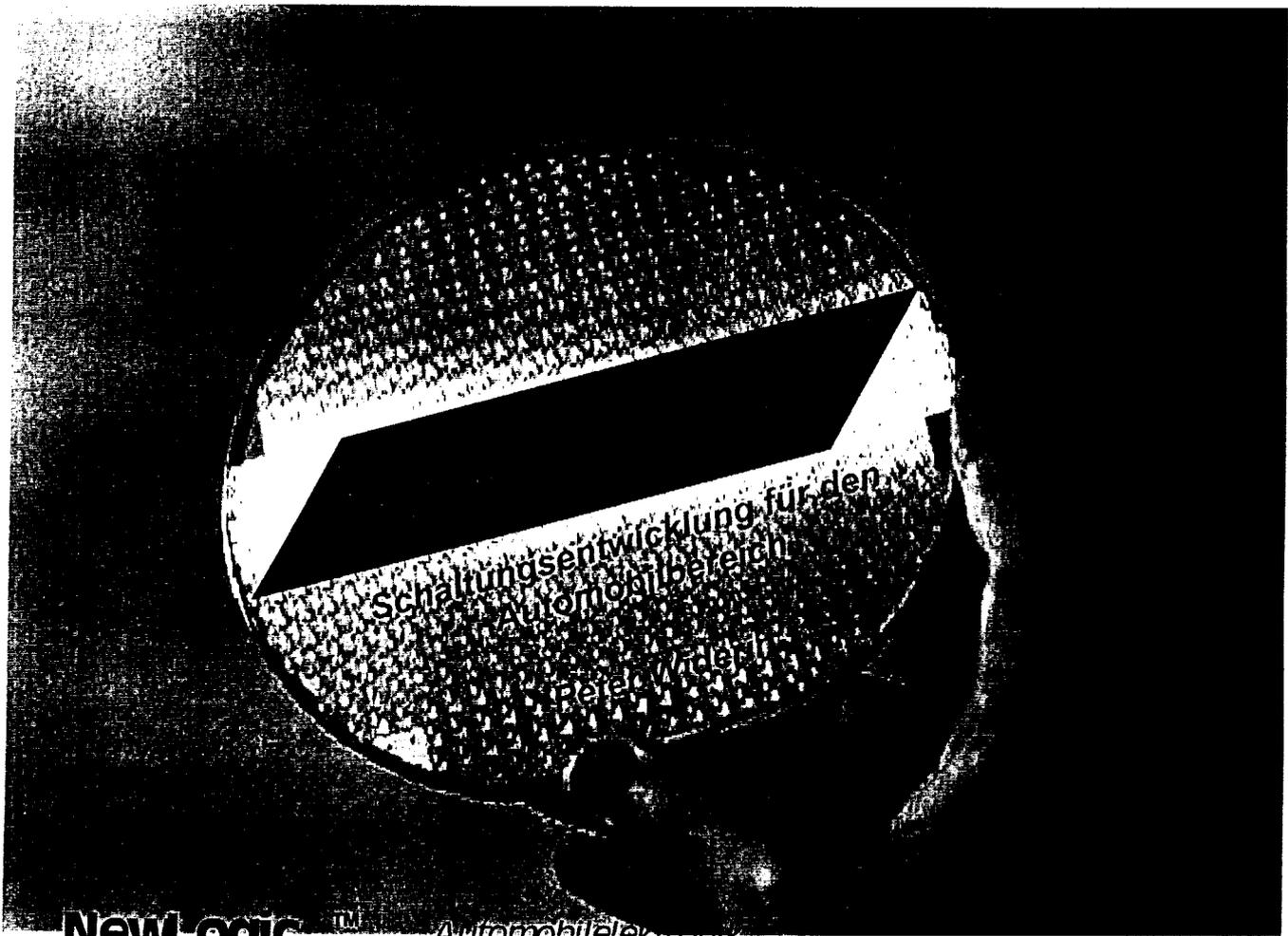
Digitale HDL basierte IC und System-Entwicklung

(9 Ingenieure)

- Drahtlose Übertragungsprotokolle
- DSP basierte ICs (e.g. XDSL)
- Schnittstellen (I²C, CAN, UART, etc.)
- Kommunikationsprotokolle
- Systementwicklung und Simulation
- Kryptographie

NewLogic™

Innovations on Silicon



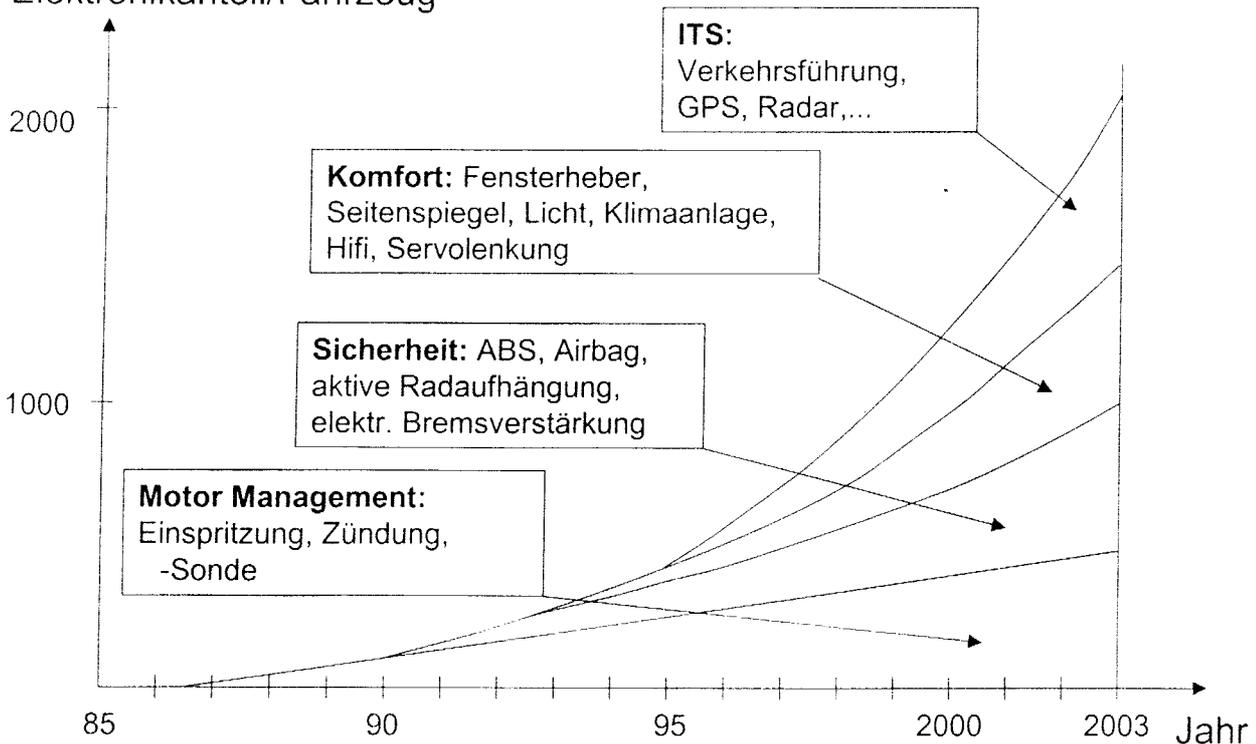
NewLogic™

Automobilelektronik

© NewLogic 12-Okt-99

1

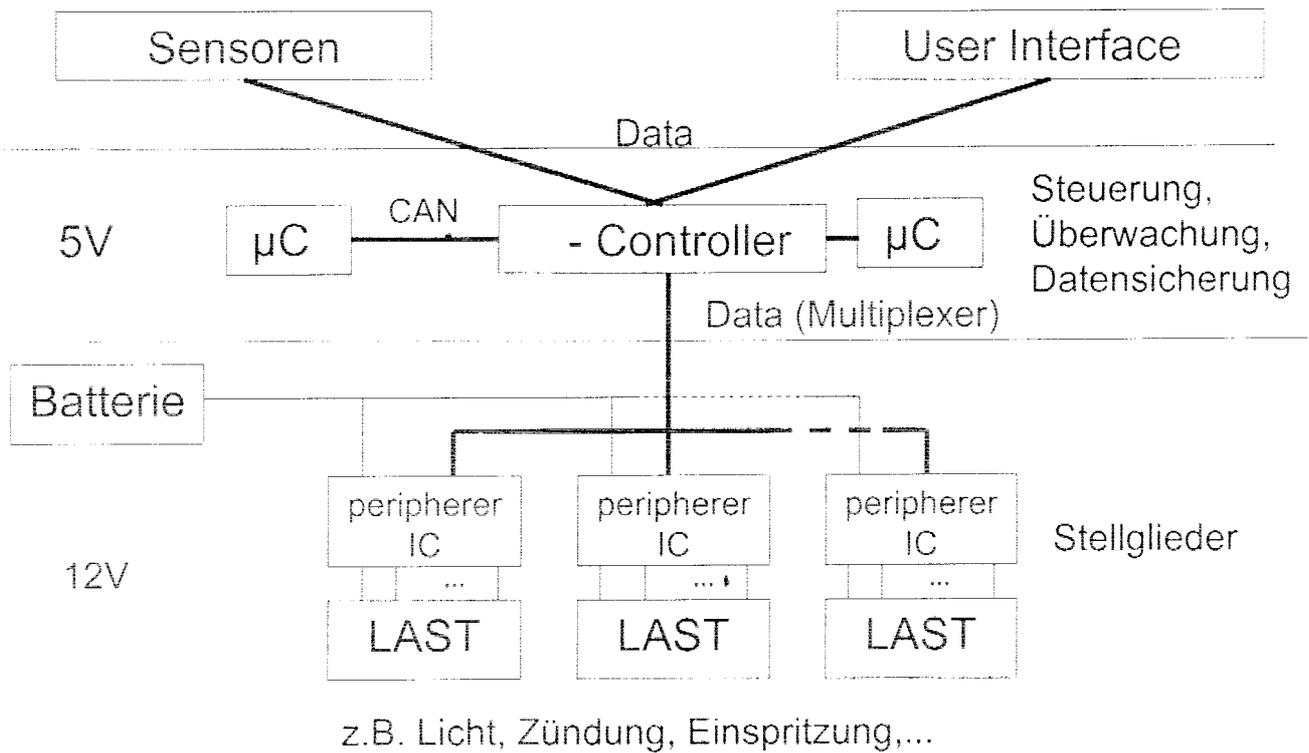
Elektronikanteil/Fahrzeug



Quelle: Aloisi, PCIM98 HongKong

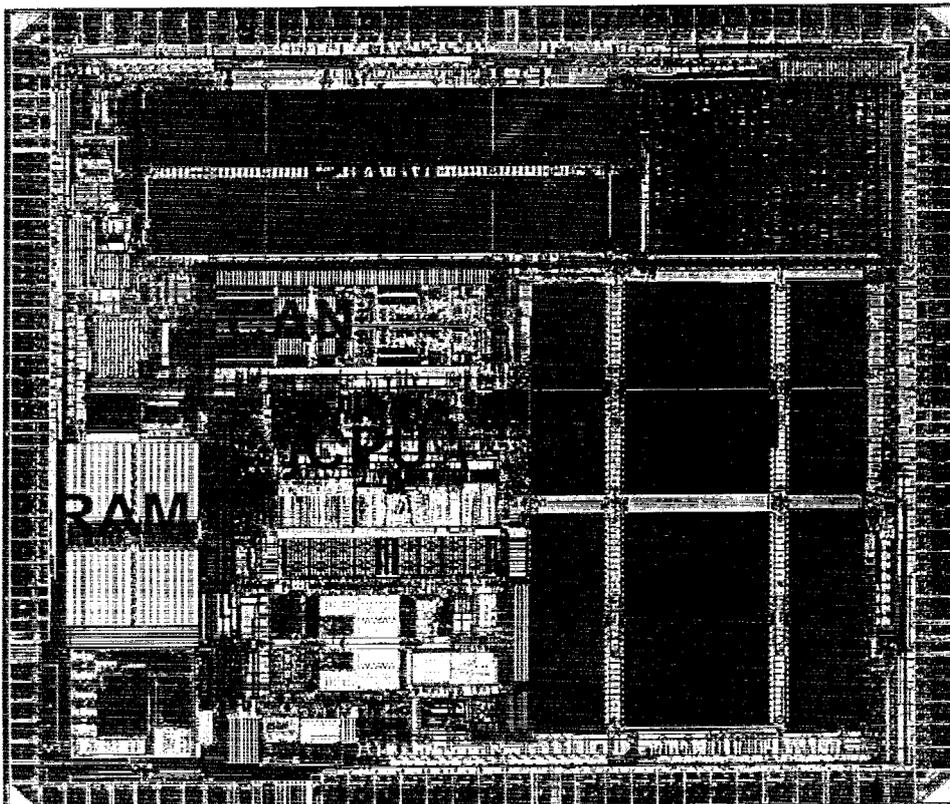
NewLogic™

Automobilelektronik



NewLogic™

Automobilelektronik



- Geschützte Befehle
z.B. Idle-Befehl,
Power-down
⇒ speziell kodiert
- clock watch dog
falls Quarz bricht
⇒ Notfrequenz (RC)

NewLogic™

Automobilelektronik

© NewLogic 12-Okt-99

Gate Treiber für High-Side Switch

Vorgaben:

- geregelte Spannung 5V ± 0.25V
- Fehlererkennung ⇒ Rückmeldung an μC
- Stand-by Mode

NewLogic™

Automobilelektronik

Gate-Treiber für High-Side oder Low-Side Switch

(typische Anwendungen: Licht, Zündung, Zentralverriegelung, Fensterheber...)

Betriebsbedingungen:

- Temperaturbereich -40°C - 130°C
- Batteriespannung (VA) statisch 6V - 30V
- Load Dump 50V
- Stromaufnahme maximal ~100mA
- Stand by mode >100 μA

NewLogic™

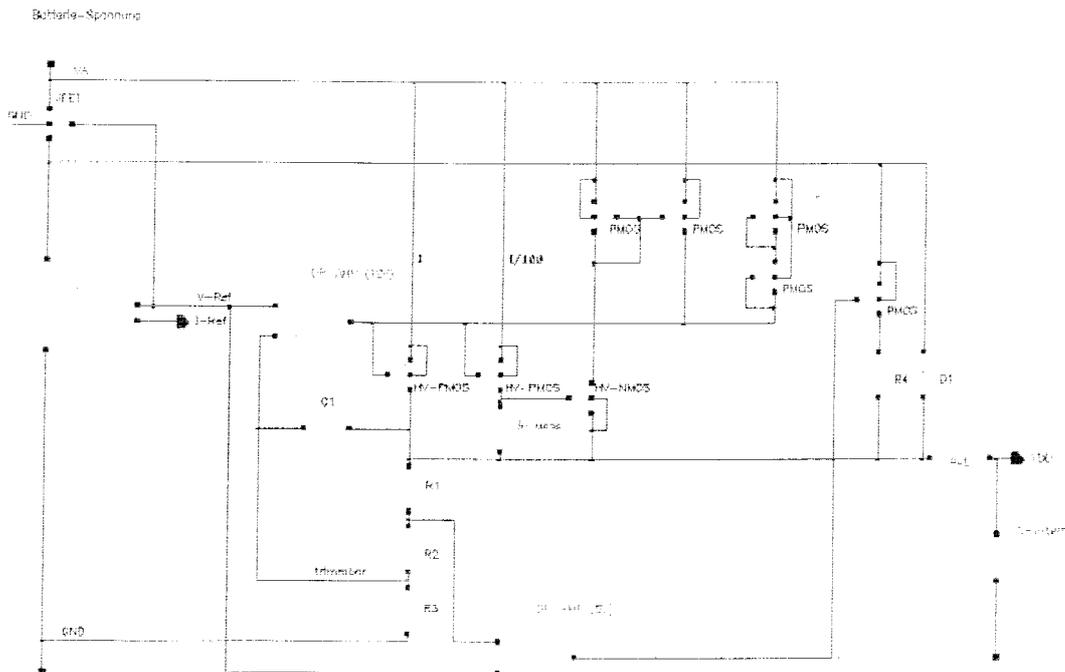
Automobilelektronik

Erfordernisse:

- Trimmung on-chip (4,7V - 5,3V)
- HV-CMOS Prozeß $V_{BT} > 50V$
- Monte Carlo Simulation

NewLogic™

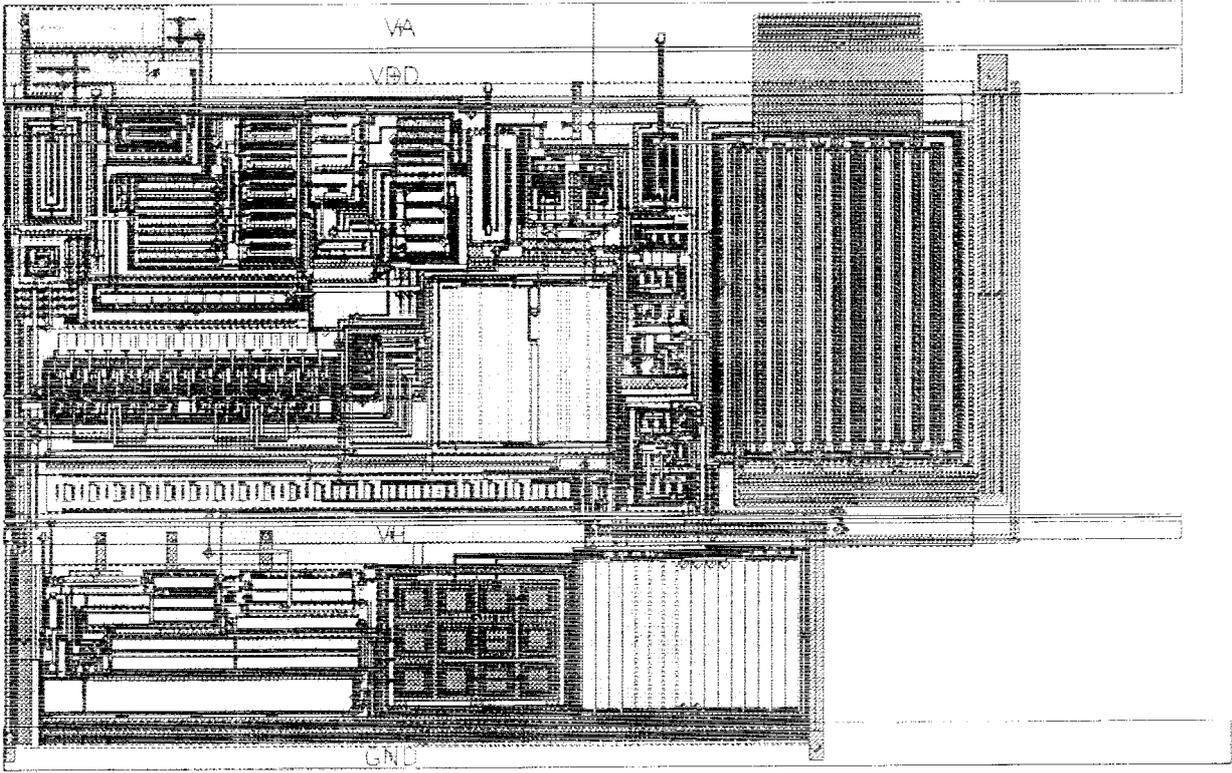
Automobilelektronik



NewLogic™

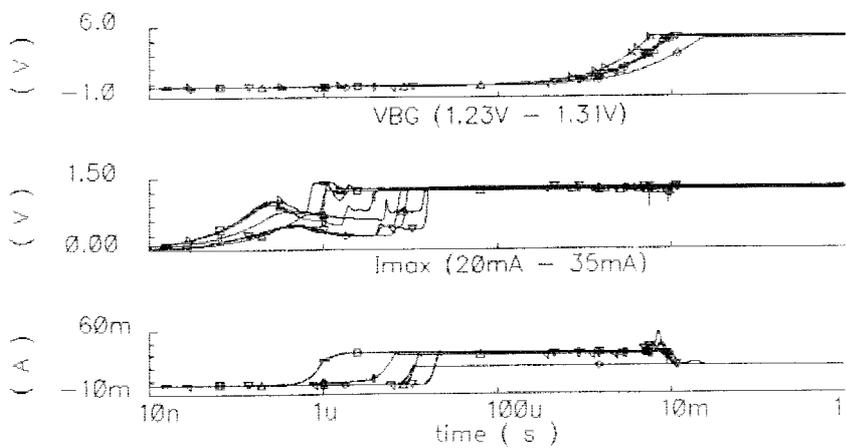
Automobilelektronik

NewLogic 2001



Einschaltverhalten

V-Regler, Corner-Analyse
VDD (4.78V – 5.15V)



Umgebungsparameter:

- VA
- Temperatur

Prozeßparameter:

- MOSFET
- Kapazitäten
- Widerstände
- Transistoren

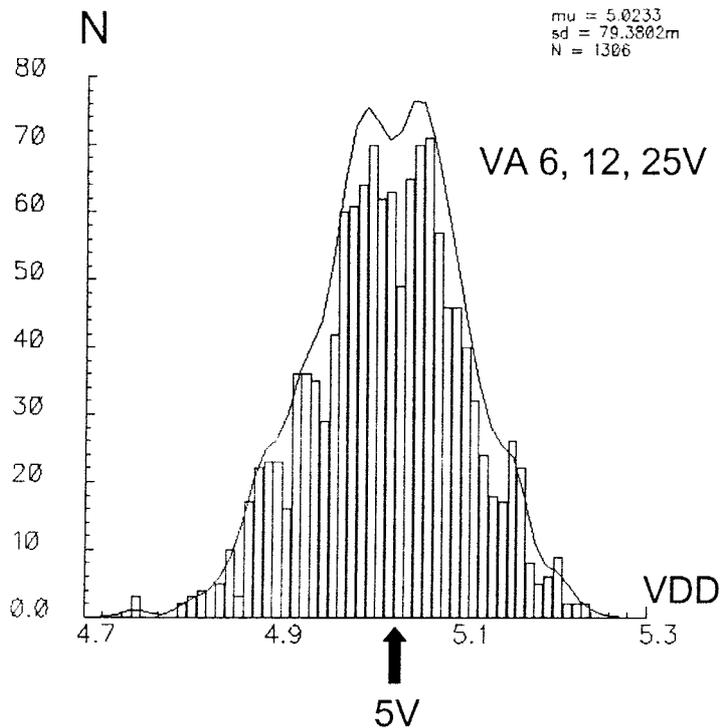
VDD, T=27°C

Zufällige Variation der
Prozeßparameter:

- MOSFET
- Kapazitäten
- Widerstände
- Transistoren

und der Batteriespannung

⇒ Histogramm der
möglichen VDD-Spannungen



Automobielektronik

- Zentrale C (Kontrolle und Datensicherung) & periphere IC (Steuerung & Diagnose)
- HV-Prozesse ($V_{BT} > 50V$) erforderlich (Load Dump)
- Große Schwankungen der Betriebsbedingungen (T, VA) ⇒ MC-Simulation

Automobielektronik



VHDL-AMS - Die neue Beschreibungssprache für Mixed-Signal Designs

2. Juli 1999

Olaf Zinke

Analogy GmbH
Ludwigstraße 45
D-85399 Hallbergmoos
Tel.: 0811/60093-0
ozinke@analogy.com

1

© Analogy GmbH 01.07.1999 Olaf Zinke



Agenda

- 1. Der Standard 1076.1: Einführung, Erwartungen**
- 2. Die AMS-Erweiterungen von VHDL im Detail:
Vorstellung der neuen Sprachkonstrukte,
Syntax-Beispiele**
- 3. Analogy und VHDL-AMS: Die TheHDL-Architektur**
- 4. Vorführung eines Anwendungsbeispiels**

2

© Analogy GmbH 01.07.1999 Olaf Zinke





Der Standard 1076.1: Einführung

V V Very
 H High
 S Speed
 I Integrated
 C Circuit (VHSIC !)
H Hardware
D Description
L Language

3

© Analogy GmbH 01.07.1999 Olaf Zinke



Der Standard 1076.1: Einführung

A Analog
 and
M Mixed
S Signal

VHDL	= IEEE-1076	approved by IEEE	1987
VHDL-AMS	= IEEE-1076.1	approved by IEEE	1999

4

© Analogy GmbH 01.07.1999 Olaf Zinke





Der Standard 1076.1: Einführung

- ◆ Hierarchical Design
- ◆ Abstract Data Types
- ◆ Multiple Modeling Styles
- ◆ Full Timing Capability
- ◆ Concurrent Descriptions
- ◆ Parameter Passing

Level	Content
System	Specification
Chip	Algorithms
Register	Truth tables State Tables
Logic	Boolean Equations
Circuit	Differential Equations

5

© Analogy GmbH 01.07.1999 Olaf Zinke



Der Standard 1076.1: Einführung

Level	Content
System	Transfer Fn.
System	Specification
Chip	Algorithms
Register	Truth tables State Tables
Logic	Boolean Equations
Circuit	Differential Equations

6

© Analogy GmbH 01.07.1999 Olaf Zinke





Der Standard 1076.1: Erwartungen

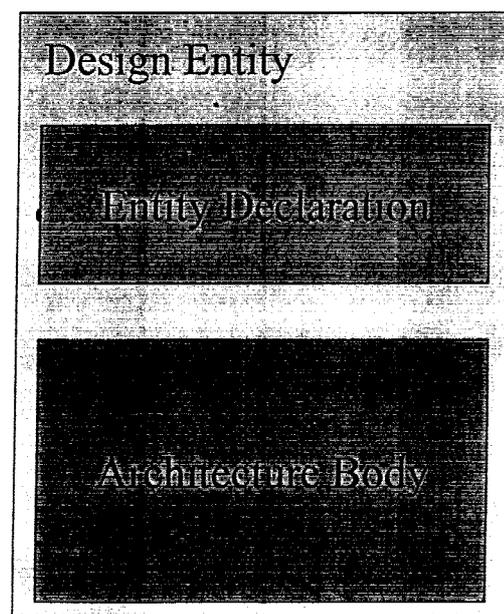
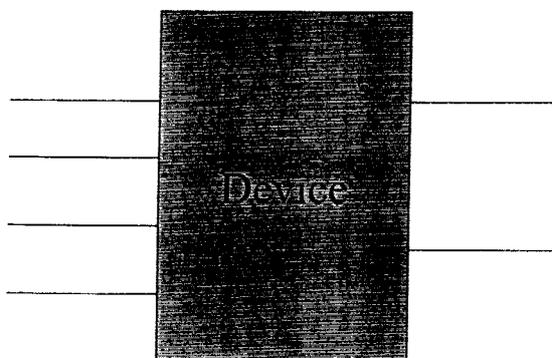
- Mixed-Signal Modellierung und Simulation
- Standardisierte Design-Spezifikation
- Kompatibilität zur Schaltungssynthese (Digitale Blöcke)
- Grundlage für Entwicklung der AMS-Synthese
- Wiederverwendbarkeit von Modellen
- Modellaustausch zwischen verschiedenen Simulatoren
- Verbesserte Modellverfügbarkeit
- Erhöht die Anzahl ausgebildeter Modellierer

7

© Analogy GmbH 01.07.1999 Olaf Zinke



VHDL - Struktur



8

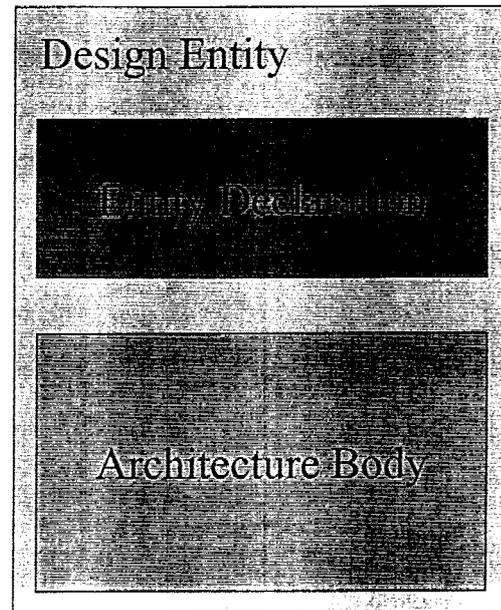
© Analogy GmbH 01.07.1999 Olaf Zinke





VHDL - Struktur

```
ENTITY entity_name IS  
    --Declaration of Ports  
    --Generics  
    --Types  
    --Constants  
BEGIN  
    --Passive Concurrent  
    --Statements  
END entity_name;
```



9

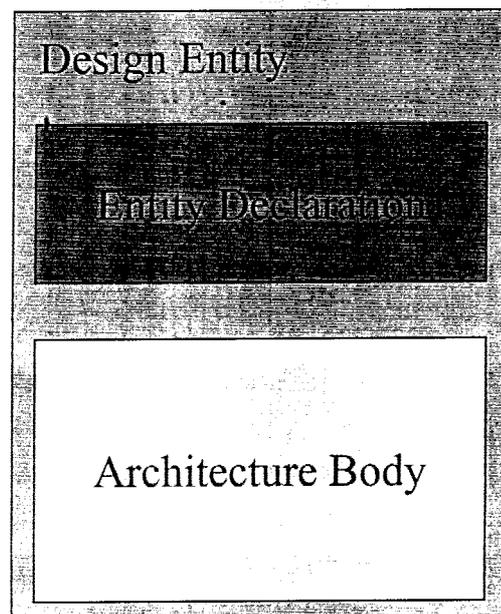
© Analogy GmbH 01.07.1999 Olaf Zinke

 Analogy®



VHDL - Struktur

```
ARCHITECTURE name OF  
entity IS  
    --Declarations  
BEGIN  
    --Concurrent Statements  
END name;
```



10

© Analogy GmbH 01.07.1999 Olaf Zinke

 Analogy®

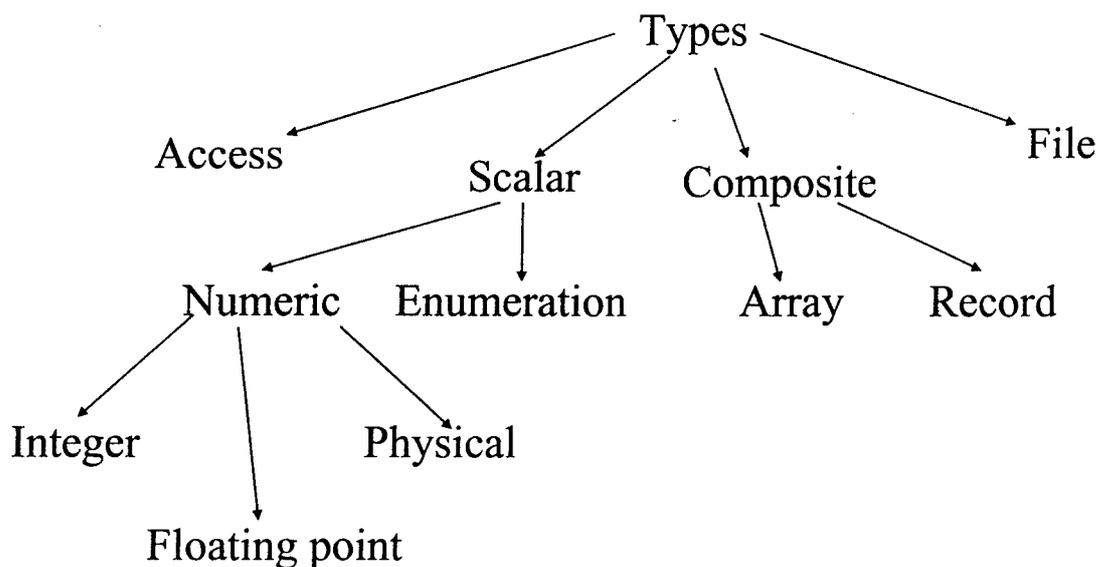


VHDL - Struktur

```
PROCESS(sensitivity list);  
    --Declarations  
BEGIN  
    --Sequential Statements  
END PROCESS;
```



VHDL (1076) Types





AMS-Erweiterungen von VHDL

NATURE

TERMINAL

Q'ABOVE

QUANTITY

THROUGH

Q'INTEG

Q'DOT

ACROSS

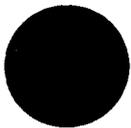
S'RAMP

BREAK

13

© Analogy GmbH 01.07.1999

Olaf Zinke



Natures

- ◆ **Natures define the behaviour accessed through a Terminal**
- ◆ **Natures are defined by the**
 - through
 - across
 - reference
- ◆ **Natures may also be grouped together to provide composite natures (records, arrays)**

14

© Analogy GmbH 01.07.1999

Olaf Zinke

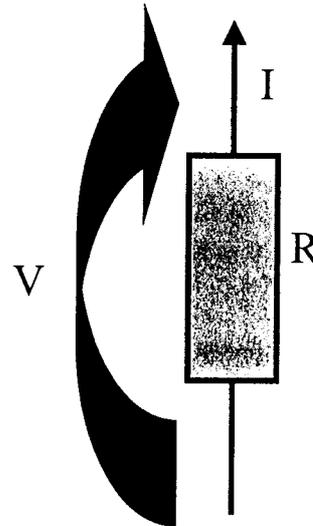




Example Nature - Electrical

**SUBTYPE voltage is REAL;
SUBTYPE current is REAL;**

**NATURE electrical IS
voltage ACROSS
current THROUGH
ground REFERENCE;**



15

© Analogy GmbH 01.07.1999 Olaf Zinke

 **Analogy.**



AMS-Erweiterungen von VHDL

```
ENTITY res IS  
  GENERIC(rnom : REAL := 1.0);  
  PORT (TERMINAL p, m: electrical);  
END ENTITY res;
```

```
ARCHITECTURE myres OF res IS  
  QUANTITY vres ACROSS ires THROUGH p TO m;  
BEGIN  
  ires == vres / rnom;  
END ARCHITECTURE myres;
```

16

© Analogy GmbH 01.07.1999 Olaf Zinke

 **Analogy.**



AMS-Erweiterungen von VHDL

```
ARCHITECTURE mycomp OF comp IS
  CONSTANT thrp: REAL := 50.0e-3;
  CONSTANT thrm: REAL := 50.0e-3;
  QUANTITY vin ACROSS iin THROUGH p TO m;
BEGIN
```

```
  p1: PROCESS
  BEGIN
    dout <= '0';
    WAIT on vin'ABOVE(thrp);
    dout <= '1';
    WAIT UNTIL NOT( vin'ABOVE(thrm));
  END PROCESS p1;
```

```
  iin == vin / 100.0e+3;
END ARCHITECTURE mycomp;
```



AMS-Erweiterungen von VHDL

```
ENTITY ind IS
  GENERIC(I: REAL := 1.0e-12);
  PORT (TERMINAL p, m: electrical);
END ENTITY ind;
```

```
ARCHITECTURE myind OF ind IS
  QUANTITY vind ACROSS iind THROUGH p TO m;
BEGIN
  vind == I * iind'DOT;
END ARCHITECTURE myind;
```



AMS-Erweiterungen von VHDL

```
ARCHITECTURE simple OF switch IS
  QUANTITY vout ACROSS iout THROUGH p TO m;
  SIGNAL reff: REAL := roff;
  BEGIN

  p1: PROCESS
  BEGIN
    IF din='0' THEN
      reff <= ron;
    ELSE
      din <= roff;
    END IF;
    WAIT ON din;
  END PROCESS p1;

  vout == iout * reff RAMP(tr, tf);
END ARCHITECTURE simple;
```

19

© Analogy GmbH 01.07.1999 Olaf Zinke



The System Design Challenge

Analogy und VHDL-AMS:

Die TheHDL-Architektur

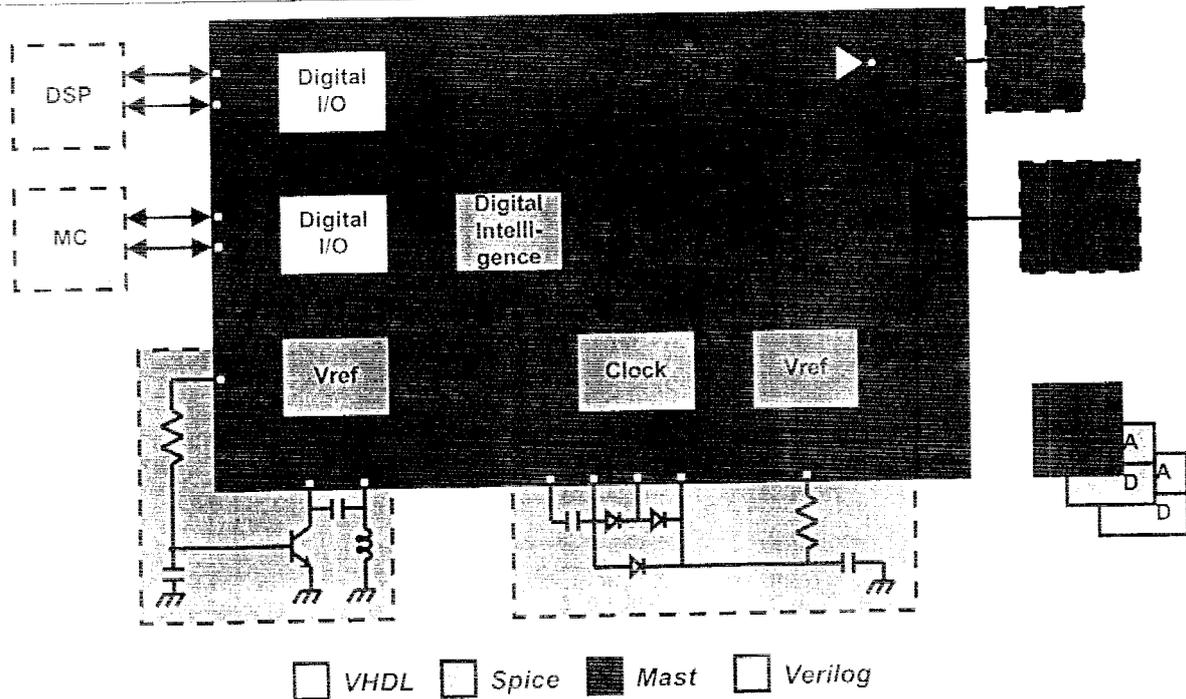
20

© Analogy GmbH 01.07.1999 Olaf Zinke





The System Design Challenge



21

© Analogly GmbH | 01.07.1999 | Olaf Zinke



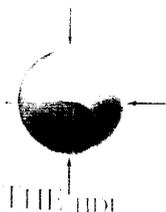
Saber-Simulator

- | | |
|------------------------|--|
| Simulator: | A/D-Mixed Signal,
Single Kernel,
Calaveras Algorithmus,
Multi-Technologie |
| Modellierungs-Sprache: | MAST™
Analoges und digitales Verhalten, Mixed Signal |
| MAST+VHDL: | Co-Simulation mit ModelSim oder Fusion |
| MAST+Verilog | Co-Simulation mit ModelSim Plus,
FusionHDL oder
VerilogXL |
| Spice (mehrere) | Übersetzung der Netzliste mit Nspitos (Saber) |

22

© Analogly GmbH | 01.07.1999 | Olaf Zinke





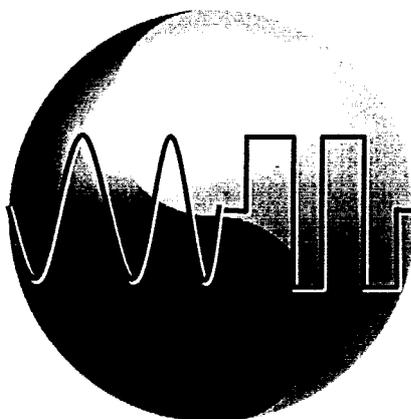
The Kernel is the Core

◆ Calaveras-based synchronization:

- Best-in-class.

◆ Language-aware kernel:

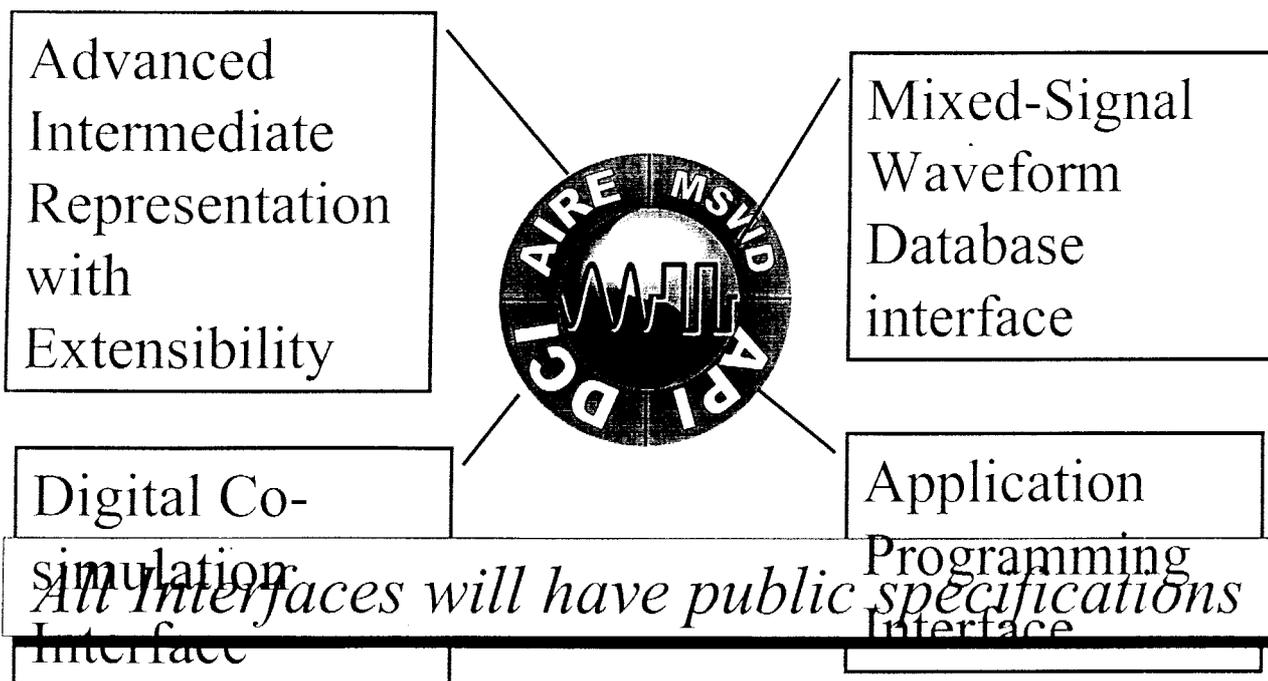
- VHDL-AMS.
- Verilog-AMS.
- MAST.
- Spice.

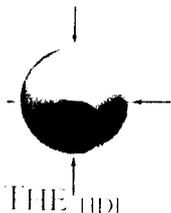


VERIAS_{HDL}



THE_{HDL}TM Open Architecture





TheHDL™ Open Architecture

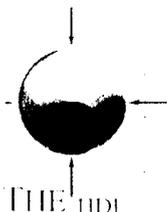
Advanced
Intermediate
Representation
with
Extensibility



- ◆ Documented language interface.
- ◆ Supports Verilog-AMS, VHDL-AMS, MAST, and Spice.
- ◆ Encourages more tool innovation:
 - Enables reuse of language compiler technology.
 - Encourages new languages to be developed.

25

© Analogy GmbH 01.07.1999 Olaf Zinke



TheHDL™ Open Architecture

Digital Co-
simulation
Interface



- ◆ Maintains the co-simulation links to our strong partners.
- ◆ Protects existing customer investments made in other EDA simulation tools.
- ◆ Enables Third Party Support.

26

© Analogy GmbH 01.07.1999 Olaf Zinke





TheHDL™ Open Architecture

◆ Controls simulator activities:

- Can control multiple simulation runs.
- Language debugger interface.

◆ Enables reuse of tools built for PLI, VHPI:

- e.g. hardware-software tools.
- Physical design back annotations.



Application
Programming
Interface

27

© Analogy GmbH 01.07.1999 Olaf Zinke



TheHDL™ Open Architecture

◆ Makes results viewing and post-processing independent of the simulator.

◆ Supports customer desire to reduce tool learning curves via company standardization.

◆ Supports post-processing tool development.



Mixed-signal
Waveform
Database
Interface

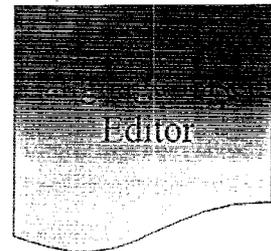
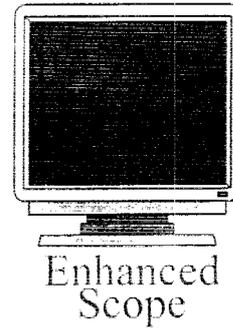
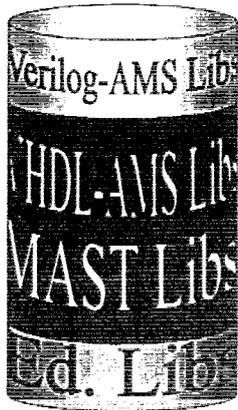
28

© Analogy GmbH 01.07.1999 Olaf Zinke





Ultimate Goal



25

© Analogy GmbH 01.07.1999 Olaf Zinke

 Analogy



Program Status

- ◆ First single kernel simulator implementing VHDL-AMS delivered to DARPA in October, 1998
- ◆ Alpha Version Delivered to DARPA and partners in February, 1999.
- ◆ Pre-Beta Version delivered to one automotive customer, May, 1999.

30

© Analogy GmbH 01.07.1999 Olaf Zinke

 Analogy



Market Education

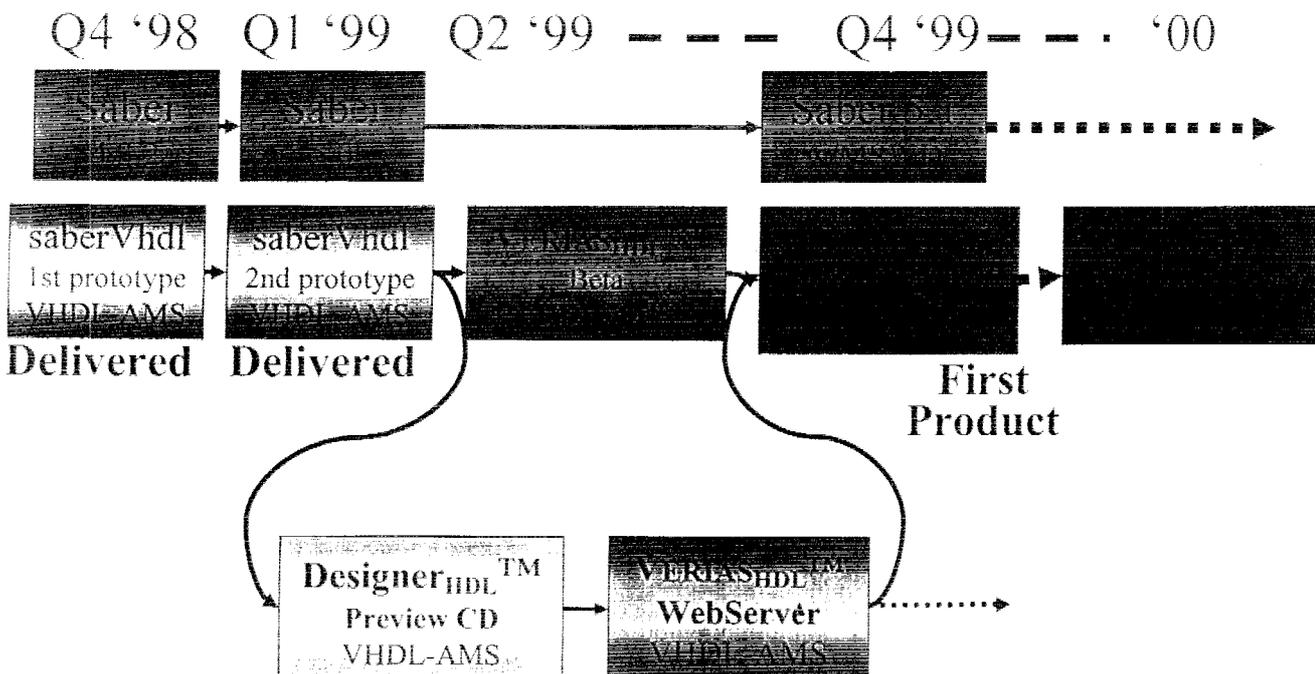
- ◆ The adoption of VHDL and Verilog took several years.
- ◆ **Analogy's Acceleration Program:**
 - Educational-level product available in Q4.
 - Open source example library.
 - Specifications of interfaces will be put into the public domain.

31

© Analogy GmbH 01.07.1999 Olaf Zinke



Product Line Roadmap



32

© Analogy GmbH 01.07.1999 Olaf Zinke





DESIGNER_{HDL}TM Preview CD

DAC '99

- ◆ **Promote VHDL-AMS to broad audience**
- ◆ **Audio simulation Example**
 - Simulation constrained to pre-packaged audio example models
- ◆ **Constrained SaberScope**
- ◆ **VHDL-AMS customized EMACs source editor**
- ◆ **Web-based support**

33

© Analogy GmbH 01.07.1999 Olaf Zinke



www.vhdlams.com

DAC '99

- ◆ **VHDL-AMS web site hosted by Analogy**
- ◆ **Registered Preview owner support**
- ◆ **Post DAC web registration for Preview CD**
- ◆ **VHDL-AMS model exchange - Q4**
- ◆ **VHDL-AMS chat room - Q4**
- ◆ **Web simulation server - Q3**

34

© Analogy GmbH 01.07.1999 Olaf Zinke





Conclusion

The Challenge

Provide designers with an open simulation environment, embracing industry standards and preserving investments in MAST.



The Solution

Analogy's TheHDL™ Single Kernel,
Open Architecture Technology.

Mikroelektronik in USA

- ein Reisebericht

G.Albert⁽¹⁾, D.Jansen⁽²⁾, G.Kampe⁽³⁾, H.Kreutzer⁽⁴⁾, H.Nielinger⁽⁵⁾,
E.Prochaska⁽⁶⁾, W.Ritzert⁽⁷⁾, W.Rülling⁽⁵⁾, R.Sauerburger⁽⁵⁾, H.Töpfer⁽³⁾

(1) FHT Mannheim, (2) FH Offenburg, (3) FHT Esslingen, (4) FH Reutlingen,
(5) FH Furtwangen, (6) FH Heilbronn, (7) FH Karlsruhe

**Zehn Professoren der Multi-Projekt-Chip-Gruppe an Fachhochschulen in Baden-Württemberg nahmen im Mai 1999 an der Konferenz CICC'99 in San Diego teil und nutzten den Aufenthalt auch zu mehreren Informationsbesuchen. Der Trend zur Miniaturisierung elektronischer Schaltungen ist ungebrochen und wird zur Zeit vor allem durch die Internet-Entwicklung vorange-
trieben. Dies wird an einigen ausgewählten Bereichen verdeutlicht: Kommunikationstechnik, Signalwandler, Programmierbare Bausteine. Außerdem wird über Verfahren zum Schutz der Urheberrechte an Schaltungsentwürfen berichtet. Die bemerkenswerte Erfolgsgeschichte eines FH-Absolventen im „Goldenen Westen“ und Gesprächsnotizen mit amerikanischen Hochschul-Kollegen runden die Reiseeindrücke ab.**

1 Vorbemerkung

Die Autoren unternahmen vom 13.-23.Mai 1999 eine Informationsreise in den Westen der USA und besuchten neben der Custom Integrated Circuits Conference (CICC '99) in San Diego auch folgende Firmen und Hochschulen:

Colby Instruments, Santa Monica
California Institute of Technology,
Pasadena (CALTECH)
University of California, Irvine (UCI)
University of Nevada, Las Vegas (UNLV)

Der nachfolgende Bericht gibt einige wesentliche Eindrücke über technologische Trends in der Mikroelektronik wieder, die während der Konferenz und bei den Informationsbesuchen entstanden sind. Eine inhaltliche Gesamtübersicht zur CICC bietet der Beitrag „Custom Integrated Circuits Conference 1999“ von W.Ritzert in diesem Workshop-Report.

2 Eröffnungsrede zur CICC '99

Die Eröffnungsrede von Dr. Pallab Chatterjee (Senior Vice President, Chief Information Officer, Texas Instruments Inc.) stand unter dem Thema „Internet Age and System Level Integration: New Challenges or Business as Usual?“

Welche Anforderungen werden heute und in Zukunft an die Halbleiterindustrie gestellt? Der heutige Massenmarkt für IC's wird bestimmt von den Herausforderungen durch Windows und Intel („Wintel“) und dem bereits zurückliegenden Übergang von zentralen zu verteilten Rechnerstrukturen. Heute und in Zukunft dominiert das Internet die Anforderungen an die Chip-Hersteller. Sprach man bisher von der Anzahl der Transistoren pro Chip (Moore's Law), so spricht man heute von der Anzahl der Teilnehmer im Internet (Metcalf's Law) als Technologieantrieb für die Halbleiterindustrie.

Neben der Verfeinerung der Strukturen und der Erhöhung der Anzahl der Chips pro Wafer wird es immer wichtiger, ganze Systeme auf einem Chip zu integrieren (System Level Integration, SLI; System On Chip, SOC). Gedacht ist hier zum Beispiel an Hochgeschwindigkeitsmodems (Gigabit to the Home,

xDSL, usw.) und Funkanwendungen, auch für Multimedia.

Nicht nur die digitalen, sondern auch die analogen und HF-Komponenten einschließlich der passiven Bauelemente sollen auf einem Chip integriert werden. Dies alles möglichst in CMOS Technik und für Versorgungsspannungen unter 3 Volt bei minimalem Energiebedarf.

Entscheidend für den Erfolg der Halbleiterindustrie wird nicht mehr so sehr die Reduzierung der Strukturen sein als vielmehr die Fähigkeit zu Integration von Systemen auf einem Chip und damit die Verminderung der Kosten und des Energieverbrauchs.

3 Kommunikationstechnik (CICC'99)

Schon in der Eröffnungssitzung (siehe Abschnitt 2) wurde prognostiziert, daß das Zeitalter der Telekommunikation bevorstehe. So verwundert es nicht, wenn eine große Anzahl von Beiträgen hochfrequente Bausteine und die digitale Signalverarbeitung der Basisbandsignale zum Thema hatten.

Die derzeitige Frequenzobergrenze für CMOS-Schaltungen liegt bei ca. 5 GHz; oberhalb regiert nach wie vor die Bipolar-Technologie, jetzt oft mit Germaniumemittern und f_T - Grenzfrequenz bis etwa 100 GHz.

Es befaßten sich bei den „Educational Sessions“ eine von vier Sitzungen mit „Wireless IC Design“ und etwa 1/3 der „Technical Sessions“ fast ausschließlich nur mit Hochfrequenzproblemen.

Das Hauptziel der Arbeiten besteht darin, möglichst viele bisher nicht integrierbare Komponenten, wie analoge Filter etc., durch neue Verfahren unnötig zu machen, die Leistungsaufnahme zu reduzieren und das Rauschverhalten zu verbessern. Dabei erweisen sich die Mischstufen als ein Schlüsselement. Zur Umgehung von Zwischenfrequenzfiltern wird das sehr alte, aber wegen Nebenwirkungen bisher selten verwendete Direktmischverfahren (direct conversion receiver) wiederbelebt. Man handelt sich dabei allerdings Offseteffekte ein, die dann mühsam mit D/A-Wandlern entfernt werden müssen. An die Linearität der Mischstufen werden sehr hohe Ansprüche gestellt, so daß durch verbesserte Simulationsmodelle und Methoden das Intermodulationsverhalten optimiert werden muß.

Ein weiterer Schlüsselpunkt liegt in der Reduktion des Phasenrauschens von spannungsgesteuerten Oszillatoren und von Quarzoszillatoren.

4 LAN/WAN-Transceiver- Technologie (Sitzung12, CICC'99)

Um den steigenden Anforderungen bei der digitalen Kommunikation gerecht zu werden, sind immer schnellere Bausteine notwendig. Dies zwingt den Entwickler zu innovativer digitaler und auch analoger Signalverarbeitung. Die im Rahmen der Session 12 vorgestellten Schaltungen werden in CMOS und Bipolartechnik realisiert. Die vorgestellten Anwendungen liegen dabei bei Ethernet (LWL-Technik und Twisted Pair) sowie bei verschiedenen Digital Subscriber Loops (xDSL).

Die Firma Lucent Technologies stellte zuerst ein 125 Mbaud 4-fach Transceiver für 10/100 Fast Ethernet vor. Er wurde für 5 V in 0,35µm-CMOS-Technologie entworfen. Seine Leistungsaufnahme beträgt 3 W. Eingehende Tests zeigten hervorragende Empfangseigenschaften mit fehlerfreiem Arbeiten bis zu 160 m auch unter ungünstigen Übertragungsbedingungen. Ebenfalls wurde von der gleichen Firma auch ein Transmitter mit zwei Übertragungsgeschwindigkeiten 125 Mbaud/10Mbaud vorgestellt.

Die immer schneller werdende Übertragung stellt an die Taktrückgewinnung und Dekodierung hohe Ansprüche. Von der Carleton University wurde ein 1,25 GHz PLL-Taktgenerator vorgestellt. Er ist in 0,35µm-CMOS-Technologie gefertigt und benötigt 100 mW bei 3,3 V. Die Firma VLSI Technology wandte sich der Takt- und Datenregeneration zu und ist ebenfalls für den Einsatz bei 1,25 GHz gerüstet.

Die beiden letzten Vorträge gingen auf den Teilnehmer-anschlußbereich näher ein. Conexant System Inc. stellte einen Line-Treiber für HDSL (High Bit Rate Digital Subscriber Loops) vor. Der Treiber unterstützt Datenraten bis 1,544 Mbit/s und kann bei entsprechender Kabelqualität bis zu ca. 7 km eingesetzt werden. Auch dieser Baustein wurde in 3,3 - CMOS-Technologie gefertigt. Im zweiten Vortrag wurde ein 2,5Gbit/s-Einchip-Empfängermodul vorgestellt, das im Rahmen von Gigabit-To-The-Home (GTTH) bei LWL-Technik eingesetzt werden soll. Das Modul umfaßt eine Größe von 14 x 19 mm und nimmt ca. 450 mW bei 3,3V auf.

Wie die Vorträge zeigten, geht der Trend nicht nur im WAN-Bereich sondern auch im LAN-Bereich zu einer immer schnelleren Datenübertragung hin. Da-

bei versucht man, durch entsprechendes Design und Einchiplösungen die Kosten der Systeme so zu senken, daß für den "Endverbraucher" zukünftig akzeptable Preise zu erzielen sind.

5 A/D und D/A-Wandler (Sitzung 7, CICC'99)

Heutige integrierte digitale Schaltungen sind durch eine sehr hohe Packungsdichte und Komplexität bestimmt. Es wird daher zunehmend der Begriff des "System-on-a-Chip" geprägt. Diese Systeme zeichnen sich zusätzlich durch eine erhöhte Funktionalität, erhöhte Leistung, geringen Leistungsverbrauch und geringe Kosten aus. Trotzdem ist die Verbindung zu der analogen Welt immer zu gewährleisten.

Die Analog/Digital - und Digital/Analog - Wandler spielen in der Beurteilung des Gesamtsystems eine wichtige Rolle und beeinflussen häufig die Gesamteigenschaften des Systems.

Auf der Tagung wurden mehrere Vorträge präsentiert, die Verbesserungen in der Architektur und der Schaltungstechnik von A/D- und D/A-Wandlern aufzeigten. So wurde ein A/D-Wandler mit geringem Leistungsverbrauch vorgestellt, der auf die eingangsseitige Sample-Hold-Schaltung verzichtet, um Leistung zu sparen. Die eingangsseitige Abtaststufe in Verbindung mit Flashkomperatoren und einer Pipelinearchitektur der Gesamtschaltung gestatten bei 10 Bit Auflösung eine Samplingfrequenz von 40Mhz bei einem Leistungsverbrauch von 55mW.

Außerdem wurde ein 8bit-150MHz-CMOS-A/D-Wandler beschrieben, der verschiedene neue Techniken zur Geschwindigkeitssteigerung aufweist. In diesem Fall wurden z.B. nicht rückgekoppelte Verstärkertechniken verwendet, um die Geschwindigkeitssteigerungen zu erreichen. Eine gleitende Interpolationstechnik reduziert die Anzahl der benötigten Interpolationsverstärker. Zwei weitere Vorträge behandelten D/A-Wandler, wobei unter anderem eine neue Gewichtungsmethode, die data-weighted-averaging method (DWA), vorgestellt wurde. Dabei wurde auch ein Verfahren zur Vermeidung von Grenzyklen angegeben.

Schließlich befaßten sich zwei Beiträge intensiv mit einem Bandpaß-Delta-Sigma-Modulator. Für dieses wohlbekannte Wandlerkonzept wurden viele interessante Detailverbesserungen angegeben.

6 Programmierbare Logikbausteine (Sitzung 9, CICC'99)

Die Programmierung von FPGA und PLD soll in Zukunft einheitlich mit dem „JTAG-Interface“ (IEEE 1149.1) geschehen : In System Programming, „ISP“. Das JTAG-Interface besteht aus vier standardisierten Signalen. Die Programmierbefehle werden dazu neben den bereits üblichen Befehlen wie EXTEST und SAMPLE in den TAP-Controller des JTAG-Busses eingebunden.

Um Programmierung und Test einheitlich zu beschreiben, wurde die Sprache „Jam“ geschaffen. Die Jam-Sprache wurde vom JEDEC JC42 PLD-Committee 1998 definiert. Jam hat ähnlich wie Java eine 8Bit-Befehlswortbreite. Jam hat neben den üblichen Befehlen einer Programmiersprache auch spezielle Befehle für den Zugriff auf den JTAG-Bus. Das Interface zum JTAG-Bus bildet ein „JAM-Player“ genannter Rechner.

Die Programmieralgorithmen sollen ebenfalls standardisiert werden. Zu diesem Zweck wird von einer IEEE-Arbeitsgruppe der Standard P1532 entwickelt. Das Laden der Instruktionen in das Instruction Register des JTAG-Busses geschieht seriell. Dazu können auch mehrere Chips in Reihe geschaltet werden. Dieser Ladevorgang ist im Standard JESD32 „Standard for Chain Description File“ beschrieben.

In einem weiteren Beitrag wurde eine neue Generation von Altera FPGA beschrieben. Die APEX-Familie ist eine Weiterentwicklung der bekannten FLEX-Familie und besteht bisher aus 7 Chips. Das größte Chip hat bis zu 2 Millionen Gatter. Einige wichtige Eigenschaften der APEX-Serie:

Betriebsspannung:	1,8 V ; 2,5V
I/O-Interface:	flexibel einstellbar auf LVTTTL, LVCMOS, SSTL, HSTL
Clock:	bis 200 MHz, über interne PLL generierbar
I/O-Pins:	252 - 780
Zahl der Makrozellen:	416 - 4224, (jede Makrozelle enthält 160 Latches)
Typbezeichnung:	EP20 K 100 - EP20 K 1000

Über den eingebauten JTAG-Port ist ein Zugriff auf alle internen Logikzellen möglich (Virtual Logic Analyser Mode) .

Schließlich wurde eine Weiterentwicklung der bereits seit einigen Jahren bekannten Max-7000-

Familie von Altera vorgestellt. Der Core arbeitet mit 3,3V Betriebsspannung, die I/O-Zellen können mit 2,6 - 5V betrieben werden. Aus den 3,3V wird durch eine mehrstufige Ladungspumpe die 16,5V Programmierspannung für die EEPROM-Zellen erzeugt. Die Programmierung erfolgt über den JTAG-Bus, die Programmierzeit wurde durch eine Verkürzung des Programming Pulses etwa auf ein Drittel reduziert.

Weitere Eigenschaften der 7000AE-Familie:

- 0,32µm CMOS, EEPROM-Speicher, JTAG-Interface
- verkürztes Delay: Pin to Pin Delay typ. 3.0ns - 4.9ns
- "Hot Socket": durch spezielle Schutzschaltung auch bei eingeschalteter Betriebsspannung ohne Zerstörungsgefahr ein- und aussteckbar

7 Kopierschutz für Schaltungsentwürfe durch „Wasserzeichen“ (Sitzung 3, CICC '99)

Mehrere Tagungsbeiträge beschäftigten sich mit dem Entwurf und der Wiederverwendung von IPs (IP=Intellectual Property). Das sind kommerziell verfügbare Schaltungsentwürfe, die man in eigenen Chipentwürfen als Subzellen oder Makros verwenden kann. Besonders wurde darauf eingegangen, wie man IPs durch Wasserzeichen sichern kann. Die Idee ist dabei, daß jede Kopie einer Schaltung automatisch das normalerweise unsichtbare Wasserzeichen der Schaltung trägt; damit kann jederzeit nachgewiesen werden, von wo eine Schaltung stammt. Beispielsweise könnte bei der Chipfertigung automatisch geprüft werden, welche IPs in den Chips verwendet werden, oder der Autor eines IP könnte nachträglich beweisen, daß ein gefertigtes Chip unter Verwendung seines IPs entstanden ist.

Das Problem beim Anbringen einer solchen versteckten Signatur besteht darin, daß man beim IP-Entwurf meist gezwungen ist, Beschreibungen auf unterschiedlichen Ebenen offenzulegen, damit der Kunde die Schaltung auf verschiedene Prozesse portieren kann und auch Schaltungssimulationen

und Verifikationen durchführen kann. Das Wasserzeichen kann deshalb am besten in der Funktionalität der Schaltung versteckt werden.

Beispielsweise wurde dargestellt, wie man Wasserzeichen unter Ausnutzung von Freiheitsgraden eines endlichen Automaten verstecken kann. Dabei entstehen Schaltungen, die sich bei Eingabe zulässiger Daten genau so verhalten, wie es die Spezifikation vorschreibt. Bei der Eingabe ungültiger Daten antwortet das Chip dagegen mit willkürlich aussehenden Ergebnissen, die der gewünschten Signatur (d.h. dem Wasserzeichen) entsprechen. Die Sicherheit dieses Verfahrens besteht darin, daß man nur mit extrem hohem Aufwand entscheiden kann, welche Automatenübergänge für die Chipfunktion wesentlich sind und welche nur zur Bildung des Wasserzeichens eingefügt wurden.

Ein solches Wasserzeichen kann praktisch nicht entfernt werden. Man kann sogar zeigen, daß das Wasserzeichen selbst nach Schaltungsmodifikationen mit hoher Wahrscheinlichkeit noch erkennbar bleibt. Der zusätzliche Hardwareaufwand für das Wasserzeichen ist sehr gering und kann automatisch bei der Schaltungssynthese eingefügt werden. Deshalb ist es prinzipiell auch möglich, nachträglich festzustellen, mit welchen Tools (bzw. unter Verwendung welcher Lizenzen) eine Schaltung erstellt wurde.

Während das oben skizzierte Verfahren recht allgemein einsetzbar ist, kann man auch anwendungsspezifische Wasserzeichen einführen. Als Beispiel wurde auf der Tagung ein digitales Filter vorgestellt, dessen Frequenzverhalten mit einer vorgegebenen Genauigkeit spezifiziert wurde. Unter Einhaltung dieser Genauigkeit wurden die Filterkoeffizienten nachträglich so modifiziert, daß sie eine Signatur bilden. Durch präzises Ausmessen der Filtereigenschaften kann dann im laufenden Betrieb die Signatur jederzeit rekonstruiert werden.

Schließlich kann man den gleichen Sicherheitseffekt sogar ohne jede Zusatzhardware durch Signaturen in der Schaltungsarchitektur erreichen. Dazu wählt man auf systematische Weise bei jeder Instanz einer Zelle eine von mehreren äquivalenten Varianten aus. So erzeugte Wasserzeichen äußern sich nicht im Verhalten der Schaltung und sind nur durch Untersuchung der Netzliste zu entdecken.

Bisher sind die beschriebenen Techniken wohl noch nicht im praktischen Einsatz. Mit dem zu erwartenden wachsenden Einsatz von IPs werden Wasserzeichen aber sicher große Bedeutung bei der Wahrung von Urheberrechten gewinnen.

8 Firma Colby Instruments

Santa Monica, 1810 14th Street ist die Adresse von COLBY INSTRUMENTS. Herr Dr.Knorr, ein Absolvent der FH Furtwangen und President of Colby Instruments, nahm sich viel Zeit und zeigte seinen Besuchern während zwei hochinteressanten Stunden den Entwicklungs- und Montagebereich der von ihm gegründeten Firma.

Colby Instruments sucht sich Marktnischen aus, in der Spezialisten nur dann erfolgreich arbeiten können, wenn sie bereit sind, alles auf eine Karte zu setzen und jahrelang mit großem Risiko eine Neuentwicklung durchzuführen sowie die dazugehörige Technologie aufzubauen.

Die schnelle Entwicklung in der Halbleiterindustrie und die damit einhergehende Steigerung der Taktfrequenzen zwang beispielsweise die Hersteller digitaler Prüfsysteme, die Ansteuerung einzelner Stimuli hochgenau aufeinander abzustimmen. Die dazu notwendigen Verzögerungsleitungen müssen entweder in Abstufungen programmierbar oder sogar kontinuierlich änderbar sein.

Dr.Colby demonstrierte mit Hilfe eines PCs beeindruckend die Eigenschaften einer seiner programmierbaren Verzögerungsleitungen. Damit hat er in jahrzehntelanger Kleinarbeit erreicht, daß Halbleiter- und Prüfsystemhersteller aus aller Welt Verzögerungsleitungen bei Colby Instruments einkaufen.

Aber das ist nur eine der Produktlinien. Wenn man Verzögerungszeiten genau einstellen kann, ist es hilfreich, die eingestellte Verzögerungszeit auch selbst messen zu können. Deshalb wurden Meßgeräte entwickelt, die Verzögerungszeiten mit einer Auflösung von 0,1ps (!) messen können. Allerdings stellt sich dann schnell die wichtige Frage, wie man diese Meßgeräte eichen kann. Dazu wird zur Zeit bei der Firma Colby Instruments ein Zeitnormal neu entwickelt, das es dem Kunden erlaubt, seine Meßgeräte selbst zu eichen. Voraussetzung für dieses Verfahren ist allerdings eine Atomuhr; das ist bei diesen hohen Anforderungen verständlich.

Alle technischen Fragen der Besucher wurden ausführlich und ohne Vorbehalte beantwortet. Es wurde jedoch ganz deutlich, daß das wirklich wichtige Wissen auf diesem Spezialgebiet in der jahrelangen Erfahrung in Entwicklung und Produktion dieser Geräte steckt. Und so etwas kann innerhalb von zwei Stunden leider nicht erfragt werden.

Die Firma Colby Instruments vereinigt in einmaliger Weise solides Spezialwissen der Nachrichtentechnik mit dem Knowhow der Präzisionsmechanik. Sie

stellt ein ganz besonderes Musterbeispiel für die Mechatronik dar.

9 University of California, Irvine (UCI)

Am 18.05.99 besuchte die Delegation der MPC-Gruppe Prof. Dr. Daniel Gajski an der UCI in Los Angeles. Prof.Gajski ist Direktor des Center for Embedded Computer Systems. Er berichtete über die Universität und seine dort durchgeführten Forschungsaufgaben. Die Universität weist etwa 18000 Studierenden auf und gehört zur Gruppe der Universitäten von Kalifornien, die zentral von einem Präsidenten vertreten werden.

Der Bereich der Elektrotechnik ist mit etwa 1200 Studierenden nur ein kleiner Ausschnitt. Die Studierenden zahlen ca. 14000\$ Studiengebühren pro Jahr, soweit diese Kosten nicht von Stipendien oder durch Assistantships abgedeckt sind. Nach Aussage von Prof. Gajsky muß nur etwa ein Drittel der Studierenden die Studiengebühr selbst tragen. Die Studierenden von Prof. Gajsky aus dem Master- und PhD-Programm werden von ihm komplett über Industrieaufträge finanziert.

Wir hatten Gelegenheit, im Rahmen der Vorstellung der Forschungsarbeiten drei Studenten aus Deutschland sowie einen Studenten aus den USA kennenzulernen. Von den Deutschen bearbeitete einer seine Studienarbeit, ein weiterer seine Diplomarbeit, der dritte stand kurz vor dem Abschluß als PhD-Student.

Prof. Gajski arbeitet derzeit an der sogenannten Spec-C Entwurfssprache zur Spezifikation digitaler Elektronik in abstrakter Weise. Er erläuterte uns anhand seines berühmten Y-Diagramms, wo diese Arbeiten einzuordnen sind, und demonstrierte uns die erfolgreiche Anwendung dieser Sprache in Industrieprojekten. Die Spezifikationen und Dokumentationen zu Spec-C sind von der WEBSITE <http://www.ics.uci.edu> herunterladbar.

Prof.Gajski ist bereit, auch Studierende aus deutschen Fachhochschulen, von denen er ein gutes Bild gewonnen hat, als Master- oder sogar als PhD-Studenten aufzunehmen.

10 University of Nevada, Las Vegas (UNLV)

An der University of Nevada Las Vegas besuchte die MPC-Delegation zwei Departments des Howard Hughes College of Engineering. Die dortigen Kollegen Prof.Maurer (aus Deutschland) und Prof Schill stellten zunächst ihre Arbeitsgebiete vor und nannten einige Daten zu ihrer Hochschule.

Prof. Maurer arbeitet im Mechanical Engineering Department. Seine Arbeitsschwerpunkte sind: Industrieroboter, Sensorsysteme, Regelungstechnik und Simulation in der Regelungstechnik.

Die Universität Las Vegas ist eine von 2 staatlichen Hochschulen im Staat Nevada. Sie hat z. Z. etwa 20000 Studenten und 612 Lehrkräfte. Im Engineering Department studieren ca. 500 Undergraduate-, ca. 50 Graduate- und 20 PhD-Studenten. Es ist schwierig, genügend Bewerber für den Ingenieurstudiengang und insbesondere für die Mechanik zu finden. Deshalb wird eine intensive Werbung an High-Schools betrieben. Ein großer Teil der Bewerber kommt aus China und Indien.

Die Studiengebühren der Universität Las Vegas sind relativ niedrig: etwa 1000\$ pro Semester für Einwohner des Bundesstaates Nevada (Residents).

Das Undergraduate-Studium bis zum Bachelor dauert 8 -10 Semester (nominal 8 Semester, verlängert sich aber häufig wegen Nebenjobs zum Geldverdienen) und umfaßt 130 Credits. Es wird mit einem Projekt und dem dazugehörigen Report abgeschlossen. Neben diesem Bachelor-Projekt wird während des Studiums noch ein weiteres kleines Projekt durchgeführt; es gibt aber keinerlei Industriepraktika. Die meisten Bachelor-Absolventen gehen in die Industrie; nur einer von 5 macht anschließend seinen Master.

Der Master-Studiengang dauert 2 Jahre und umfaßt 30 Credits. Die meisten Master-Studenten haben ein Assistentship und bekommen dafür von der Universität ein Gehalt von ca. 1000\$ pro Monat. Der Master-Studiengang schließt mit einer Master-Thesis und möglichst einer wissenschaftlichen Veröffentlichung ab.

Der PhD dauert 3-4 Jahre. Am Ende muß mindestens eine wissenschaftliche Veröffentlichung für eine renommierte Fachzeitschrift erstellt werden.

Prof. Robert Schill unterrichtet als Associate Professor im Electrical Engineering Department. Das Elektrotechnikstudium ist sehr modular aufgebaut; es gibt 8 Tracks (Spezialisierungen).

Prof.Schill hat die Arbeitsschwerpunkte magnetisches Feld und Vakuumtechnik. Er arbeitet gerade am Aufbau einer CVD-Anlage. Im Bereich Chip-Charakterisierung. Weiterhin wird VLSI-Design mit MOSIS und Microwave Design gelehrt. Im Chip-Labor konnten die Besucher im Rahmen einer Besichtigung folgende Geräte sehen: Keithly-Tester mit Prober, CVD-Maschine (im Aufbau), Sputter Anlage, Implantationsofen, abgeschirmte Kammer für EMV-Messungen.

Anschließend wurde mit Prof.Maurer das mechanische Labor besichtigt. Prof. Maurer arbeitet mit 2 Industrierobotern. Einer der beiden Roboter ist eine sehr große Maschine, die ursprünglich für die Automobilmontage verwendet wurde und dem Labor von einer Firma geschenkt wurde. Weiterhin gibt es einen neuen fahrbaren und sich mittels Sensoren selbstständig orientierenden Roboter. Außerdem besitzt das Labor einen schalltoten Raum und eine sehr große Strahlungsmessanlage für Civil Engineering (Bauwesen).

11 California Institute of Technology, Pasadena (CALTECH)

Prof.Nielinger (FH Furtwangen) verbrachte sein Fortbildungssemester im Sommer 1996 an der De Montfort University (Leicester, UK) und konnte damals das am CALTECH von Prof. David Rutledge entwickelte Simulations- und Design- Programm für Mikrowellenschaltungen PUFF für den Aufbau eines entsprechenden Labors erfolgreich verwenden.

Das Programm stellt ein ideales Hilfsmittel für eine praxisorientierte Ingenieurausbildung dar und erfreut sich weltweit, nicht zuletzt wegen seines geringen Preises (10 US\$!), großer Beliebtheit (14000 Kopien verteilt!).

Erfreulicherweise war Prof. Rutledge bereit, die Reiseteilnehmer am 14.5.99 in seinem Institut zu empfangen. Er stellte das CALTECH als eine kleine private Elite-Universität vor mit 900 Undergraduate (Bachelor-), 1100 Graduate (Master- und PhD-) Studenten und 1000 akademischen Lehrern. Die Finanzierung ist neben Studiengebühren und Drittmitteln durch die Zinsen eines Stiftungskapitals von 1,2 Mrd. US\$ gesichert. Die Undergraduate-Ausbildung erfolgt ähnlich unserer FH-Ausbildung in

seminaristischer Weise (kleine Hörsäle!) sehr praxisorientiert. Als Beispiel wurde die Analogtechnik im 2. Studienjahr vorgestellt: ein 9h-Kurs (3h Vorlesungen, 3h Labor, 3h Hausarbeit), in dem die Studierenden einen Transceiver im Amateurfrequenzbereich entwerfen, bauen und meßtechnisch verifizieren müssen. Im allgemeinen wird dieser Kurs mit großem Eifer absolviert; einigen Studierenden allerdings sei er zu zeitaufwendig, sie würden den Einredungen der Mathematiker folgend lieber mehr Algebra lernen!

Als Beispiel der verschiedenen Forschungsaktivitäten im Bereich der Mikrowellenleistungsverstärkung stellte ein japanischer PhD-Student einen Klasse-E-Schmalband-Leistungsverstärker vor, bei dem der

Transistor geschaltet wird und der Ausgangskreis unter Berücksichtigung aller parasitären Elemente so dimensioniert wird, daß Strom durch den Transistor und Spannung am Transistor sich minimal überlappen. Mit diesem Prinzip werden jetzt 500W Ausgangsleistung mit einem Wirkungsgrad von 90% bei 500 MHz erreicht. Ziel der Forschung ist es, in dem für intergalaktische Nachrichtenverbindungen vorgesehenen Frequenzband von 32 GHz eine Ausgangsleistung von 100mW mit einem Wirkungsgrad von 60% zu erreichen. Prof.Nielinger kam dabei ins Schwärmen: „I had a dream - solche Aufgaben könnte die deutsche Fachhochschule auch leisten, wenn die Ausstattung entsprechend existierte und die Strukturen stimmten: Bachelor-, Master- und PhD-Programme!“

