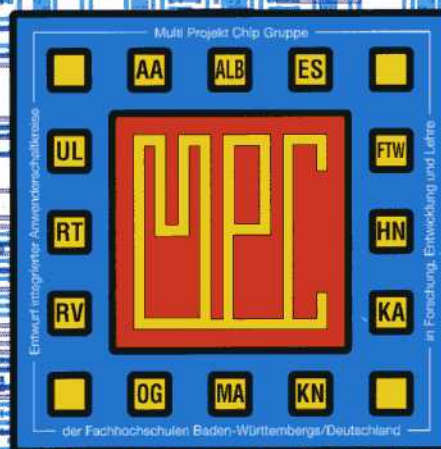


MULTIPROJEKT CHIP-GRUPPE

BADEN - WÜRTTEMBERG

MPC-Workshop Juli 2001

Pforzheim



MULTIPROJEKT CHIP-GRUPPE

BADEN - WÜRTTEMBERG

MPC-Workshop Juli 2001

Pforzheim

Cooperating Organization
Solid-State Circuits Society Chapter
IEEE Germany Section



Herausgeber: Fachhochschule Ulm

© 2001 Fachhochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers Prof. A. Führer, Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm.

Adressen der

MULTIPROJEKT - CHIP - GRUPPE (MPC-Gruppe)

BADEN - WÜRTTEMBERG

<http://www.mpc.belwue.de>

Fachhochschule Aalen

Prof. Dr. Kohlhammer, Postfach 1728, 73428 Aalen

Tel.: 07361/576-296, Fax: -324, Email: bernd.kohlhammer@fh-aalen.de

Fachhochschule Albstadt-Sigmaringen

Prof. Dr. Rieger, Johannesstr. 3, 72458 Albstadt-Ebingen

Tel.: 07431/579-124, Fax: -149, Email: rieger@fh-albsig.de

Fachhochschule Esslingen

Prof. Dr. Kampe, Flandernstr. 101, 73732 Esslingen

Tel.: 0711/397-4221, Fax: -4212, Email: gerald.kampe@fht-esslingen.de

Fachhochschule Furtwangen

Prof. Dr. Rülling, Postfach 28, 78113 Furtwangen

Tel.: 07723/920-503, Fax: -610, Email: ruelling@fh-furtwangen.de

Fachhochschule Heilbronn

Prof. Dr. Clauss, Max-Planck-Str. 39, 74081 Heilbronn

Tel.: 07131/504-400, Fax: /252-470, Email: clauss@fh-heilbronn.de

Fachhochschule Karlsruhe

Prof. Ritzert, Postfach 2440, 76012 Karlsruhe

Tel.: 0721/925-1512, Fax: -1513, Email: ritzert@fh-karlsruhe.de

Fachhochschule Konstanz

Prof. Dr. Voland, Brauneggerstraße 55, 78462 Konstanz

Tel.: 07531/206-644, Fax: -559, Email: voland@fh-konstanz.de

Fachhochschule Mannheim

Prof. Dr. Albert, Speyerer Str. 4, 68136 Mannheim

Tel.: 0621/2926-351, Fax: -454, Email: g.albert@fh-mannheim.de

Fachhochschule Offenburg

Prof. Dr. Jansen, Badstr. 24, 77652 Offenburg

Tel.: 0781/205-267, Fax: -242, Email: d.jansen@fh-offenburg.de

Fachhochschule Pforzheim

Prof. Dr. Kesel, Tiefenbronner Str. 65, 75175 Pforzheim

Tel.: 07321/28-6567, Fax: -6060, Email: kesel@fh-pforzheim.de

Fachhochschule Ravensburg-Weingarten

Prof. Dr. Klotzbücher, Postfach 1261, 88241 Weingarten

Tel.: 0751/501-630, Fax: /49240, Email: klotzbuecher@fbe.fh-weingarten.de

Fachhochschule Reutlingen

Prof. Dr. Kreutzer, Federnseestr. 4, 72764 Reutlingen

Tel.: 07121/341-108, Fax: -100, Email: hans.kreutzer@fh-reutlingen.de

Fachhochschule Ulm

Prof. Führer, Postfach 3860, 89028 Ulm

Tel.: 0731/50-28338, Fax: -28363, Email: fuehrer@fh-ulm.de

Inhaltsverzeichnis

	Seite
1. Kooperation zwischen der MPC-Gruppe und der SSCS	5
2. Die Multi-Projekt-Chip-Gruppe wie sie entstand und sich weiter entwickelte K. Schmidt, FH Furtwangen A. Führer, FH Ulm	7
 Workshop-Vorträge	
3. Internet als virtuelle Lernumgebung Erfahrungsbericht über eine Laborveranstaltung mit Lotus Learning Space E. Prochaska, FH Heilbronn	11
4. VLSI Circuits - Bericht aus Japan D. Jansen, FH Offenburg, G. Kampe, K. Knöffel, FHT Esslingen, H. Nielinger, K.H. Schmidt, FH Furtwangen, E. Prochaska, FH Heilbronn, G. Albert, FH Mannheim, W. Ritzert, FH Karlsruhe	15
5. Laderegler-ASIC für Solarsysteme T. Brenner, G. Forster, FH Ulm	23
6. Schnittkraftmesser mit rotierendem Kraftaufnehmer N. Lämmerzahl, B. Kurz, H. Töpfer, FH Göppingen	31
7. iSign - eLearning-System für die Mikrowellentechnik R. Wehrle, A. Christ, FH Offenburg	35
8. Entwicklung einer Systemumgebung für "System Level Design" in SpecC D. Berner, FH Offenburg	41
9. Wireless Communication - Chips für die Zukunft F. Heinrich, ATMEL Germany GmbH	47
10. Verlustleistung in hochintegrierten CMOS-Digitalschaltungen F. Kesel, FH Pforzheim	67

Kooperation

Zwischen der Multi Projekt Chip – Gruppe in Baden Württemberg und dem Solid State Circuits Society Chapter der IEEE Germany Section wurde für die Workshops der MPC-Gruppe eine Kooperation vereinbart. Das war im November 2000 und es wurde erstmals in die Tat umgesetzt zum 25. Workshop der MPC-Gruppe, der von 1. bis 2. Februar 2001 in Aalen stattfand. Das Chapter der SSCS möchte unser Forum im Süddeutschen unterstützen und zum gemeinsamen Fachgebiet der Integrierten Schaltkreise beitragen.

Die Kooperation sieht vor, über den IEEE Deutschland Verteiler wird allen Mitgliedern von SSCS (ca 500) per Email angekündigt, wann und wo der nächste Workshop der MPC-Gruppe stattfindet und dazu eingeladen: IEEE verweist dazu jeweils weiter auf die Webpage der MPC-Gruppe. Dort findet sich künftig auch der Call for Papers. Auf der Webpage können alle wichtigen Informationen zu den Workshops eingesehen und die Anmeldeblätter heruntergeladen werden.

Die Einladung zum Workshop trägt auch das SSCS Logo mit dem Zusatz: Cooperating Organization Solid State Circuits Society Chapter IEEE Germany Section.



Am 2. Febr. 2001 trafen sich in Aalen die Vorsitzenden und Stellvertreter jeweils vom SSCS Chapter und der MPC-Gruppe. Auf dem Foto sind die Personen: Dr. H. Blume, RWTH Aachen, Chair SSCS Chapter (Mitte links), Prof. Dr. D. Jansen, FH Offenburg, Sprecher MPC-Gruppe (Mitte rechts), Prof. Dr. K. Schmidt, FH Furtwangen, Vice-Chair SSCS Chapter (links), Prof. Dr. G. Kampe, FHT Esslingen, Stellvertretender Sprecher MPC-Gruppe (rechts).

Die Multi-Projekt-Chip-Gruppe

wie sie entstand und sich weiter entwickelte

K. Schmidt, FH-Furtwangen

A. Führer, FH-Ulm

Angeregt durch das Jubiläum „25. Workshop“ im Februar 2001, wird die Entstehung der Multi-Projekt-Chip-Gruppe (MPC-Gruppe) dargestellt.

Der Anstoß

„Innovationen der neuen Mikroelektronik durch neue Lehrmethoden in Elektrotechnik und Informatik“ so heißt der Vortrag von Prof. Dr. R. Hartenstein von der Universität Kaiserslautern, den er im März 1983 an der Universität Karlsruhe hält. Längst schon sind die aufrüttelnden Botschaften des als Gast von der University Berkeley aus den USA zurückgekehrten Professors in die Planung eines für die Bundesrepublik einmaligen Verbundprojekts des Bundesministeriums für Forschung und Technologie eingeflossen. Es ist die Rede vom EIS-Projekt, das bedeutet Entwurf Integrierter Schaltkreise. An diesem beteiligen sich von Juli 1983 bis Juni 1986, teils verlängert bis Ende 1987, anfangs bundesweit 26 Teilnehmer aus Universitäten und Hochschulen, um die Ausbildung einer größeren Anzahl von Fachleuten und die Forschung auf diesem Gebiet zu intensivieren. Die Leitung liegt bei der GMD. Von den Fachhochschulen nimmt anfangs nur eine einzige teil, Furtwangen. Kollege Schmidt, bereits in einem Vorgängerprojekt (der FhG) dabei gewesen, erhält gemeinsam mit den Kollegen Nielinger und Kuntz den Zugang. Später kommen noch die Fachhochschulen Ulm, Kollege Führer, und Esslingen, Kollege Kampe, hinzu. Allen drei am EIS-Projekt beteiligten Fachhochschulen ist interessanterweise gemeinsam, dass sie in Baden-Württemberg liegen. Selbstverständlich ist das zuständige Landesministerium von Anfang an über die Teilnahme dieser Fachhochschulen am EIS-Projekt informiert.

Kommen wir zum Inhalt des Vortrags von Prof. Dr. Hartenstein zurück, dessen Unterabschnitte lauten: Weiterer Rückgang unserer Wettbewerbsfähigkeit. Die „neue“ Mikroelektronik. Freisetzung großer Energiemengen durch die neue Lehre. Strukturwandel durch die Mikroelektronik. Konsequenzen.

Das Ministerium für Wissenschaft und Kunst in Stuttgart, an der Spitze Minister Prof. Dr. Helmut Engler, will diesen Aussagen nachgehen und die Notwendigkeit einer Umsetzung auch für die Fachhochschulen prüfen. Wir schreiben den 17.12.1984. Zwei Vorgänge dieses Tages sind hervorzuheben (konzertiert unter dem gleichen Aktenzeichen):

Ein Brief geht an Prof. Dr. Hartenstein. Der Briefftext ist nicht bekannt geworden, aber die Antwort, so dass man auf Inhalt und Anstoß rückschließen kann. Hier die Antwort. „Betreff: Die „Neue Mikroelektronik“. Bezug: Einweihung des Mikroelektronik-Labors in Furtwangen am 6.11.1984. Sehr geehrter Herr Minister,...für Ihr Schreiben... vom 17.12.84 danke ich herzlich. ... Insbesondere die „Thesen zur Mikroelektronik“... aus meinem Vortrag bestätigen, daß man in Furtwangen genau auf dem richtigen Weg ist.“

Ein Brief von Herrn RD Peter Guntermann des MWK geht an die Fachhochschule Furtwangen mit der Anfrage, ob sie „prüfen könnte, ob und wie die Anregungen, die Herr Prof. Dr. Hartenstein in dem beiliegenden Vortragstext gibt, auch in der Ausbildung an den Fachhochschulen im Lande Baden-Württemberg aufgegriffen werden können.“ Dabei handelte es sich um den Vortragstext von Karlsruhe vom März 1983.

Diese Aufforderung stößt einen denkwürdigen Prozess an, aus dem die vielfältigen, fruchtbaren Anstrengungen der Fachhochschulen in Baden-Württemberg hervorgehen, mit denen sie ihren – bis heute schon mehr als ein Dutzend Jahre währenden – Beitrag in einem Verbund zur Ausbildung in der Mikroelektronik leisten. Doch der Reihe nach.

Der Anfang in Furtwangen

Eine ausführlichere Antwort erfolgt durch Rektor Dinius der FH Furtwangen mit Schreiben vom 10.04.85 unter Verwendung einer Beilage von Kollegen Schmidt vom 2.4.85 „Wegen der Nachfolge zum EIS-Projekt an der FH Furtwangen, was kommt danach und sollte eventuell in die Planung genommen werden ...“. Beide mit der Bitte um ein Gespräch.

Das Gespräch kommt am 8.5.85 im MWK zustande. Es kreist sehr intensiv um den Strukturwandel durch die Mikroelektronik und die zu erwartenden Auswirkungen: Ändert sich das Bild des Elektroniklers dadurch? Einheitlichkeit der Lehre? Braucht die Industrie dieses Wissen der so Ausgebildeten? Was kann im Land gemacht werden? Wer und welche Fachhochschulen könnten mitarbeiten? So lauten die brennenden Fragen von Herrn RD Guntermann. Die Hausaufgabe wird mit heim genommen.

Am 26.5.85 reicht Kollege Schmidt ein Schriftstück ans MWK: „Zur Mikroelektronik, zu Grundsatzfragen. Einheitlichkeit auch durch Multiprojektchips. ... Ein Gesamtbild künftiger Aktivitäten der FH Furtwangen auf diesem Gebiet mit Darlegung eines möglichen Antragsumfangs zur Förderung der Lehre und Forschung in der Mikroelektronik folgt noch. ... Dabei soll wünschgemäß die gesamte Situation der Mikroelektronik an Fachhochschulen in Baden-Württemberg einbezogen werden.“

Die Planung eines Studiengangs Mikroelektronik war an der FH Furtwangen bereits diskutiert, ein Schwerpunkt-Studienplan dazu aufgestellt und in den Gremien behandelt worden. Das wird in den Zusammenhang mit einem Förderungsvorhaben mit den Zielen gestellt: „... die Lehre zu stärken und die Forschung zu fördern nicht nur in Furtwangen sondern auch durch Teilnahme von Fachhochschulen des Landes...“. Die ausgearbeitete Unterlage wird bei einem Gespräch im MWK am 21.11.85 vorgelegt und erörtert.

Dort wird auch das bayerische Modell ZAM, das Zentrum für angewandte Mikroelektronik der bayerischen Fachhochschulen, diskutiert. Es war im Februar 1985, mit Sitz in Burghausen gegründet worden. Doch ist man sich rasch einig, dass das nicht der Weg für Baden-Württemberg ist. Die zentrale Aufgabe muss, wie bereits angedacht, gemeinsam wahrgenommen werden, um eine gute Breitenwirkung bei der Ausbildung zu erreichen, wozu man die Hilfsmittel aber vor Ort benötigt.

Ergänzend sei angemerkt: Das MWK plante die Erweiterung auch in Esslingen mit einem Studienschwerpunkt Mikroelektronik.

Für Furtwangen sieht das MWK zunächst vor, eine Realisierung über einen Modellversuch mit Beteiligung des Bundes zu versuchen. Das kostet enorm viel Zeit und platzt endgültig Ende Dezember 1987, als der Bund nicht mitmacht. In dieser Krise, als alles plötzlich offen und ungesichert ist, beschließt letztlich das Land, den Ausbau in Furtwangen voll zu übernehmen. Eine andere Entscheidung hätte auch den Verbund voll getroffen, wie im Folgenden deutlich werden wird.

Die Gruppe wird gebildet

Nun aber zum Zusammenschluss der Fachhochschulen zu einem Verbund auf diesem Gebiet.

Aufgrund der schon geschilderten Vorgeschichte ruft Kollege Schmidt, Furtwangen, die Kollegen in Baden-Württemberg im Frühjahr 1986 zu einem ersten Treffen zusammen. Es wird mehrfach verschoben, kommt aber dann am 11. Juli 1986 an zentralem Ort, an der Fachhochschule Esslingen, zustande. Dort treffen sich die Kollegen Führer, Ulm; Jäger, Heilbronn; Jansen, Offenburg; Kampe und Khakzar, Esslingen; Peter, Mannheim; und Schmidt, Furtwangen. Zwei Kollegen hatten sich für diesen Termin entschuldigt: Klotzbücher, Ravensburg, und Nielinger, Furtwangen. Auch der Rektor der FH Esslingen und weitere dortige Kollegen sind anwesend.

Der Vorschlag für die Bildung eines Verbunds wird positiv aufgenommen. Gespräche mit dem Ministerium und mit möglichen Halbleiterherstellern, Instituten und Firmen, werden geplant, um die Fertigung von Musterbausteinen in Form von Multiprojektchips zu erreichen. Es wird auch das neu gegründete Institut für Mikroelektronik Stuttgart, das IMS, benannt. Weitere Fachhochschulen mit elektrotechnischen Fachbereichen (damals Aalen, Karlsruhe, Konstanz) sollen jederzeit zum Verbund dazu kommen können.

Am 22. Okt.1986 findet ein Gespräch bei Herrn RD Guntermann im MWK statt. Kollege Schmidt trägt den Stand der Planungsarbeit einschließlich der ermittelten Profile der einzelnen Fachhochschulen vor. Es soll ein Verbund von Fachhochschulen gegründet werden, der das Ziel verfolgt, die Lehre auf dem Gebiet mikroelektronische integrierte Schaltungen auszuweiten. Den Professoren und Studenten der beteiligten Fachhochschulen soll die Möglichkeit geboten werden, solche Schaltungen zu entwerfen und in Form von Multiprojektchips in Musterstückzahlen hergestellt zu bekommen um sie dann an den Hochschulen zu testen. Dazu ist eine Zusammenarbeit mit dem IMS geplant. Die Fachhochschulen müssen hierfür die nötige Ausstattung erhalten.

Am Tag darauf, 23.10.86, folgt ein Gespräch am IMS mit dessen Leiter Prof. Dr. B. Höfflinger. Die Herren Guntermann, Khakzar und Schmidt nehmen daran teil. Das Ergebnis ist sehr vielversprechend: Multiprojektchips können für den geplanten Verbund am IMS in CMOS-Technologie (3µm bald 2µm) gefertigt werden. Die Kosten der Herstellung werden besprochen. Es wird empfohlen, dass der Verbund ein Leitungsgremium bildet. Prof. Höfflinger macht überdies den Vorschlag, der Verbund könne regelmäßig Workshops durchführen.

Am 20.10.86 erfolgt das zweite Treffen der am Verbund interessierten Kollegen in Furtwangen. Der Verbund wird konstituiert, mit dem Kollegen Schmidt als Vorsitzenden und dem Kollegen Kampe als sein Stellvertreter.

Bei einem weiteren Gespräch am IMS im Dezember 1986 werden Einzelheiten festgelegt: ein erster MPC Durchlauf soll in 1987 erfolgen, welche CAE-Werkzeuge sind zweckmäßig einzusetzen, in welcher Form sollen die Entwurfsdaten übergeben werden. Es wird vorgeschlagen, dass Furtwangen die Entwürfe annehmen und koordinieren soll, um sie dann an das IMS zur Fertigung weiter zu leiten. So wird es dann auch gemacht.

Ein Gesamtplan für die Ausstattung der beteiligten Fachhochschulen muss noch erstellt werden. Den entwirft Kollege Schmidt in Form eines Rahmenantrags, den jede Fachhochschule dann individualisieren kann. Der Rahmenantrag geht im Juni 1987 an Herrn MD Guntermann im MWK und als Muster an alle beteiligten Fachhochschulen.

Mittlerweile sind auch die Kollegen Albert, Mannheim, und Clauss, Heilbronn, zum Verbund hinzugekommen. Kollege Ritzert, Karlsruhe, äußert den Wunsch nach Werkzeugen für die Bearbeitung von Leiterplatten-Layouts. Die individuellen Anträge der beteiligten Fachhochschulen sollen nun bald dem Ministerium vorgelegt werden. Herr Guntermann sieht darin die Möglichkeit der Bündelung, da an den beteiligten Fachhochschulen die gleichen Rechner-Plattformen benutzt werden sollen. Die Fertigung der ersten Entwürfe rückt näher. Verträge mit dem IMS (für die Herstellung digitaler integrierter Schaltungen) und mit AEG-Telefunken (für die Herstellung analoger integrierter Schaltungen) werden vorbereitet. Der Pilotlauf am IMS ist für Dezember 1987 geplant. Zur seiner Finanzierung ist in den Mitteln, die für den geplanten Studienschwerpunkt Mikroelektronik in Furtwangen vorgesehen sind, ein einmaliger Betrag für die Herstellung von Multiprojektchips im FH Verbund für 1987/88 enthalten.

Herr Guntermann wünscht noch eine Stellungnahme mit den Inhalten: Warum wollen wir die Kooperation. Wie soll sie gestaltet sein. Wie soll die Kommunikation erfolgen. Wie wird der Verbund realisiert. Welcher Zeitrahmen ist vorgesehen. Wie sieht kurz- und langfristig die Ausstattung der Laboratorien aus. Wir sollten Prioritäten setzen. Die Stellungnahme „Argumente für einen Fachhochschulverbund in Baden-Württemberg zum Entwurf integrierter Schaltkreise“ wird von den Kollegen Führer, Klotzbücher und Schmidt ausgearbeitet und Herrn Guntermann am 1. Dez. 1987 gemeinsam im MWK übergeben. Herr Guntermann stimmt un-

serer Meinung zu, dass die Arbeit des Verbundes als eine kontinuierliche Aufgabe der Fachhochschulen anzusehen ist. Die Fachhochschulen werden aufgefordert nun umgehend ihre individuellen Anträge zu stellen, dabei aber die Geräteausstattung als jeweiligen HBFAG-Antrag abzuspalten. Bei diesem Gespräch wird von Herrn Guntermann erstmals der Name „Multi-Projekt-Chip“ Verbund genannt. Daraus wird rasch die kurze Bezeichnung **MPC-Gruppe**. Doch bevor diese Wirklichkeit wird, entsteht - wie schon angedeutet - eine finanzielle Krise:

Am 21. Dez. 1987 wird nämlich gewiss (Schreiben aus dem BMBW an unser MWK), dass die erwartete Beteiligung des Bundes zum Studienschwerpunkt Mikroelektronik in Furtwangen nicht gegeben wird. Ohne den Ausbau in Furtwangen ist jedoch der Verbund der Fachhochschulen nicht tragfähig, wie auch umgekehrt ein Verbund der Fachhochschulen notwendig ist, um Furtwangen auszubauen. Diese Verknüpfung hat die Eigenschaft eines Doppelbeschlusses. Alle Planungen wären mit einem Schlag hinfällig gewesen und wie weit waren sie doch schon voran getrieben worden! Bange Tage der Ungewissheit folgen. Anfang Januar 1988 springt das Land endgültig in die Bresche und übernimmt im Nachtrag auch den Bundesanteil für Furtwangen. Das Gesamtprojekt ist gerettet, die Mittel für Furtwangen werden endlich zur Verfügung gestellt und freigegeben. Somit kann jetzt auch der Verbund beginnen.

Heute können wir Herrn MD Peter Guntermann als den wahren Baumeister des Verbunds unserer Fachhochschulen würdigen. Uns forderte er immer eine klare, schlüssige Argumentation und allerbeste Vorbereitung ab. Im Ministerium leistete er eine immense Überzeugungsarbeit, in einem überwiegend universitär denkenden Umfeld.

Das Fundament wird gefestigt

Zu Beginn des Jahres 1988 übernimmt Kollege Führer den Vorsitz, da Kollege Schmidt für ein ausgedehntes Gastsemester an eine australische Universität geht. Herrn Führer fällt damit die Koordination und Betreuung der individuellen Anträge der Fachhochschulen zu. Neben diesen wird auch der Antrag der MPC-Gruppe vom 7. November 1988 vorbereitet. Er lautet auf Bereitstellung von Mitteln für die Herstellung von integrierten Schaltungen für die Fachhochschulen Baden-Württembergs, gestaffelt steigend von 1989 über 1990 bis 1991 und gleichbleibend für die Folgejahre. Die Mittel sind auch für CAE-Lizenzkosten, Lehrgänge u.Ä. vorgesehen. Ende 1989 sind die HBFAG-Anträge der Fachhochschulen überwiegend genehmigt und die erforderliche Laborausstattung ist beschafft worden.

Mit der Durchführung von Workshops wird begonnen, sobald die ersten Chips gefertigt und getestet sind. Sie werden zu einem Ereignis, das regelmäßig pro Semester ein Mal stattfindet. Der erste Workshop der MPC-Gruppe wird am 2.12.1988 in Heilbronn durchgeführt, der zweite am 23.6.1989 in Ulm und der dritte am 12.1.1990 in Mannheim, um hier die ersten drei zu nennen. Die Workshops dienen dem fachliche Erfahrungsaustausch, der gegenseitigen Information über Projekte, an denen gearbeitet wird, der Präsentation von Diplomarbeiten, Forschungsarbeiten u.v.m. Der sich dabei ergebende persönliche Kontakt zwischen den Gruppenmitgliedern ist genau so wichtig wie der fachliche Austausch. Dies trifft auch für die Mitarbeiter zu, die den Betrieb der Entwurfslabors mit der Systempflege und der Wartung der CAE-Werkzeuge bewältigen müssen.

Die Durchführung von Lehrgängen für die Mitglieder der Gruppe wird von Anfang an als preiswerte Möglichkeit der Weiterbildung genutzt. Zum Teil werden Schulungskurse vom Rechnerhersteller und Werkzeughersteller eingekauft, zum Teil gestaltet die Gruppe aus eigener Kraft Lehrgänge zu aktuellen Themen des sich stürmisch weiter entwickelnden Fachgebiets.

Der eingeschwungene Zustand

Bald schon schließen sich auch die Fachhochschulen Aalen, Reutlingen, Konstanz, Albstadt-Sigmaringen und Pforzheim der MPC-Gruppe an. Diese umfasst heute etwa dreißig Professoren an dreizehn Fachhochschulen. Den jüngeren, neu hinzugekommenen Kollegen bietet die MPC-Gruppe die Basis für eine effektive Lehrtätigkeit und ein fachliches Forum, das es ermöglicht, sich gegenseitig über den neuesten Stand des gemeinsamen Arbeitsgebietes auszutauschen und dessen Weiterentwicklung zu verfolgen.

Die Notwendigkeit für die Ausarbeitung einer Geschäftsordnung der MPC-Gruppe wird erkannt und diese am 2. Februar 1996 von der Mitgliederversammlung beschlossen.

Die Weiterentwicklung der Werkzeuge und der Rechner-Hardware erfolgt rasant. Darum muss die Laborausstattung bis heute zwei Mal erneuert werden. Die dafür erforderlichen finanziellen Mittel werden über

HBFG-Anträge beschafft und teilweise aus dem jährlichen Investitionsetat der jeweiligen Fachhochschulen bereit gestellt. Was nur durch das verständnisvolle und verantwortungsbewusste Entgegenkommen der Kollegen mit anderen Fächerschwerpunkten ermöglicht wird.

Pro Jahr werden für die Gruppe etwa 10 Chipentwürfe in Musterstückzahlen gefertigt, sodass beim 25. Workshop der hundertste Entwurf vorgestellt werden kann. Die Chip-Herstellung und CAE-Lizenzgebung sind heute „europäisiert“ und werden von Brüssel im Rahmen des Programms Europractice gefördert. Sie sind dadurch für Hochschulen preisgünstiger als für die Industrie. Die Mitgliederhochschulen der MPC-Gruppe sind durchweg auch Mitglieder bei diesem Programm. Nur so reichen die Finanzmittel hin, die die MPC-Gruppe jährlich vom Landesministerium erhält.

Bei der Mitgliederversammlung Anfang 1998 schlägt Kollege Jansen vor, dass Mitglieder der MPC-Gruppe gemeinsam ein Fachbuch zum Schwerpunktthema der Gruppe verfassen sollen. Mit harter Arbeit gelingt es ihm und seinen Mitautoren, das Projekt voran zu treiben und zu einem erfolgreichen Abschluss zu bringen. Das „Handbuch der Electronic Design Automation“ erscheint rechtzeitig zum 25. Workshop und kann bei diesem vorgestellt werden.

Alle zwei Jahre wird das Amt des Sprechers der Gruppe und seines Stellvertreters durch geheime Wahl neu vergeben. Kollege Führer hat das Amt des Sprechers acht Jahre inne. Ihm folgt 1996 Kollege Jansen. Von Anfang bis heute ist Kollege Kampe dem Amt des stellvertretenden Sprechers treu geblieben.

Zurückblickend kann festgestellt werden, dass das Zustandekommen der MPC-Gruppe ein unter großen Mühen erarbeiteter seltener Glücksfall war. Ihre erfolgreiche Arbeit und die Erfolge Ihrer Mitglieder rechtfertigen die damaligen Anstrengungen und tragen zur Sicherung des Wirtschaftsstandortes Deutschland und insbesondere Baden-Württembergs bei. Jedes Jahr verlassen eine große Anzahl Ingenieure und Informatiker mit fundiertem Wissen und Fertigkeiten im Entwurf integrierter Schaltungen die Mitgliedshochschulen. Sie sind von der Industrie gesuchte Fachleute und haben beste Berufsaussichten.

Internet als virtuelle Lernumgebung

Erfahrungsbericht über eine Laborveranstaltung mit Lotus Learning Space

E. Prochaska, FH Heilbronn, 74081 Heilbronn, Max Planck-Straße 39
Telefon 07131-504-287 Telefax 07131-252470 prochaska@fh-heilbronn.de

Zusammenfassung

Das Internet ist eines der Lehrhilfsmittel, das Lehrenden und Lernenden bei der Organisation und Durchführung von Lehrveranstaltungen helfen kann, wirkungsvoller zusammenzuarbeiten. An der Fachhochschule Heilbronn wird seit fünf Semestern das Labor *Grundlagen der Elektrotechnik* mit Hilfe der Lernumgebung *Lotus Learning Space* durchgeführt. 20 – 40 Studierende führen im Labor manuell fünf Versuche durch. Die Aufgabenstellungen werden über das Internet zur Verfügung gestellt. Die Laborergebnisse werden handschriftlich aufgenommen, die Ausarbeitung als Worddatei abgegeben. Bei Bedarf werden die Meßergebnisse mit Excel visualisiert und in das Worddokument eingebunden, Zeichnungen werden mit dem Zeichenprogramm von Word ausgeführt. Die korrigierten Ausarbeitungen werden von den Studierenden über das Internet abgerufen und überarbeitet, bis sie vollständig und fehlerfrei sind.

1 Internet zur Unterstützung der Lehre

Da Menschen auf unterschiedliche Art lernen, muß der Lehrende versuchen, dem Lernenden verschiedene Wege als Zugang zum Lerninhalt anzubieten. Einer dieser Wege führt über das Internet. Allerdings ist das Internet nur als Ergänzung zu sehen und zum heutigen Stand der Technik noch nicht geeignet, beliebige Lehrveranstaltungen einer Hochschule zu ersetzen. Nach wie vor werden die Versuche im Labor *Grundlagen der Elektrotechnik* mit den üblichen Bauelementen und Geräten in Anwesenheit des Dozenten durchgeführt. Das Internet dient lediglich zum Informationsaustausch und als Verwaltungsplattform. Sämtliche Unterlagen sind für den Lernenden und den Dozenten paßwortgeschützt individuell jederzeit abrufbar.

Ein wesentlicher Grund für die Nutzung des Internets in der Lehre ist, daß der selbständige Umgang damit dem Stand der Technik entspricht. Die nahezu papierlose Aufgabenbearbeitung mit ihren Vor- und Nachteilen kann auf diesem Weg gelernt und praktiziert werden. Zahlreiche Beispiele aus dem Hochschulbereich zeigen, daß das Lernen erfolgreich vom Internet unterstützt werden kann. Kom-

merzielle Anbieter haben gezeigt und sagen voraus, daß der Markt des Lernens einer der schnell wachsenden Zukunftsmärkte ist.

2 Abgrenzung einer Lernumgebung gegenüber anderen Internetsdiensten

Unterlagen können vom Benutzer von einem FTP-Server problemlos abgerufen werden. Ebenso können Unterlagen per e-mail zwischen beliebigen Personen ausgetauscht werden, vorausgesetzt, sie haben eine e-mail Adresse. In beiden Fällen ist aber interaktives Arbeiten nur mit zusätzlichem Aufwand möglich, und die Verwaltung der Daten muß individuell von jedem einzelnen Benutzer durchgeführt werden.

Demgegenüber erlauben Lernprogramme die Interaktion mit dem Lernprogramm. Allerdings ist die Kommunikation mit einer Betreuungsperson nur über zusätzliche Medien, beispielsweise e-mail, möglich.

Die Forderungen nach Kommunikation, Interaktion und Unterlagenbereitstellung können von Webseiten erfüllt werden. Jeder Lehrende kann für sich selbst eine Webseite programmieren, die alle seine Vorstellungen, die er von einer Lernumgebung hat, erfüllt. Dabei muß neben der geeigneten Struktur, die ein Wachstum und Anpassungen zulassen muß, auch die Verwaltung der Unterlagen und der Datenschutz paßwortgeschützt programmiert werden. Die Programmierung einer solchen Webseite ist eine Aufgabe, die nicht jeder Dozent selbst durchführen kann und will. Deshalb werden von kommerziellen Anbietern Lernumgebungen angeboten, die all jene Dienste bereitstellen sollen, die üblicherweise bei der Vermittlung von Lerninhalten benötigt werden. *Lotus Learning Space* ist eine solche Lernumgebung.

3 Lotus Learning Space

Die Lernumgebung *Lotus Learning Space* bedient sich des Programmsystems *Lotus Notes* und der Datenbank *Lotus Domino*. *Lotus Notes* ist ein Programmsystem, mit dessen Hilfe verschiedenste Aufgaben des Informationsaustauschs innerhalb von Firmen gelöst werden können. Es wird seit vielen Jahren von internationalen Firmen erfolgreich

weltweit eingesetzt und bietet sich geradezu dafür an, als Plattform für eine Lernumgebung benutzt zu werden.

Jeder Lernende kann über einen beliebigen Browser im Internet auf die Lernumgebung mit den Rechten zugreifen, die in seiner Zugangsberechtigung definiert wurden. Er braucht also keine Internetadresse, sondern nur Zugang zum Internet zu haben. Alle relevanten Daten werden in der Datenbank der Lernumgebung so gespeichert, daß der Zugriff aufgabenbezogen möglich ist. Die Lernumgebung gliedert sich für jede Lehrveranstaltung in die Bereiche *Schedule*, *Media Center*, *Course Room* und *Profiles*.

3.1 Schedule

Im Bereich *Schedule* sind die Lernziele, einzelne Lernabschnitte, alle Aufgabenstellungen mit ihren dafür notwendigen Unterlagen und die Termine für Veranstaltungen und Abgabe der Ausarbeitungen zu finden. Unterlagen können zur besseren Übersicht speziell einzelnen Aufgabenstellungen oder Lernbereichen zugeordnet werden. Dieser Bereich wird vom Dozenten mit Inhalten gefüllt. Da es sich hierbei um einen aktiven Eingriff in die Gestaltung der Lernumgebung handelt, muß der Lehrende mit Hilfe eines sogenannten Clients, der vorher auf seinem Rechner installiert werden muß, arbeiten. Der Zugriff selbst erfolgt über das Internet.

Über den Bereich *Schedule* ist die Lehrveranstaltung gegliedert. In diesem Bereich werden Lernende üblicherweise einzelne Lernschritte beginnen und mit der Abgabe von Ergebnissen ihre Aufgabe abschließen.

3.2 Media Center

Im Bereich *Media Center* sind alle Dateien der jeweiligen Lehrveranstaltung zentral einmal gespeichert. Der Zugriff von *Schedule* aus wird über Querverweise hergestellt. Hier können aber auch Dateien gespeichert sein, die nicht über *Schedule* einzelnen Lernabschnitten zugeordnet sind.

3.3 Course Room

Der *Course Room* ist der Arbeitsraum, in dem die vom Lernenden erstellten Unterlagen geordnet gespeichert sind. Die Unterlagen können nach Datum, nach Aufgabenstellungen, nach Lernenden oder nach Teams geordnet betrachtet werden. Beispielsweise kann der Lehrende schnell feststellen, welche Aufgaben von welchen Studierenden bereits bearbeitet wurden. Er kann aber auch eine Ordnung nach Studierenden ansehen, in der dann eine Einzelliste der vom einzelnen Studierenden bearbeiteten Aufgaben dargestellt wird.

3.4 Profiles

Im Bereich *Profiles* sind persönliche Daten der Lernenden und Lehrenden gespeichert. Neben Anschrift, Matrikelnummer und Bild können auch beliebige andere Informationen, ähnlich wie in einer Homepage, gespeichert werden. Den Benutzern ist es freigestellt, diese Angaben zu machen.

3.5 Assessment Manager

Dem Dozenten hilft ein *Assessment Manager* bei der Bewertung von Ergebnissen, mit dessen Hilfe Multiple Choice Aufgaben automatisch ausgewertet werden. Das Ergebnis wird den Lernenden automatisch als e-mail zugestellt. Bei Laboraufgaben wird hier die Benotung durchgeführt und das Ergebnis ebenfalls automatisch an die Lernenden weitergeleitet.

3.6 Weitere Dienste der Lernumgebung

Die Verwaltung sämtlicher Dokumente beispielsweise, die in einem Studiengang verwendet werden, kann über die Lernumgebung für jeden zugänglich geordnet abgespeichert werden. Dabei kann es sich um Telefonnummern, Adressen, Besprechungsnotizen, Vorschriften, Diplom- und Studienarbeiten, Terminpläne oder Raumpläne handeln. Wichtig ist, daß alle Dokumente aktuell nur einmal gespeichert sind und der Zugriff für alle Teilnehmer mit individuellen Rechten geregelt ist.

3.7 Auswirkungen der Lernumgebung

Die Lernumgebung gibt jederzeit eine aktuelle Übersicht über den Stand aller Arbeiten einer Lerneinheit. Damit kann auf Probleme rasch reagiert werden. Der Informationsaustausch zwischen den Lernenden untereinander und zwischen Lernenden und Lehrenden ist sehr einfach möglich.

Die Aufgaben des Lehrenden verschieben sich deutlich hin zum Moderator. Durch die vielfältigen Unterstützungen, die über Hyperlinks, Animationen und Präsentationen angeboten werden, werden Lernende mit unterschiedlichem Lernverhalten angesprochen. Der Lernende kann aktiver sein.

4 Erfahrungsbericht über das Labor Elektrotechnik

In jedem Semester werden fünf Laboraufgaben im Labor bearbeitet. Zur Vorbereitung berechnen die Lernenden die erwarteten Ergebnisse der Laboraufgabe. Etwa wird in der Aufgabe *Gleichspannungstechnik* ein Netzwerk vorgegeben, für das die Spannung an einem bestimmten Widerstand nach dem Satz der Ersatzspannungsquelle allgemein

berechnet werden muß. Alle Lernenden eines Semesters berechnen beispielsweise die Spannung am Widerstand R_6 . Allerdings bekommen sie unterschiedliche Widerstandswerte, so daß alle Rechenergebnisse mit den aktuellen Widerstandswerten verschieden sind. Im Labor messen die Lernenden an ihrer eigenen Schaltung alle berechneten Werte nach und vergleichen die Meßergebnisse dann mit ihren Rechenergebnissen. Die Ergebnisse werden anschließend diskutiert.

Im Fall der Laboraufgabe, in der der Widerstand einer Glühlampe gemessen wird, werden die Meßwerte manuell aufgenommen und mit Excel als Diagramm dargestellt.

Die Versuchsausarbeitung wird als Worddatei im Bereich *Schedule* unter dem dazugehörigen Modul, in dem auch die Aufgabenstellung gespeichert ist, abgespeichert. Alle Aktionen der Lernumgebung werden protokolliert, also auch der Abgabezeitpunkt der Ausarbeitung. Nach der Korrektur der Ausarbeitung wird diese vom Dozenten wieder als korrigierte Version beim Originaldokument abgelegt. Die korrigierten Ausarbeitungen können über das Internet abgerufen werden. Sie werden überarbeitet, bis sie vollständig und fehlerfrei sind.

Die Praxis hat gezeigt, daß Internetanschlüsse über Telefonleitung noch relativ langsam sind. Deshalb wird empfohlen, zur Abspeicherung und zum Abruf von Ausarbeitungen vorerst das Intranet der FH zu benutzen.

Erstaunlicherweise haben nicht wenige Studierende Probleme beim Umgang mit Rechner und Internet. Sei es, daß es die üblichen Schwierigkeiten mit Worddokumenten sind, die auf Softwarefehler von der Firma Microsoft zurückzuführen sind, sei es, daß die Benutzung des Internets bei Detailproblemen Hilfestellung notwendig macht. Die üblichen Terminprobleme bei der Abgabe von Ausarbeitungen entsprechen den Erfahrungen bei der Abgabe von gedruckten Dokumenten.

Es kommt häufig vor, daß falsche Dateien als Ausarbeitung in der Lernumgebung abgespeichert werden. Da nicht festgestellt werden kann, ob dies wesentlich passiert - um beispielsweise die Ausarbeitung, die nicht fertiggestellt ist, noch nicht termingerecht abgeben zu müssen - wird von den Studierenden verlangt, nach Abspeicherung eines Dokuments dieses in der Lernumgebung nochmals zu öffnen und selbst zu überprüfen, ob wirklich das aktuelle und vollständige Dokument übertragen wurde.

Wegen der einfachen, papierlosen Kommunikation ist das unerlaubte Kopieren von Lösungen ein gro-

ßes Problem. Wörtliche Zitate sind zwar erlaubt, müssen aber mit genauer Quellenangabe eindeutig gekennzeichnet sein. Identische, nicht gekennzeichneten Formulierungen in Ausarbeitungen verschiedener Studierender werden als Betrugsversuch gewertet. Dies führt zum Ausschluß aus dem Labor, das dann im darauffolgenden Semester vollständig wiederholt werden muß.

Durch den Einsatz der Lernumgebung und das papierlose Arbeiten werden an die Lernenden zusätzliche Anforderungen gestellt. Sie führten dazu, daß der Umfang der Laboraufgaben reduziert werden mußte. Die Laboraufgaben selbst mußten so modifiziert werden, daß die Ergebnisse ohne zu großen Aufwand in einer Datei dargestellt werden können. Beispielsweise wurden detaillierte Herleitungen von Formeln aus der Versuchsvorbereitung gestrichen, da die Eingabe der Formeln mit dem Formeleditor zu viel Zeit erfordert.

Der Einsatz einer Lernumgebung ist also durchaus nicht unproblematisch und führt zu Situationen, die ohne die Lernumgebung entweder gar nicht oder in wesentlich anderer Form auftreten. Da für viele Firmen das Internet bereits ein unverzichtbares Kommunikationsmittel geworden ist, ist es jedoch sinnvoll, bereits an der Hochschule für geeignete Lehrinhalte das Internet zu nutzen.

VLSI Circuits - Bericht aus Japan

G.Albert¹, D.Jansen², G.Kampe³, K.Knöffel³, H.Nielinger⁴,
E.Prochaska⁵, W.Ritzert⁶, K.H.Schmidt⁴

1 FH Mannheim, 2 FH Offenburg, 3 FHT Esslingen, 4 FH Furtwangen, 5 FH Heilbronn, 6 FH Karlsruhe

Die Autoren unternahmen vom 9.-17.Juni 2001 eine Exkursion nach Japan, um an Hochschulen in Kyoto und Osaka sowie beim *Symposium on VLSI Circuits* die neuesten Trends der Mikroelektronik zu studieren. Dank persönlicher Kontakte wurde der Besuch modernster Hochschullabors ermöglicht, die sich durchweg mit anwendungsorientierten Forschungsthemen beschäftigten. Der nachfolgende Kurzbericht gibt einige Eindrücke dieser Reise wieder. Er muß sich beim Symposium auf wenige Schwerpunkte beschränken, die vor allem im Bereich „Wireless“ und „Low Power Design“ liegen.

1 Besuch an der Universität Kyoto

1.1 Einführungsvortrag

Prof. Dr. Yoshida vom Dept. of Communications and Computer Engineering gab einen kurzen Überblick über die Universität Kyoto, die bereits 1897 gegründet wurde. Heute hat sie 10 Departments, 2800 Lehrende, 2500 Verwaltungsmitarbeiter, 13900 Studierende (undergraduate, davon 4509 in Ingenieurstudiengängen) und 7800 Studierende (postgraduate, davon 1688 in Ingenieurstudiengängen), wobei davon 1000 Studierende von außerhalb Japans stammen.

1.2 Prof. Onodera's VLSI research group

Prof. Dr. Onodera leitet die Gruppe „Integrated Circuit Design Engineering“. Schaltungen werden mit verschiedenen Systemen (Cadence, Avanti, Synopsis) entworfen. Üblicherweise werden die Entwürfe in FPGAs umgesetzt. ASICs können in Zusammenarbeit mit dem „VLSI Design and Education Center (VDEC)“ der University of Tokyo durchgeführt werden. Bisher wurden 5 ASICs für Forschungszwecke hergestellt. Die Labors sind mit modernsten Meßgeräten ausgestattet. Wie überall steht zu wenig Labpersonal zu deren Bedienung zur Verfügung.

1.3 Prof. Nakamura's research group

Prof. Dr. Nakamura leitet die Gruppe „Processor Architecture and Systems Synthesis“. Die Vorlesung VLSI-Entwurf von Prof. Nakamura wird als Internetlehrgang angeboten, der auch von anderen Universitäten in Japan und im Ausland benutzt wird. Innerhalb von CALAT (Computer Aided Instruction System) wird mit Hilfe von Parthenon (High Level Logic Synthesis System) der Systementwurf gelehrt. Für diese Vorlesung werden nur einfache Grundkenntnisse der Digitaltechnik vorausgesetzt. Die vollständige Bedienung des Entwurfssystems durch Studierende erfolgt über das Internet. Voraussetzungen sind Shockwave und Flash3player.

1.4 Prof. Yoshida's research group

Prof. Dr. Yoshida leitet die Gruppe „Digital Communication“. Forschungsgebiete sind Mehrwegeausbreitung für Mobilfunk. Das Labor ist mit modernsten Meßgeräten ausgerüstet. Algorithmen werden in Hochsprachen entworfen und auf FPGAs in Echtzeit ausgeführt.

1.5 Gesamteindruck

Die Vorträge und Besichtigungen zeigten deutlich, daß an der Universität Kyoto im Bereich Communications and Computer Engineering auf hohem Niveau mit ausgezeichneter Ausrüstung gelehrt und geforscht wird.

Es war beeindruckend, wie viel Zeit sich die Verantwortlichen für das umfassende Programm genommen hatten, in dem alle Forschungsgruppen ausführlich ihre Forschungsergebnisse zur Diskussion stellten.

Auch in Japan zeichnet sich die Entwicklung ab, daß immer weniger junge Menschen bereit sind, Ingenieur zu werden.

2. Universitäten in Osaka

2.1 Osaka Electro-Communications University (OECU)

Die OECU ist eine private Universität mit ca. 5400 Studierenden, 130 Professoren und 20 – 30 Lehrbeauftragten. Die Vorläufereinrichtung wurde 1941 gegründet, die eigentliche Universität im Jahr 1961. Seit 1990 gibt es auch eine Graduate School. Die erste Promotion fand im Jahr 1996 statt.

Die Universität besteht aus

1. der Graduate School
mit den Abteilungen
 - Electronics and Applied Physics
 - Mechanical and Control Engineering
 - Information and Computer Sciences

2. der Undergraduate School
mit folgenden Abteilungen
 - Electro-Communication Engineering
 - Materials Science
 - Electro-Mechanical Engineering
 - Intelligent Machine Engineering
(Roboter, gesteuerte Prothesen)
 - Lightwave Sciences
 - Electronics
 - Engineering Informatics

3. Forschungszentren für
 - Humanities sowie Physik und Mathematik
 - Satellite Communication
 - Fundamental Electronics
 - Information Science
 - Educational Information Processing

4. Einer High School und einem Junior College

In der Umgebung der Universität befinden sich Firmen wie Matsushita, Sanyo, Sharp und die Kansai Science City.

Das Undergraduate Studium dauert 4 Jahre. Die Studiengebühren betragen ca. DM 30.000 pro Jahr. Das Graduate Studium dauert 2 Jahre und kostet ca. DM 20.000 pro Jahr, da diese Studierenden auch bei der Ausbildung der Undergraduates mithelfen. Auf die Einhaltung der Studierendauer wird größter Wert gelegt, da die Kosten sonst unkalkulierbar würden. Ca. 30% der Studierenden haben Ganz- oder Teilstipendien z.T. auf Kreditbasis (Loans). Nur ca. 15% des Etats der Universität werden von der Regierung getragen.

Unsere Gesprächspartner an der OECU waren die folgenden Herren:

Prof. Dr. Shigeo Minami, Präsident der Universität

Prof. Dr. Kuniya Fukuda,
Chairman of the Board of Directors

Prof. Dr. Ikawa, Dekan
Intelligent Machine Engineering

Prof. Dr. Sasaki, Leiter des Fundamental
Electronics Research Institute

Die Kontakte zu dieser Universität wurden hergestellt durch Herrn Dr. M. Hild, einen Absolventen der FH Karlsruhe (ca. 1980), der seit fast 20 Jahren in Kyoto lebt und an der OECU lehrt und forscht.

Nach der Begrüßung und Vorstellung der Universität durch den Präsidenten folgte eine Diskussion über die Hochschulausbildung an technisch orientierten Universitäten in Deutschland und Japan und danach die Besichtigung des Medienlabors (hervorragend ausgestatteter Rechnerpool mit ca. 70 Arbeitsplätzen), eines Labors für Bildverarbeitung und dem Fundamental Electronics Research Institute. In der letztgenannten Einrichtung wird u.A. auf folgenden Gebieten geforscht: Single Electron Devices, Opto-Electronic Devices, Herstellung von Nanostrukturen, selektive Gas-Sensoren. Dazu stehen modernste Apparaturen zur Verfügung, wie z.B. ein *Raster-Tunnel-Elektronen-Mikroskop*.

2.2 Osaka University

Nach der privaten OECU stand am selben Tag nachmittags noch die staatliche Osaka University auf dem Programm. Dort besuchte die Gruppe das Labor für Intelligente Systeme, in dem Herr Dr. Hild einige Studentengruppen bei der Durchführung ihrer Master-Arbeiten betreut. Gezeigt wurden z.B.: Identifizierung und Verfolgung von auf dem Bildschirm bewegten Objekten und eine Rollstuhlsteuerung durch Kopfbewegungen, die von Fernsehkameras erfasst werden.

Die Labors sind von früh bis spät abends und auch an Samstagen und Sonntagen zugänglich.

3 2001 Symposium on VLSI Circuits (14.-16.06.2001)

3.1 Allgemeines

Zu Beginn wurden die etwa 600 Teilnehmer des Symposiums vom Chairman, Takayasu Sakurai (Univ. of Tokyo) begrüßt. Das Symposium, das immerhin schon zum 15. Mal stattfand, wird getragen von der Japan Society of Applied Physics und der IEEE Solid-State Circuits Society (SSCS) in Zusammenarbeit mit dem Institute of Electronics, Information and Communication Engineers of Japan und der IEEE Electron Devices Society. (Zwischen dem German Chapter der SSCS und der MPC-Gruppe besteht seit dem Jahr 2000 eine Kooperationsvereinbarung.) Das Symposium findet jährlich abwechselnd in Kyoto und Honolulu, Hawaii statt.

Für das erste Symposium im 21. Jahrhundert wurde der Themenkreis erweitert und umfaßte neue Konzepte für Werkzeuge zum LSI- und physikalischen Entwurf neben μ - und Signal-Prozessoren, Speichern, Analog-, Hochfrequenz- und Nachrichtentechnik-Schaltkreisen. Es fanden 22, z.T. sich überlappende Sitzungen statt, in denen 76 einschlägige Vorträge gehalten wurden.

Einen Schwerpunkt des Symposiums bildeten die Wireless (drahtlosen) Applications. Deren Bedeutung, die sich in vielfältigen Anwendungen von Blue Tooth bis hin zu Netzwerkanwendungen niederschlägt, zeigte sich in zahlreichen sehr hochwertigen Vorträgen über voll integrierte Empfängerkonzepte. Eine ganze Anzahl von Vorträgen beschäftigte sich auch mit RF Front Ends und PLL-Schaltungen zur Erzeugung der entsprechenden hochfrequenten Steuersignale. Dabei wurden durchweg Siliziumschaltungen beschrieben, bei denen nahezu alle Baugruppen auf nur einem Chip realisiert sind. Hervorzuheben sind z.B. Beiträge zu einem Single Chip 2,4 GHz Direct Conversion CMOS Transceiver, der direkt die Realisierung einer Blue Tooth – Schnittstelle ermöglicht.

Auf dem 900 MHz – Bereich gab es zahlreiche Designs, teilweise mit sehr geringem Stromverbrauch und zur kompletten Integration in einen SOC geeignet. Das Prinzip der direkten Konversion, welches in mehreren Vorträgen favorisiert wurde, scheint besonders zur Integration geeignet zu sein. Die bisher bestehenden Probleme mit DC-Offset werden durch raffinierte 6 Phasen-Mischer umgangen bzw. verringert, sodass eine Komplett-Integration einschließlich der dazugehörigen Regelkreise möglich wird. Weitere Beiträge behandelten Filter, Spulen und

Komponenten wie Low Noise Amplifier und Mischer in CMOS-Technologie sowie Oszillatoren, Phasendetektoren und komplette Synthesizer zur Erzeugung phasenreiner Steuersignale.

Wie aus der obigen Zusammenstellung zu entnehmen ist, konzentrierte sich der Kongress in diesem Jahr sehr stark auf analoge und Mixed Signal – Schaltungskonzepte. Da drei Sessions parallel liefen, konnten naturgemäß nicht alle Beiträge verfolgt werden. Die Beiträge zu den Speicherentwicklungen (D-RAM und S-RAM) wurden deshalb zurückgestellt, da in diesem Bereich keine Eigenentwicklung in der MPC-Gruppe vorgesehen ist.

Die Qualität der Beiträge, die überwiegend von Universitäten und Forschungslaboratorien eingereicht worden waren, war außerordentlich hoch, die Vorträge sehr informationsreich und präzise. Die Inhalte vermittelten den aktuellen Stand der VLSI Design-Technologie im Bereich der Hochfrequenzempfänger-Schaltungstechnik. Es ist zu erwarten, dass in Zukunft eine noch viel größere Zahl mobiler Anwendungen mit Funkschnittstellen, die auf einem einzelnen Chip integriert sehr preiswert sein können, den Markt erobern werden.

3.2 Invited Papers

Besonders hervorgehoben seien die sog. „invited talks“, in denen hervorragende Fachleute einen Überblick über den Stand der Technik in ihrem Fachgebiet gaben. Zwei davon fanden im Anschluß an die Eröffnung des Symposiums statt und werden hier kurz vorgestellt.

Digital Vision Chips and High-Speed Vision Chips

(M. Ishikawa and T. Komuro, Univ. of Tokyo)

Während in der Natur, z.B. auf der menschl. Netzhaut, die Bildverarbeitung parallel vor sich geht, wird bei der klassischen technischen Bildverarbeitung, z.B. mit einem CCD Sensor, seriell vorgegangen, wodurch sich erhebliche Einschränkungen bezüglich der Geschwindigkeit ergeben. Die moderne Hochintegration in einer 0.35 μ m CMOS-Technologie ermöglicht, auf einem Chip jedem Pixel-Photo-Detektor einen eigenen kleinen μ -Prozessor zuzuordnen, so daß eine erste schnelle Bildverarbeitung möglich wird ohne die Notwendigkeit zeitraubender serieller Übertragung. Anwendungen dieses Chips sind besonders bei der Erkennung von schnellen Bildänderungen zu finden.

In eindrucksvollen Video-Demonstrationen wurde gezeigt:

- die Verfolgung (Erkennung) von schnellen menschlichen Handbewegungen (max. 150km/h),
- die Verfolgung eines sich schnell bewegenden Einzellers unter dem Mikroskop,
- 3D-Erfassung und Ergreifung eines Ping-Pong-Balls, der sich mit maximaler Geschwindigkeit beliebig in einem begrenzten Raum bewegt. Bei der letzten Anwendung wurde betont, daß es sich um das „world's fastest grip system“ handele.

BSIM Model for Circuit Design Using Advanced Technologies

(C.Hu, Fellow IEEE, UC Berkeley)

Das BSIM (Berkeley Short-channel IGFET Model) erlaubt genaue Simulationen von CMOS-Schaltkreisen und umfaßt jetzt auch Gate-tunneling-, Quanten- und Hochfrequenz-Effekte. In eindrucksvollen Diagrammen wurde die Übereinstimmung von Messung und Simulation bei den neu implementierten Effekten gezeigt. BSIM ist ein physikalisches Modell, das aus einem Satz von Gleichungen besteht, die die diversen physikalischen Effekte beschreiben. Der Ausdruck der Gleichungen würde etwa 20 Druckseiten umfassen. Die Simulationsprogramme HSPICE und SPECTRE nutzen die Gleichungen direkt, während schnellere Simulationsprogramme wie TIMEMILL und STARSIM mit aus den Gleichungen abgeleiteten Tabellen arbeiten, um die Simulation zu beschleunigen. Für zukünftige Technologien stellt die UCB im Internet ein "Berkeley Predictive Technology Model" (BPTM) frei zur Verfügung:

<http://www-device.eecs.berkeley.edu/~ptm/>

Bis herunter zu einer effektiven Kanallänge von 30nm können damit zukünftige Schaltkreise schon simuliert werden!

Diese noble Geste, wertvolle Informationen frei zur Verfügung zu stellen, setzt die von Prof. Pederson begründete Berkeley-Tradition fort. Wie kürzlich in seiner Würdigung im IEEE Spectrum zu lesen war, hat er nie ein Patent angemeldet und stets darum gekämpft, daß SPICE für jeden Interessenten frei zugänglich war.

3.3 Wireless and HF

Die Anzahl der Vorträge, die nicht zur reinen Digitaltechnik bzw. den anverwandten Gebieten gehörten, hat sich auf die beachtliche Zahl von 22 (entsprechend 29%) von insgesamt 76 Vorträgen gesteigert. Es wurden keine gänzlich neuen Verfahren oder Schaltungstechniken vorgestellt, sondern nur Verbesserungen und Weiterentwicklungen.

Die einzig große Neuigkeit ist, daß die Digitaltechnik, getrieben durch erhebliche Schwierigkeiten bei der gleichmäßigen Verteilung der Clock-Signale über große Chipflächen, über *Wireless-Interconnect* nachzudenken anfängt. Allerdings erscheinen die Erfolgsaussichten nicht so rosig, da auch durch eine strahlungsgekoppelte Clock-Verteilung eine von der Entfernung abhängige Laufzeit zum Tragen kommt. Das Verfahren sieht vor, daß ein zentraler Verteilsender bei einer Frequenz von 15 GHz (= 8 fache Clock-Frequenz) die Clock-Signal-Information über eine Antenne auf dem Chip abstrahlt und an mehreren Stellen durch Empfangsantennen auf dem Chip empfangen wird. Die Antennen sind verkürzte Halbwellenstrahler mit einer Länge von 2 Millimetern, realisiert mit einer Standard-Metallisierung aus Kupfer (0,18µ CMOS-Technologie).

Erwartungsgemäß befassten sich 8 Vorträge in zwei Sitzungen für die Frequenzbereiche um 0,9 und 2,4 GHz mit den Problemen der rauscharmen und großsignalfesten Vorstufen (LNA) und großsignalfesten Mischstufen.

Von besonderem Interesse sind die verschmolzenen Schaltungen (*Merged LNA and Mixer*), bei welchen durch Verschmelzung der beiden traditionell getrennten Bausteine Vorverstärker und Mischstufe verbesserte Ergebnisse erzielt werden können. Die Integration von hochfrequenten Filtern ist bisher kaum in praktisch nutzbarer Form gelungen, da die Güte von integrierten Induktivitäten sehr schlecht ist. Zur weiteren Verbilligung von HF-Geräten müssen deshalb entweder HF-Filter integrierbar werden oder durch eine Änderung des Empfangsprinzips insgesamt vermieden werden. Beide Lösungen sind inzwischen gangbar und wurden in Vorträgen demonstriert: integrierte Filter mit aktiver Erhöhung der Gütewerte und das Empfangsprinzip des Direktüberlagerungsempfängers

mit seinen speziellen DC-Offset- und Rauschproblemen. Beide Empfangsprinzipien, der Überlagerungsempfänger mit und ohne Zwischenfrequenz, benötigen regelbare Verstärker (VGA's); sie wurden in verschiedenen Ausführungen behandelt.

Weitere Themen, welche die *Wireless*-Gemeinde bewegen, sind rauscharme und dabei stromsparende Frequenzaufbereitungen (VCO's and PLL-Synthesizer). Angesprochene Themen sind Verbesserungen der regelungstechnischen Stabilität und der Verringerung der Verlustleistung bei Frequenzteilern durch ein modifiziertes Rückmischverfahren.

3.4 Passive Elements and Test

Hervorzuheben sind zwei Beiträge zur Integration von passiven Bauelementen: L und C.

Silicon Integrated High Performance Inductors in a 0.18 μ CMOS Technology for MMIC
(Hsu et al., Taiwan; einige der 15 Autoren sind von der TSMC)

Ergebnis: Die Außenwindungen von integrierten Flachspulen für den GHz-Bereich müssen zunehmende (tapered) Leitungsbreite besitzen, um die parasitären Verluste zu verringern und die Güte zu verbessern.

Design and Characterization of Vertical Mesh Capacitors in Standard CMOS
(Christensen, Dänemark; Nokia)

Setzt man parallele Leiterbahnen in gleich mehreren Metallebenen übereinander, ebenfalls parallel zueinander ausgerichtet, und verbindet in jeder der Leitungen vertikal mit vielen Vias vom oberen bis zum untersten Metall der Struktur, so erhält man laterale Kondensatoren. Die Herstellungstoleranz ist wenige bis unter einem Prozent im Gegensatz zu herkömmlichen Cs zwischen zwei leitfähigen Schichten, bei denen die Variation plus minus 10 bis 20% betragen kann. Somit kann bei HF-Filtern das aufwendige on-chip tuning reduziert werden, wo solche Cs benötigt werden. Die anschließende Diskussion - jemand aus den USA sagte „wir gehen einen ähnlichen Weg“ - bestätigte das.

3.5 High Speed Circuits, Clock Distribution and Bus Drivers

In der Sitzung über „High Speed Circuits“ gab es einen herausragenden Beitrag aus Korea:

480ps 64-bit Race Logic Adder
(Lee, Woo und Yoo)

Selbst mit worst-case Daten ist in einem 64-bit Paralleladdierer der Carry-out nach höchstens 480ps fertig bestimmt. Diese Art des Carry-look-ahead arbeitet mit Generate/Kill Modulen, Verdrahtet-ODER und einer Winner-take-all Schaltung. Gegenüber herkömmlicher Struktur stellt das eine wesentliche Steigerung der Geschwindigkeit dar.

Die Sitzung „Clock Distributions and Bus Drivers“ enthielt einen zukunftsweisenden japanischen Beitrag:

Two Schemes to Reduce Interconnect Delay in Bidirectional and Uni-directional Buses
(Nose, Sakurai)

Seit der Sub- μ Technologie sind die Verzögerungen durch die Leitungen sehr viel größer als durch die Gatter. Geht man von jetzt 0.18 μ auf 0.07 μ im Jahr 2008, wird man durch in Busleitungen abschnittsweise eingefügte Buffergatter (Verstärker) auf ein Zehntel der Verzögerung kommen, die man ohne diese Maßnahme hätte. Bei der 0.18 μ -Technologie ist die Reduktion allerdings erst 20%. (Anm.: Diese „Repeater“ in den Leitungen werden in der künftigen Nano-Technologie unbedingt erforderlich sein.)

3.6 Single Electron Transistor

Der unersättliche Anspruch auf höhere Performance von Datenverarbeitungsanlagen wie z.B. PC's, haben einen wesentlichen Nachteil: Die elektrische Verlustleistung nimmt stark zu.

Deswegen ist es nicht nur in Multimedia Anwendungen ein wichtiger Aspekt, wie es möglich ist, eine höhere Performance bei gleichzeitiger Verringerung der elektrischen Verlustleistung zu erreichen. Hier hat sich seit kurzer Zeit in der Literatur ein Ansatz herauskristalliert. Dieser Ansatz lautet: „Single Electron Device“. Diese Elemente basieren auf dem Single Electron Transistor (SET). Dieser SET be-

steht aus einer 10 nm „design rule area“ und hat Eigenschaften wie ein MOSFET, d.h. geringe Verlustleistung und hohe Widerstände. Je kleiner der SET gemacht werden kann, umso besser sind seine Eigenschaften; dies ist jedoch beim MOSFET nicht der Fall. Laut Aussage eines Vortragenden wird in vielen Anwendungen der SET in wenigen Jahren den MOSFET verdrängen!

Der Hauptvorteil des SET besteht in der zukünftigen Verwendung von Bauteilen für UVLSI mit extrem niedriger Verlustleistung. Der Nachteil des SET besteht in seinem geringen FANOUT und dem damit resultierenden großen Ausgangswiderstand.

Die beiden nachfolgenden Bilder sind dem Beitrag

Pass-Transistor Logic and its Application to a Binary Adder

(Y.Ono, Y.Takahashi, NTT Basic Research Laboratory)

entnommen.

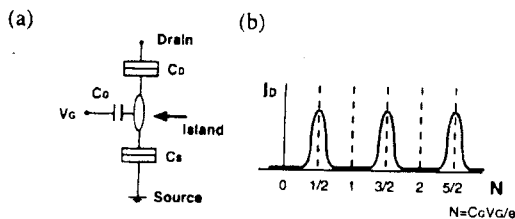


Fig. 1. Equivalent circuit of a single-gate SET (a), and its drain-current vs. gate-voltage characteristics (b). In (a), the double boxes represent source and drain tunnel capacitances, C_s and C_D . The gate capacitance is denoted by C_G .

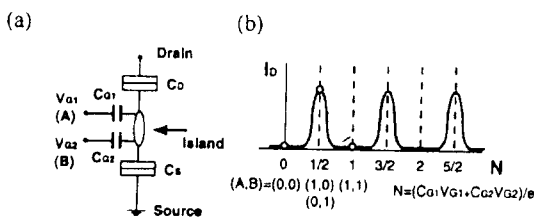


Fig. 2. Equivalent circuit of a double-gate SET (a), and its drain-current vs. gate-voltage characteristics (b). In (a), A and B represent operands input to the gates. In (b), the open circles indicate the operation points.

In diesem Vortrag wurde eine neue Art von logischen Elementen unter Verwendung von SET vorgestellt, die die Eigenschaft der geringen Größe des SET deutlich hervorhebt. Zum anderen wurde ge-

zeigt, wie man das geringe FANOUT des SET kompensieren kann.

Ausgehend von einem Single Gate mit SET wurde gezeigt, wie ein Multi Gate implementiert werden kann. Dieses Multi Gate erlaubt es, eine XOR Funktion in einem Device zu konfigurieren. Die Eigenschaft des XOR in Verbindung mit dem SET erlaubt es nun, sehr einfach Summen von Bits zu bilden.

Aus diesem Grunde wurde als Beispiel ein binärer Volladdierer gewählt. Es wurde gezeigt, dass dieser Volladdierer mit lediglich sechs Transistoren(SET) realisiert werden kann.

3.7 Low Power Digital Supply Systems

Die übliche Methode der Regelung der Ausgangsspannung von Schaltnetzteilen ist die analoge Regelung mit den Vorteilen der guten Stabilität, der guten Regelgüte und der schnellen Regelantwort. Eine heute übliche Methode der Regelung für Low Power Digital Supply Systeme ist die adaptive Regelung. Es ist allgemein bekannt, dass die Geschwindigkeit und die Verlustleistung von digitalen CMOS Bauteilen von der Versorgungsspannung abhängt. Bei niedriger Betriebsfrequenz kann also die Versorgungsspannung reduziert werden. Nimmt die Schaltfrequenz zu, so muss die Versorgungsspannung erhöht werden. Da die Verlustleistung der digitalen CMOS Bauteile wesentlich von den dynamischen Schaltverlusten $C \cdot V^2 \cdot f$ bestimmt wird, hängt der Leistungsgewinn von den Versorgungsspannung und der Frequenz ab und kann demnach recht groß sein.

Adaptive Stromversorgungseinheiten erfordern eine Referenz-Schaltung, die unter anderem die kritische Verzögerung des Systems bestimmt: einen DC/DC Wandler und einen Controller, um die Rückkopplungsverstärkung zu stabilisieren.

Ein Ansatz, der bei neueren Prozessoren wie der Long-Run Technologie des Cruseo-Prozessors von TRANSMETA, dem Xscale von Intel und der Micro Signal Architecture von Analog Devices genutzt wird, ist die softwaremässige Einstellbarkeit von Taktrate und Reduzierung der Spannung des Prozessor-Cores.

Eine neuartige Umformulierung des Regelalgorithmus hinsichtlich der Frequenz erlaubt es nun, eine sehr einfache digitale Implementierung und sogar eine Integration des Referenz-Elementes in den Sensor vorzunehmen. Bisher wurde der Controller mit digitalen Schaltkreisen implementiert, weil der Ausgang des adaptiven Spannungsversorgungs-Reglers die Frequenz des Referenzelementes ist anstatt der Ausgangsspannung eines typischen Spannungskonstanters. Die Referenz-Frequenz gibt die max. Frequenz bei einer vorgegebenen Spannung an, mit der das System arbeiten kann. Der adaptive Regler versucht nun, diese Frequenz konstant zu halten bei einer vorgegebenen Frequenz des Anwenders oder des Systems. Der Referenz-Schaltkreis ist gewöhnlich als Ringoszillator realisiert. Deswegen ist auch die Verzögerungszeit der digitalen Anwendungen leicht zu messen und entsprechend zu regeln.

Der digitale Controller arbeitet als geregelte Variable, so dass auch die Verlustleistung des adaptiven Regler skalierbar ist. Ein Prototyp des digitalen Controllers wurde vorgestellt. Bei adaptiven Regelungen von Stromversorgungen wird jedoch versucht, die Verzögerungen zu regeln

und deswegen wird gerne der digitale Regler eingesetzt, der die Ausgangsspannung regelt. Die Idee beruht auf der Tatsache, dass die Geschwindigkeit und die Verlustleistung von CMOS Gattern von der Versorgungsspannung abhängt($C \cdot V^2 \cdot f$). Bei geringen Frequenzen kann die Versorgungsspannung also geringer sein.

HINWEIS: Von den Autoren dieses Berichts kann eine CD mit sämtlichen Beiträgen des 2001 Symposium on VLSI Circuits und des zu Beginn derselben Woche veranstalteten 2001 Symposium on VLSI Technologies entliehen werden:

g.albert@fh-mannheim.de
d.jansen@fh-offenburg.de
gerald.kampe@fht-esslingen.de
klaus.knoeffel@fht-esslingen.de
nieling@uni-freiburg.de
prochaska@fh-heilbronn.de
ritzert@fh-karlsruhe.de
schmidtk@fh-furtwangen.de



Die Tagungsteilnehmer zusammen mit Herrn Dr. Hild vor der Osaka Electro-Communication-University

Laderegler-ASIC für Solarsysteme

Thomas Brenner, Gerhard Forster

Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm

forster@fh-ulm.de

Ziel dieser Arbeit war es, einen kostengünstigen Laderegler für Kleinsysteme bis 50 Watt Spitzenleistung zu entwickeln. Ausgehend von einer Schaltung aus diskreten Bauelementen wurde zunächst die Integrationsfähigkeit untersucht. Die Schwerpunkte zur Umsetzung in einen ASIC lagen in einem neuen Schaltungsentwurf, bei dem die Zeitkonstanten und die Auswertung der Regelungssignale digital realisiert sind. Das Layout wurde in einem 0,8 μm CMOS Hochvoltprozess erstellt. Umfangreiche Messungen an Prototypen des Chips wiesen kleinere Unstimmigkeiten auf. Durch eine anschließende Layoutanpassung wurde der Laderegler nun auf einem Stand gebracht der die Serienproduktion zulassen würde.

1 Einleitung

1.1 Motivation

Solarenergie erfreut sich momentan einer ständig ansteigenden Nachfrage. Gründe hierfür sind zum einen wachsendes Umweltbewusstsein aber auch Mangel an elektrischer Energie. Viele Länder der „Dritten Welt“ besitzen kein oder ein nur schwach ausgebautes Stromversorgungsnetz. In diesen Ländern wird eine große Nachfrage an Solarsystemen erwartet. Sie gelten somit als Hauptabsatzmarkt für den Solarladeregler. In entsprechenden Modulgrößen ist auch ein mobiler Einsatz von technischem Gerät möglich. Auf jeden Fall gibt es Gründe genug die Solartechnik voranzutreiben. Vorteile von ASICs sind neben der Nachbausicherheit der Einsatz von wesentlich weniger diskreten Bauteilen. Dadurch lässt sich die Fehleranfälligkeit bei der Herstellung reduzieren und die Systemzuverlässigkeit erhöhen. Weiter ist somit auch die Möglichkeit gegeben, den Laderegler in den Absatzländern vor Ort herzustellen, was eine erhebliche Absenkung der Kosten einbringt.

1.2 Funktionsweise des Ladereglers

Der Laderegler (Bild 1) ist in einem Solarsystem das Bindeglied zwischen dem Solarmodul, dem Akku und dem Verbraucher. Er steuert das System so, dass der Blei-Akku als Energiespeicher optimal ausgenutzt wird. Um die Lebensdauer des relativ teuren Akkus möglichst lange zu erhalten, muss ihn der Laderegler vor kritischen Betriebszuständen schützen.

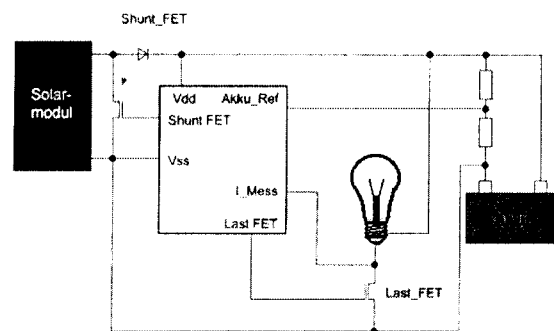


Bild 1: Prinzipschaltbild Laderegler

Bei zu großem Laststrom oder zu geringer Akkuspannung muss der Laderegler über den externen Leistungstransistor Last-FET die Last abtrennen. Hat der Akku die Ladeendspannung erreicht, wird das Solarmodul über den Shunt-FET kurzgeschlossen. Nach einem Unterschreiten des Tiefstwertes wird der Akku kurzzeitig überladen (erwünschte Gasung). Eine stromabhängige Kurzschlussicherung ermöglicht den Betrieb von Geräten, deren Einschaltstrom über dem Nennstrom der Solaranlage liegen.

1.3 Entwicklungsziel

In Anlehnung an das Basiskonzept sollte der Mixed Signal-ASIC für Solarladeregler eine Reihe von Anforderungen erfüllen. Er soll in einem Tempera-

turbereich von $-20\text{ }^{\circ}\text{C}$ bis $70\text{ }^{\circ}\text{C}$ wahlweise in 12 V oder 24 V Systemen betrieben werden können. Unabhängig davon sollen die externen FETs mit gleicher Spannung angesteuert werden. In den Laderegler sollte eine Schnellladung bzw. Gasung, eine elektronische Sicherung in Abhängigkeit der Stromhöhe und ein stromgeführter Tiefentladeschutz integriert werden. Für die Referenzspannungsquellen ist eine Genauigkeit von 2% und für die Referenzspannungen ein TK von -2000 ppm/K gefordert. Die optische Anzeige des Systemzustandes sollte mit einer Duo-LED realisiert werden. Außerdem musste eine integrationsfreundliche Lösung für die Zeitkonstanten gefunden werden.

2 Schaltungsentwurf

2.1 Der angewandte Prozess

Für den geplanten Einsatz des ASICs in einem 12 V bzw. 24 V System mit möglichen Leerlaufspannungen bis zu 48 V musste ein Hochvoltpro-

zess zur Anwendung kommen. Ausgewählt wurde deshalb der CXZ-Prozess der Firma Austria Mikro Systeme (AMS). Dieser Prozess ist ein $0,8\text{ }\mu\text{m}$ CMOS Hochvoltprozess mit Spannungen bis zu 50 V, der zudem eine High Resistive Maske beinhaltet, mit der sich hochohmige Polysilizium-Widerstände herstellen lassen. Im Gegensatz zu den herkömmlichen Widerständen beanspruchen diese weniger Fläche. Außerdem haben sie einen geringeren Spannungskoeffizienten von 10^{-3} V^{-1} , was speziell in einem Hochvoltprozess wichtig ist, und einen Temperaturkoeffizienten von -1200 ppm/K .

2.2 Vorgehensweise

Für den Schaltungsentwurf wurden zunächst die Schaltpläne im Design Architect erstellt. Die Simulation der einzelnen Analogblöcke erfolgte in Accusim. Anschließend wurde der Digitalteil zusammengesetzt und mit QuickSim simuliert. Nach Zusammenfügung der einzelnen Teilschaltungen zu einem Gesamtschaltplan konnte das Gesamtsystem simuliert werden.

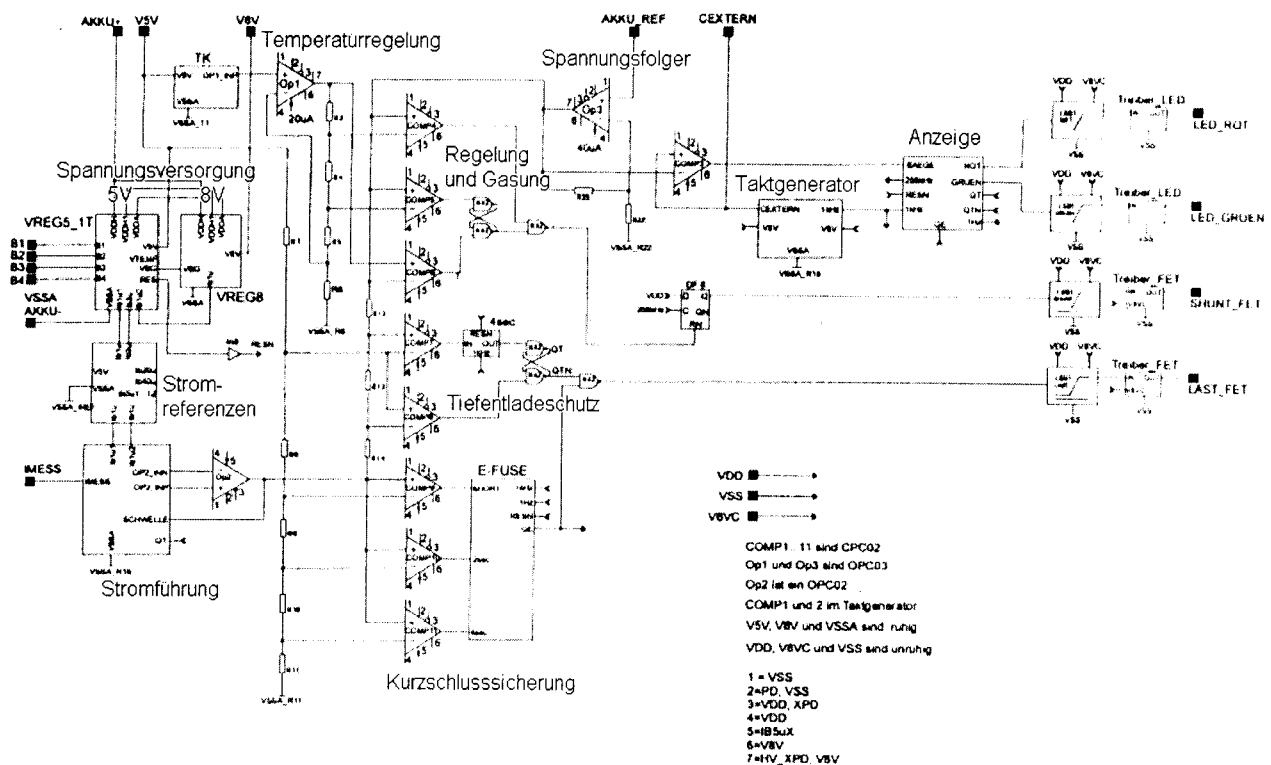


Bild 2: Blockschaltbild des Ladereglers

2.3 Leistungsmerkmale des Solarladereglers

(zu Bild 2) Eine Zweipunkt-Regelung verhindert, dass der Akku die Ladeendspannung überschreitet. Über einen externen Leistungstransistor wird das Solarmodul bei Erreichen der Ladeschwelle kurzgeschlossen. Eine unerwünschte Gasung, die den Akku zerstören könnte, wird dadurch vermieden. Hat die Akkuspannung einen bestimmten Tiefstwert unterschritten, wird im darauffolgenden Ladevorgang die Ladeendspannung überschritten und eine kurzzeitige Gasung eingeleitet. Durch kurzzeitiges Gasen bleibt die Kapazität, und somit auch die Lebensdauer des Akkus länger erhalten.

Da Blei-Akkus einen negativen Temperaturkoeffizienten zwischen -1000 und -3000 ppm/K besitzen, müssen die Schaltschwellen für die Regelung und Gasung angepasst werden. Mit einem TK von -2000 ppm/K gleicht die Temperaturregelung die Referenzspannungen an die momentane Betriebstemperatur an.

Mit Hilfe eines Leistungstransistors trennt der Tiefentladeschutz bei zu geringer Akkuspannung oder einem zu hohen Laststrom die Last vom Akku. Die Abschaltung der Last erfolgt jedoch zeitverzögert, damit auch Geräte betrieben werden können, die durch ihren Einschaltstrom die Akkuspannung kurzzeitig unter den Tiefstwert ziehen.

Der Laderegler beinhaltet eine elektronische Sicherung. In Abhängigkeit der Höhe des Stroms über den Last-FET schaltet sie in drei Abschaltgeschwindigkeiten 2 ms, 2 s oder 4 s ab.

Der aktuelle Zustand des Systems wird über eine Duo-LED angezeigt, welche vom ASIC entsprechend angesteuert wird. Diese soll:

- unterhalb 12 V Akkuspannung rot leuchten.
- oberhalb 12.8 V Akkuspannung grün leuchten.
- im Spannungsbereich dazwischen in einer Mischfarbe leuchten.
- bei aktiviertem Tiefentladeschutz rot blinken.
- bei aktiver Kurzschlussicherung grün blinken.

Der Taktgenerator erzeugt die Frequenzen für die Zeitkonstanten der Kurzschlussicherung, für die Anzeige und für das Verzögerungsglied des Tiefentladeschutzes.

Als Beispiele für den Schaltungsentwurf sind im Folgenden die Temperaturregelung und der Taktgenerator beschrieben.

2.4 Die Temperaturregelung

Der negative Temperaturkoeffizient von Bleiakkulatoren bewirkt, dass die Ladeendspannung bei tiefen Temperaturen höher liegt als bei hohen Temperaturen. Aufgabe der Temperaturregelung ist es, die Schaltschwelle des Reglers sowie der Gasung an die momentane Temperatur anzupassen.

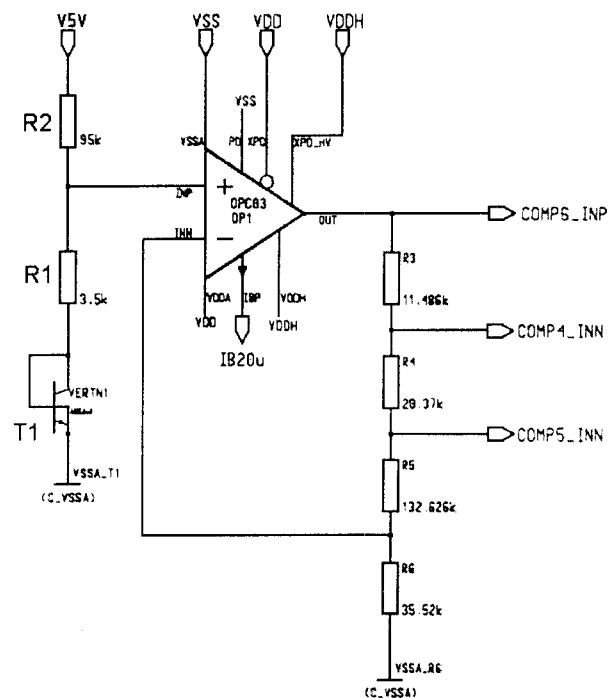


Bild 3: Temperaturregelung

Mit den beiden hochresistiven Widerständen R1 und R2 (Bild 3) mit einem TK von -1200 ppm/K und dem Transistor T1 in Diodenschaltung wurden simulationstechnisch Werte ermittelt, die am Eingang INP des nachgeschalteten Operationsverstärkers eine Spannung mit einem TK von -2000 ppm/K bewirken. Die Schaltschwellen des Spannungsteilers am Ausgang des Operationsverstärkers werden dadurch auf die entsprechende Temperatur eingestellt. Die Absolut-Toleranz der Spannungsreferenzen liegt bei ca. 3%.

2.5 Der Taktgenerator

Für die Zeitkonstanten der E-Fuse, der Anzeige und für ein Verzögerungsglied des Tiefentladeschutzes wird ein Taktgenerator verwendet.

Der Spannungsteiler R17 – R19 (Bild 4) legt die Kippschwellen für die Dreiecksspannung fest. Das nachgeschaltete Flip-Flop speichert einen Zustand bis zum Kippen des anderen Komparators. Wird die obere Schwelle erreicht, kippt COMP1. Das Flip-Flop schaltet T5 durch und der Kondensator C1 wird entladen. Sinkt die Spannung an C1 auf den unteren Schwellwert, kippt COMP2, und das Flip-Flop sperrt T5 wieder. An einem nachgeschalteten Frequenzteiler können die benötigten Frequenzen abgegriffen werden.

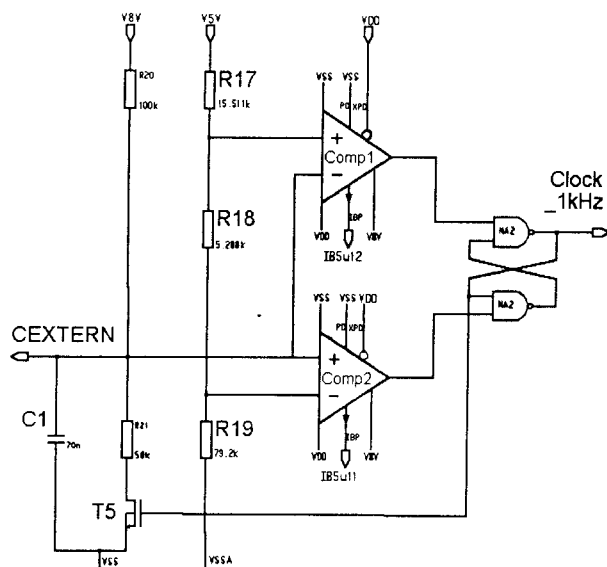


Bild 4: Taktgenerator

Die entstehende Dreiecksspannung am Kondensator wird gleichzeitig für die LED-Anzeige verwendet. Sie liegt genau zwischen den Spannungspegeln von 'Akku-leer' und 'Akku-voll'. Über eine weitere Teilschaltung (hier nicht gezeigt) wird sie mit dem momentanen Ladezustand des Akkus verglichen. Die Duo-LED wird pulsweitenmoduliert angesteuert und zeigt den aktuellen Ladezustand in einer entsprechenden Mischfarbe an.

3 Layoutentwurf

Das Layout wurde mit Hilfe des Programms IC-Station entworfen. Layoutgeometrien in Stan-

dardzell- bzw. Full-Custom-Technik können automatisiert oder per Hand erzeugt werden. Austria Mikro Systeme stellt auf der Basis dieses Entwicklungswerkzeugs eine eigene modifizierte Arbeitsumgebung zur Verfügung.

3.1 Vorgehensweise

Zuerst wurden die Layouts der Analogzellen und des Digitalteils entworfen. Nach der Erstellung eines Topologieplans konnten die Zellen im Gesamtlayout platziert und verdrahtet werden. Mit einem Design Rule Check (DRC) und einem Layout Versus Schematic (LVS) wurde das Gesamtlayout abschließend auf Layoutvorschriften überprüft und die Leitungsführung zum Gesamtschaltplan gegenkontrolliert.

3.2 Standardzellen

Die Standardzellenbibliothek von AMS enthält eine Vielzahl von Funktionsblöcken. Es besteht die Möglichkeit, analoge und digitale Schaltungen (Mixed Signal) auf einem Chip zu entwerfen. Um die Entwicklungszeit zu verkürzen, wurde die Schaltung soweit wie möglich aus Standardzellen aufgebaut. Folgende Standardzellen wurden in diesem Chip eingesetzt:

VREG5_1T:	5 V-Versorgungseinheit
VREG8:	8 V-Versorgungseinheit
OPC02:	OPV zur Stromführung
OPC03:	Eingangsspannungsfollower, Temperaturregelung
CPC02:	Komparator zur Schaltschwellendetektion
LS01:	Potentialanhebung 5 V-8 V

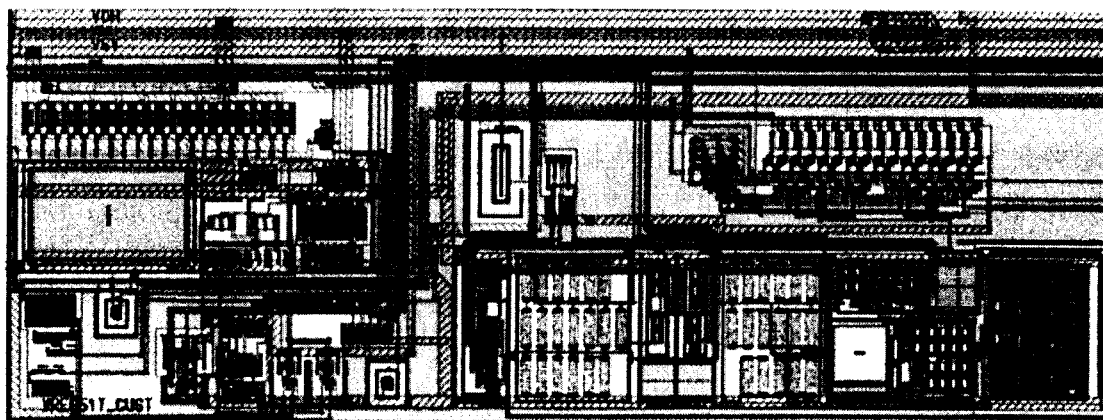


Bild 5: Layout VREG5_1T

3.3 Der Spannungsregler VREG5_1T

Beispiel für eine Standardzelle ist der Spannungsregler VREG5_1T (Bild 5). Es handelt sich dabei um einen 5 V-Spannungsregler. Die geforderte kleine Spannungstoleranz lässt sich durch vier Trimmbits erreichen (4,6 V - 5,3 V). Aufgrund des geringen Ruhestroms ist er speziell für Low Power-Anwendungen geeignet. Die Bias Source-Anschlüsse können zur Erzeugung von Stromreferenzen weiter verwendet werden. Weiter enthält er einen Power On Reset für digitale Systeme und die benötigten Versorgungsleitungen für die VREG8-Zelle.

3.4 Kundenspezifische Zellen

Da nicht jede benötigte elektrische Funktion mit Hilfe von Standardzellen realisierbar ist, wurden kundenspezifische oder Fullcustom-Zellen benötigt. Folgende Zellen wurden speziell für diesen Chip entwickelt:

RBANK:	Teilerkette für Referenzspannungen
RTAKT:	Taktgenerator
IREF:	Bias Current für Komparatoren und Operationsverstärker
TR_LED:	LED-Ansteuerung
TR_FET:	Ansteuerung der externen Leistungstransistoren
DIGITALTEIL:	Nachbildung der Zeitkonstanten und Schmitt-Trigger

3.5 Der Digitalteil

Beispiel für eine Fullcustom-Zelle ist der Digitalteil (Bild 6). Er stellt die umfangreichste kundenspezifische Zelle des Ladereglers dar. Für die Generierung wurde zunächst ein Schematic erstellt, das alle digitalen Komponenten der Funktionsblöcke Regler, Gasung, Tiefentladeschutz, Takterzeugung und Anzeige enthält. Anhand dieses Schematics wurde die Layoutzelle in der IC-Station synthetisiert werden. Geometrie, Zellenplatzierung, Portplatzierung und Verdrahtung können vollautomatisch oder mit Userangaben erstellt werden.

3.6 Erstellung des Topologieplans

Ein Topologieplan (Bild 7) legt fest, wie die einzelnen Layoutkomponenten später auf der Chip-Fläche platziert werden müssen, damit es zu keinen gegenseitigen Funktionseinschränkungen kommt. Zellen mit Signalschwankungen sollten gesondert platziert werden. Dabei muss die Leitungsführung der Einzelkomponenten berücksichtigt werden. Um die Länge der Leiterbahnen kurz zu halten sollten Zellen, die gemeinsame Funktionsblöcke bilden, möglichst dicht beieinander liegen. Zellen mit Padanschlüssen sollten so weit es geht an den Chiprand gelegt werden. Außerdem muss wegen der Versorgungsschienen auf eine gleiche Ausrichtung der Zellen geachtet werden.

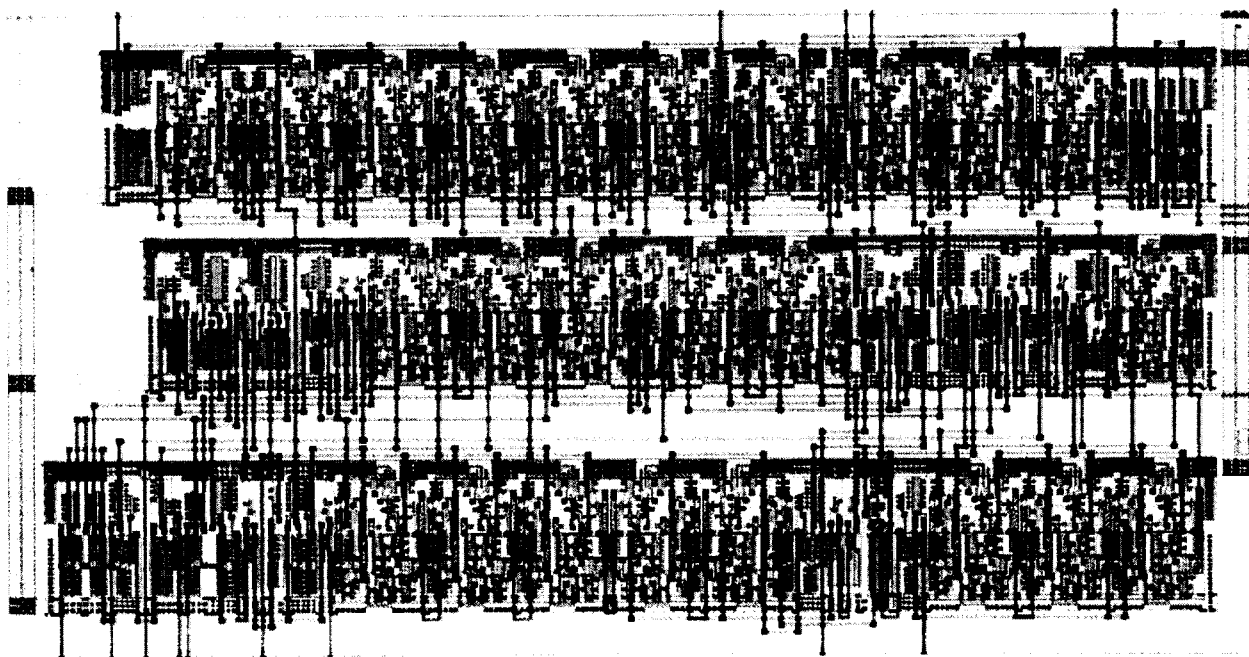


Bild 6: Layout Digitalteil

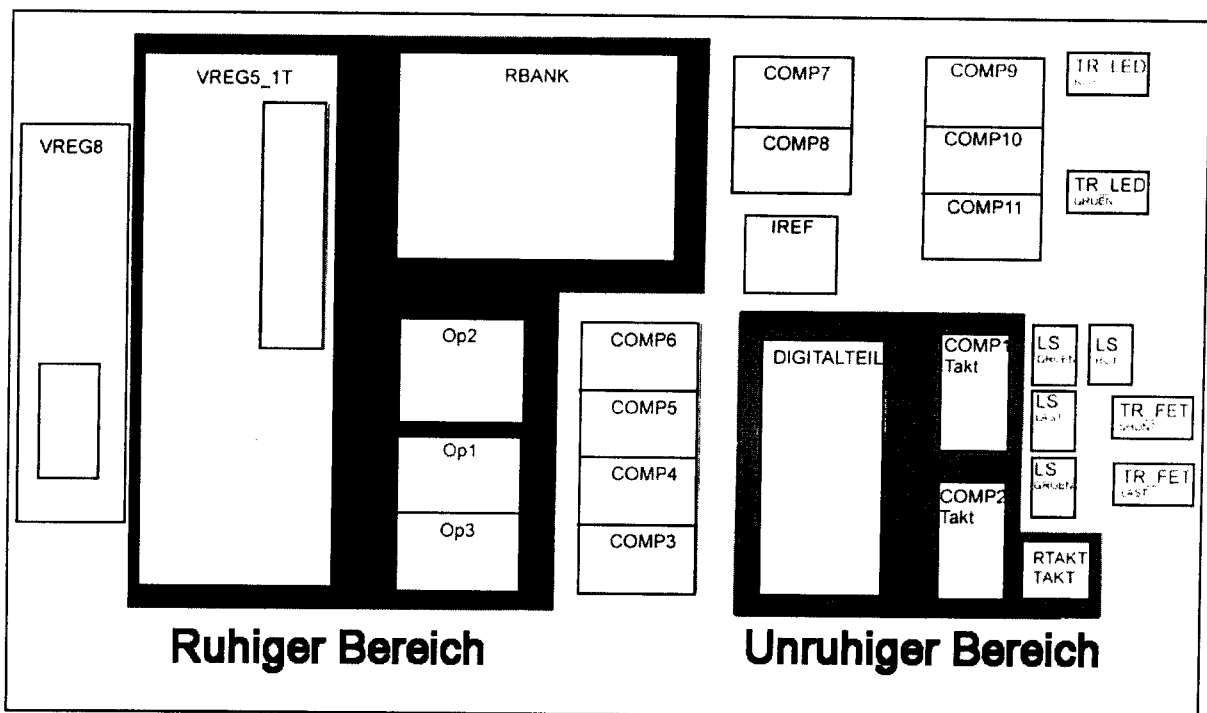


Bild 7: Topologieplan

3.7 Die Versorgung des Chips

Der Chip wird mit zwei Massen, einer "ruhigen" und einer "unruhigen" versorgt. Die "ruhige" Masse wird für Spannungsregler, Stromreferenzzelle und Widerstandsbank verwendet, die "unruhige" Masse für alle restlichen Komponenten wie Operationsverstärker oder Komparatoren.

Die 8 V-Versorgung wird auf dem Chip doppelt geführt. Dadurch werden Störungen, verursacht durch Spannungsspitzen an Treiberstufen oder Levelshiftern, von den ruhigen Komponenten des Chips abgehalten.

Die 5 V-Versorgung ist ebenfalls zweimal vorhanden. Sie dient zum einen zur Versorgung des Komparators und des Digitalteils und zum anderen als Referenzspannung für die Widerstandsbank und die Stromreferenzzelle. Um Spannungsschwankungen von diesen Zellen fernzuhalten, werden die restlichen Zellen von einer zweiten 5 V-Leitung versorgt.

4 Messergebnisse

Anhand des Gesamtlayouts wurden Prototypen des Laderegler-Chips gefertigt. Innerhalb einer Studienarbeit wurden die Laderegler aufgebaut und mit umfangreichen Messungen getestet. Im Folgenden sind einige der Messergebnisse im Vergleich mit den Simulationswerten aufgeführt.

	Sollwert	Messwert
Stromaufnahme	ca. 1 mA	1,06 mA
V8V Referenz	8 V	7,65 - 8,15 V
V5V Referenz	5 V	4,9 - 5,09 V trimmbar

Die Tabelle zeigt die Messwerte der Schaltschwelle LAST-FET EIN an den auf 5 V abgeglichenen Chips. Wobei als Sollwert $2,66 \text{ V} \pm 1\%$ erwartet wurde.

Chip 1	2,660 V
Chip 2	2,780 V
Chip 3	2,768 V
Chip 4	2,773 V
Chip 5	2,758 V
Chip 6	2,652 V
Chip 7	2,664 V

Etwa die Hälfte der Prototypen wies eine signifikante, jedoch gleichförmige Abweichung vom Sollwert auf.

5 Layoutanpassung

Die beobachtete Verschiebung der Schaltschwelle konnte auf ein leichtes Schwingen des Operationsverstärkers OP3 zurückgeführt werden. Der OP3 (Bild 8) muss den Strom für den 200 k Ω Spannungsteiler liefern, welcher die Referenzspannungen für die Schaltschwellen festlegt. Um einen höheren Ausgangsstrom am OP3 zu erreichen, wurde bei der Entwicklung der Bias Current erhöht. Durch diese Maßnahme wurde die Phasenreserve verringert, was ein Schwingen des Operationsverstärkers zur Folge hatte. Diese Schwingung verursachte einen Versatz der Schaltschwellen um den Scheitelwert der Schwingung von ca. 100 mV.

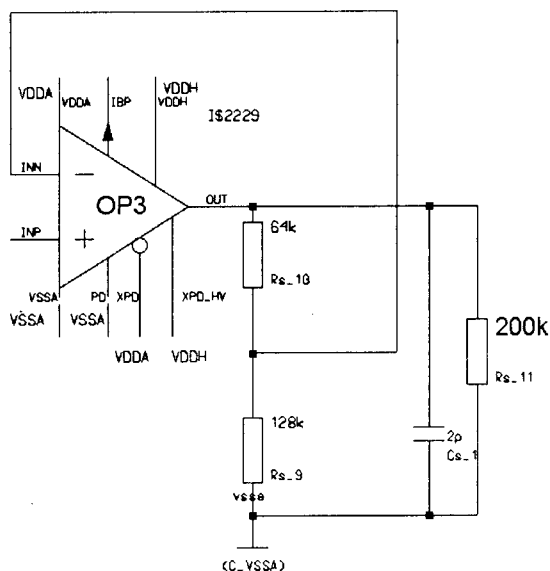


Bild 8: Simulationsschaltung OP3

5.1 Nachsimulation

Das Bode-Diagramm (Bild 9) des OP3 bei einer Simulation der gesamten Schaltung im Worst-Case zeigt eine deutliche Überhöhung. Dies bedeutet, dass der Operationsverstärker bei Anliegen von Rauschsignalen möglicherweise in einen instabilen Zustand fällt.

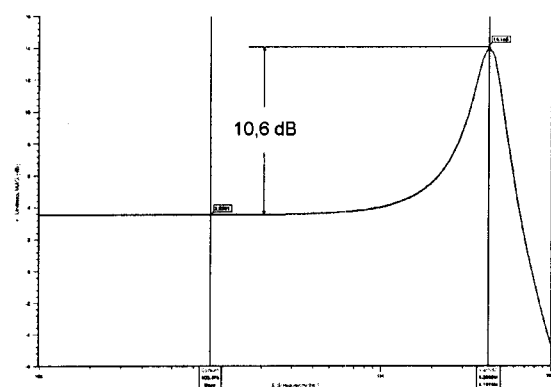


Bild 9: Bode-Diagramm Nachsimulation OP3

5.2 Erweiterung des OP3

Um die Ausgangsleistung des OPC03 zu erhöhen, musste der Endstufentransistor mp_9 (Bild 11) vergrößert werden. Die Kanalweite des Transistors wurde auf 160 μm vervierfacht. Nach einer Abschätzung der vorhandenen Chipfläche im Layout war diese Erweiterung noch möglich.

5.3 Simulation mit vergrößertem Transistor

Das Bode-Diagramm (Bild 10) des Worst-Case-Falles zeigt eine Überhöhung von nur 2,13 dB. Der abgeänderte OP3 weist gegenüber den 10,6 dB zuvor eine deutliche Verbesserung der Phasenreserve auf.

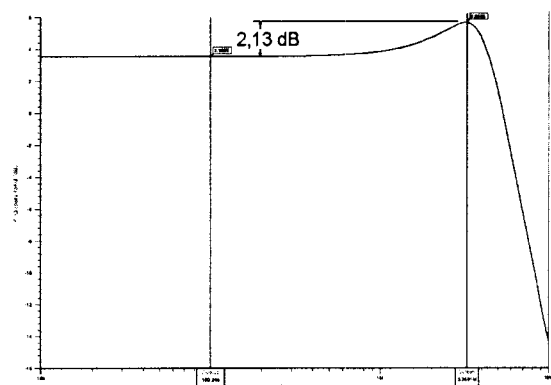


Bild 10: Bode-Diagr. OP3 erweitert

Mit einer größeren Kanalerweiterung des Endstufentransistors ließen sich noch bessere Ergebnisse erzielen. Aus Platzgründen im Layout musste darauf allerdings verzichtet werden. Da bei den Messungen an den Chips die Operationsverstärker nur teilweise instabil waren, geht man davon aus, dass die jetzige Erweiterung ausreicht, um den OP3 in einem stabilen Zustand zu betreiben.

5.4 Vergrößerung im Layout

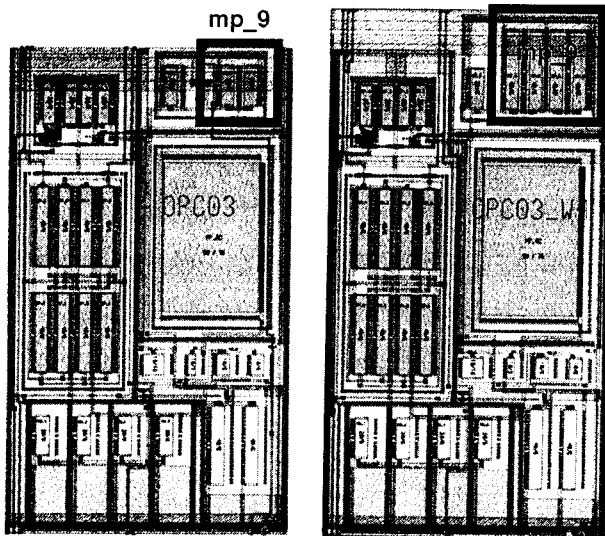


Bild 11: Vergleich OP3

Die Abbildung 11 zeigt die Vergrößerung des Transistors mp_9. Er besteht jetzt aus vier gleichen Einzeltransistoren mit einer Gesamtkanalweite von 160 μm . Die Länge der gesamten Zelle ist dadurch um 20 μm angestiegen.

6 Ausblick

Mit den ersten IC-Prototypen konnten bereits voll funktionsfähige Laderegler-Systeme realisiert werden. Die messtechnischen Untersuchungen dieser Systeme lassen erwarten, dass mit den durchgeführten Redesign-Maßnahmen eine Serienproduktion des Laderegler-ICs möglich wäre. Alternativ wird eine Funktionserweiterung des Systems in Betracht gezogen.

7 Literaturverzeichnis

- 1.) Gray, Paul; Meyer, Robert: Analysis and Design of Analog Integrated Circuits. New York. John Wiley & Sons, Inc. 1994
- 2.) Tietze, U. ; Schenk, Ch. : Halbleiter Schaltungstechnik. Berlin und Heidelberg. Springer Verlag 1993.
- 3.) Allen, P. ; Holberg, D. : CMOS Analog Circuit Design. Fort Worth. Holt, Rinehart and Winston, Inc. 1987.
- 4.) Austria Mikro Systeme International AG: Datenblätter 0,8 μm High Voltage Standard Cells. April 2000
- 5.) AMS HIT-KIT: Mentor Reference Guide Version 2.40

Danksagung

Die Autoren danken den Herren Martin Barchet und Oliver Salzmann für ihre Arbeiten zu diesem Projekt. Besonderer Dank gilt auch Herrn Zimmermann und Herrn Adelman, Fa. Phocos AG, für die systemtechnische Unterstützung.

Schnittkraftmesser mit rotierendem Kraftaufnehmer

Norbert Lämmerzahl, Bernd Kurz, Harald Töpfer
Fachhochschule Esslingen, Robert-Bosch-Str. 1, 73037 Göppingen
Institut für Angewandte Forschung, Robert-Bosch-Str. 1, 73037 Göppingen

Zur Untersuchung von Verschleiss- und Schneidvorgängen ist eine Kraftmessung möglichst nahe an der Werkzeugschneide von großer Wichtigkeit. Mit dem rotierenden Kraftaufnehmer ist es möglich, Schnittkräfte am rotierenden Werkzeug zu erfassen.

Der Kraftaufnehmer besteht aus einem Messkopf und dem dazugehörigen Steuergerät (Bild 1). Der Messkopf ist zwischen Maschinenspindel und Fräser angebracht. Im Messkopf befinden sich 2 Quarz-Sensoren der Firma Kistler zur Messung von Antriebsmoment und Vorschubkraft.

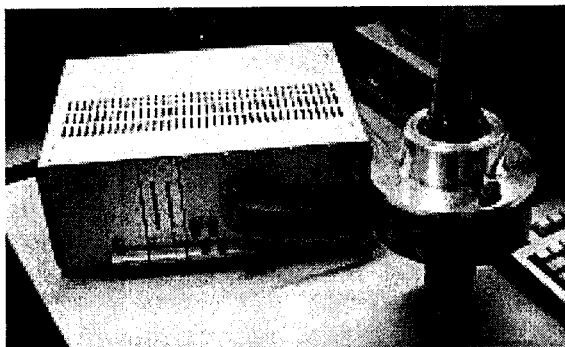


Bild 1: Messkopf und Steuergerät

Der Messkopf (Bild 1 rechts) enthält neben den Quarz-Sensoren die Sensorelektronik und 2 Spulen-Leiterplatten (Bild 2), eine stationär und eine rotierend.

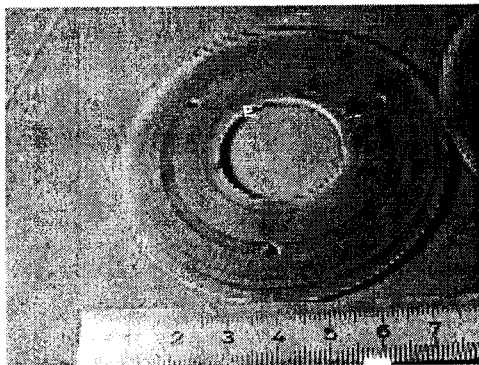


Bild 2: Spulen-Leiterplatte zur Übertragung

Die Sensorelektronik befindet sich auf einer kreisringförmigen Leiterplatte, die mit der Maschinenspindel rotiert (Bild 3).

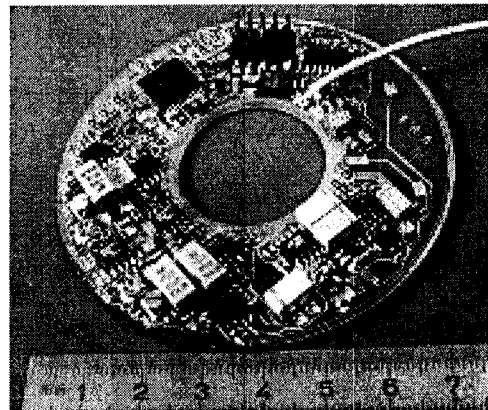


Bild 3: Sensorelektronik

In der inneren Aussparung dieser Leiterplatte wird der Quarz-Sensor eingebaut. Ein Teil des Messkopfs, oberhalb des schwarzen Rings, dreht sich nicht (Bild 1). Dieser Teil enthält die stationäre Spulen-Leiterplatte, die mit dem Steuergerät verbunden ist.

Die Sensorinformation wird über diese Spule vom rotierenden zum stationären Teil des Messkopfs übertragen. Es wird eine Trägerfrequenz von 38MHz mit ASK-Modulation benutzt. Die beiden Spulen-Leiterplatten haben einen Abstand von nur etwa 2 mm (Bild 2). Sie übertragen nicht nur die Information, sondern auch die Speisepannung für die Sensorelektronik. Dazu besitzt jede der beiden Leiterplatten noch eine 2. Wicklung mit etwa 30 Windungen. Das Steuergerät speist in die stationäre Wicklung eine 40KHz-Wechselspannung ein.

Das Steuergerät ist mit den beiden stationären Spulen im Messkopf verbunden. Es empfängt die Sensordaten als 38MHz-Signal und erzeugt daraus parallele Datenworte, die in den PC eingelesen werden.

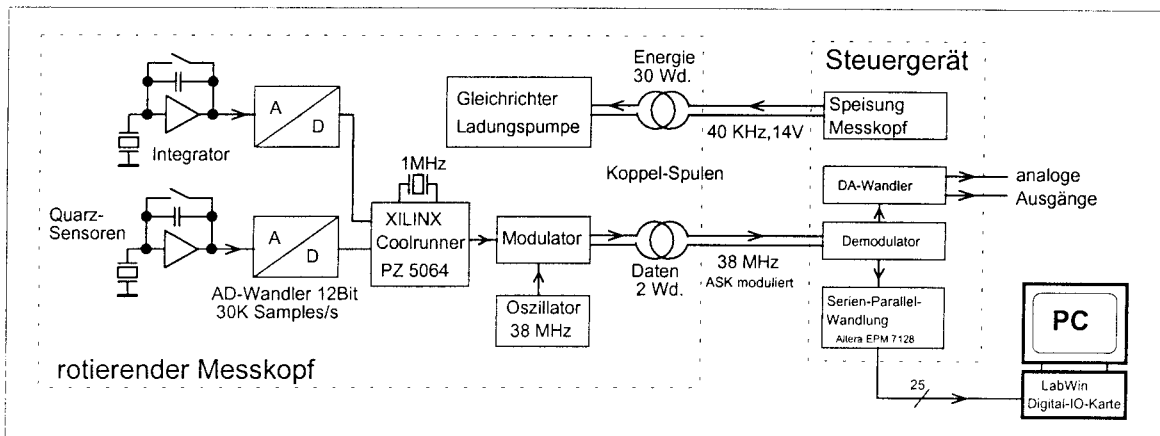


Bild 4: Blockschaltbild des Messsystems

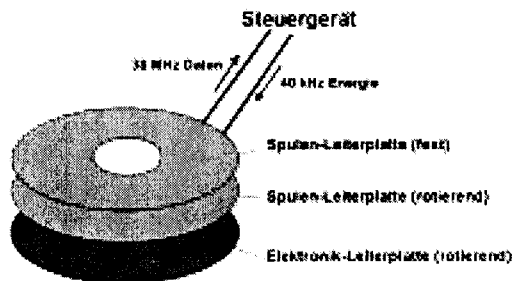


Bild 5: Schematischer Aufbau vom Messkopf

Details der Messelektronik

Das Messsignal der Quarz-Sensoren ist eine Ladung, die in einem Integrator gespeichert werden muss. Die beiden Integratoren dürfen nur einen sehr geringen Biasstrom $\ll 1\text{pA}$ haben, deshalb werden hier spezielle CMOS-Operationsverstärker verwendet.

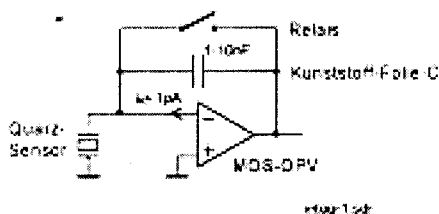


Bild 6: Aufbau des Ladungsverstärkers

Bild 6 zeigt die Integratorschaltung für die Quarzsensoren, auch Ladungsverstärker genannt. Bei handelsüblichen Ladungsverstärkern geschieht die Entladung der Integrationskapazität über ein

Reedrelais. Alle Komponenten im Sensorkreis müssen auf geringste Leckströme $< 1\text{pA}$ ausgelegt werden. Im vorliegenden Messkopf wurde aus Gründen der mechanischen Stabilität kein Reedrelais, sondern ein CMOS-Schalter verwendet.

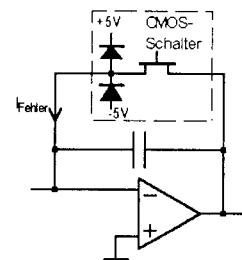


Bild 7: Entladung Integrator-C mit CMOS-Schalter

Bild 7 zeigt eine einfache Entladeschaltung mit MOS-Schalter. Durch die Substratdioden des MOSFET entstehen am Minuseingang des Operationsverstärkers relativ große Leckströme, die zudem noch stark temperaturabhängig sind.

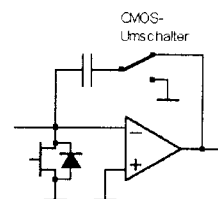


Bild 8: Entladung über Einzeltransistor und CMOS-Umschalter

In der verbesserten Schaltung in Bild 8 treten diese Leckströme nicht auf. Der MOSFET am Minuseingang des Operationsverstärkers ist spannungsfrei, sodass über die Drain-Substratdiode kein Leckstrom fließt. Mit dieser Lösung wird eine gute Langzeitstabilität auch bei

Darstellung der Daten auf dem PC

hohen Temperaturen erreicht.

Die Leiterplatte muss sehr sorgfältig gereinigt werden. Um die stromempfindlichen Knoten auf der Leiterplatte wurde ein Guardring gelegt. Damit konnten Oberflächenkriechströme zuverlässig abgeschirmt werden, obwohl die Leiterplatte ein sehr dichtes Layout aufweist.

Für den Umschalter kann ein einfacher CMOS-Schalter verwendet werden.

Die beiden 12 Bit-AD-Wandler digitalisieren das Sensorsignal mit einer Datenrate von jeweils 30 K Samples/s. In dem nachfolgenden CPLD wird aus den Ausgangsdaten der beiden AD-Wandler ein serieller Datenstrom im Manchester-Format erzeugt. Dieser Datenstrom tastet den 38MHz-Träger aus. Das modulierte 38MHz-Signal wird über die beiden Leiterplatten-Spulen zum Steuergerät übertragen.

Als Empfangsschaltung im Steuergerät wird ein SAW-Filter und ein für TV-ZF-Verstärker vorgesehenes Chip verwendet. Mit dieser einfachen Lösung konnten versuchsweise Datenraten bis zu 2 MBit/s erreicht werden. Die nach außen abgestrahlte Feldstärke des 38MHz Trägers ist durch die metallische Ausführung des Messkopfes weit unterhalb des erlaubten Grenzwertes.

Es wurden zwei unterschiedlich große Versionen der Übertragungselektronik angefertigt. Bei der kleineren Version beträgt der Durchmesser der Leiterplatten nur 75mm. Bei diesen Durchmesser kann nur wenig Energie über die Luftspulen zum Messkopf übertragen werden. Deshalb wurde die Elektronik des Messkopfes auf geringen Stromverbrauch hin ausgelegt. Der Gesamtstrombedarf des Messkopfes beträgt nur 5 mA bei 4 V Betriebsspannung. Hauptproblem ist dabei das CPLD, das neben der erwähnten Serialisierung der Daten noch einige andere Funktionen hat. Übliche programmierbare Logik-Bausteine dieser Größenordnung haben einen Stromverbrauch von etwa 100mA. Mit dem Coolrunner-Chip PZ 5064 (Xilinx) wurde eine sehr stromgünstige Lösung gefunden. Bei einer Taktfrequenz von 1MHz beträgt der Stromverbrauch des Chips nur 2mA.

Sehr vorteilhaft ist auch die Im-System-Programmierbarkeit: über den Jeduc-Bus kann das Chip auf der Leiterplatte jederzeit neu gebrannt werden.

Im Steuergerät wird der serielle Datenstrom aus dem 38MHz-Signal zurückgewonnen. Ein Altera FPGA EPM 7128 erzeugt daraus wieder die parallelen 24Bit Datenworte (2 Kanäle a 12 Bit) mit einer Datenrate von 30 K Worten/s, also insgesamt 720 KBit/s.

Über im Steuergerät eingebaute D/A-Wandler können die Sensor-Daten direkt als Analogspannung ausgegeben werden.

Für die Darstellung der Daten auf dem PC wurde im Rahmen einer Diplomarbeit [1] eine Lösung mit Echtzeit Linux entwickelt. Zur Überbrückung der Latenzzeit des Echtzeit-Linux (max. 20µs) werden die Daten auf einem FIFO im Steuergerät zwischengespeichert und über die parallele Schnittstelle in den PC eingelesen. Die Visualisierungs-Software hat eine Client-Server-Architektur. Der Server übernimmt die Daten vom Steuergerät und übergibt sie an den Client zur Darstellung in einem X-Windows-Fenster (Bild 8).

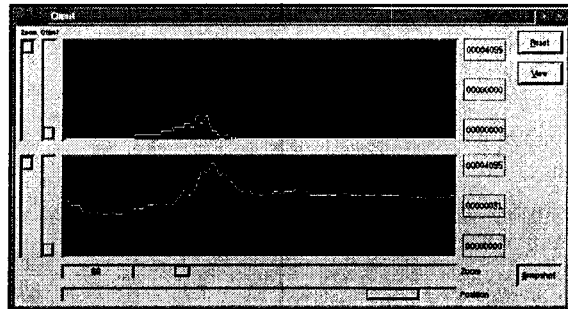


Bild 8: Messwertaufzeichnung von Drehmoment und Z-Schnittkraft

In dem Fenster werden die beiden Kanäle ähnlich wie einem Oszilloskop in Echtzeit angezeigt. Durch Zoom und Offset kann der Y-Maßstab verändert werden. Das momentane Bild kann als Snapshot abgespeichert werden. Leider war die Echtzeit-Software mit neuen Linux-Versionen schwer zu reproduzieren. Es wurde deshalb im Rahmen einer Projekt-Arbeit auch eine Visualisierungs-Software unter Benutzung von LabWindows erstellt. Die Daten werden hier mit einer einfachen Digital-IO-Karte parallel vom Altera EPM7128 gelesen. Allerdings ist mit dieser Lösung keine Echtzeitdarstellung möglich. Die Daten werden erst in einen Puffer geschrieben und danach auf dem Bildschirm dargestellt.

Literatur

- [1] Bastian Schick, „Echtzeit Meßwertaufzeichnung unter Linux“ Diplomarbeit 1998/99
- [2] Bernd Kurz, „Gerät zur Datenübertragung mit Linuxsoftware“ Diplomarbeit 1999

iSign – eLearning-System für die Mikrowellentechnik

Renate Wehrle,
 Prof. Dr.-Ing. Andreas Christ
 Fachhochschule Offenburg, Badstr. 24, 77652 Offenburg
 Tel. 0781/205 - 0, Fax 0781/205 - 110

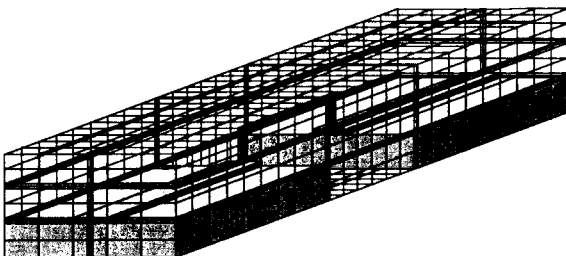
iSign — internet based simulation of guided wave propagation — ist eine Lernumgebung für Online-Laborversuche. Die Client-Serverarchitektur nutzt server-seitig das Tool F3D, das elektromagnetische Felder in 3D-Strukturen berechnet. Ein Apache-Webserver (unter Linux) bedient den Theorie-/Aufgaben-Teil und die Lernsystemadministration. Ein HPUX Simulationsserver steuert und kontrolliert den mehrstufigen Simulationsvorgang. Eine MySQL-Datenbank erlaubt dynamische Webseiten-Generierung und Simulations-, Projekt- und Userdatenhaltung. Java-Applets, JavaServer Pages und JavaBeans erzeugen die interaktive Client-Oberfläche zur Eingabe, Ergebnisdarstellung und für Online-Virtual Reality. Die einheitlich gestaltete Benutzeroberfläche verbirgt die Systemkomplexität.

1 Einführung

An der Fachhochschule Offenburg ist ein Softwaretool zur Simulation elektromagnetischer Vorgänge aus dem Bereich der Mikrowellentechnik im Einsatz. Das Softwaretool berechnet elektromagnetische Felder in dreidimensionalen, berandeten Strukturen. Hieraus ermittelt es die Ausbreitungskoeffizienten von Wellenleitern und die Streumatrix von Ein- oder Mehreren als zentrale beschreibende Größen des mikrowellentechnischen Verhaltens.

Abbildung 1 zeigt die Zerlegung der zu simulierenden Struktur in kleine, nicht äquidistante Quader. Diese dienen als Basis der zum Einsatz kommenden Finite-Differenzen-Methode zur Lösung des Maxwellischen Feldproblems.

Abbildung 1



3dimensionale Ansicht einer zu simulierenden Struktur

Das Softwaretool besteht aus FORTRAN-Programmen, die alle numerischen Berechnungen

vornehmen und die Ergebnisse in Dateien speichern. Sie enthalten die kompletten Berechnungsalgorithmen. Hilfsprogramme, die weitestgehend zeilenorientierte Eingaben verlangen, stellen die Benutzeroberfläche dar. Der Benutzer steuert den mehrstufigen Simulationsvorgang explizit durch das Starten der Programme. Die Auswertung der Ergebnisdateien erfolgte durch Übernahme der Ergebnisse in Standard-Grafikprogramme.

Das Forschungsprojekt iSign führt die einzelnen Komponenten zu einer integrierten Internetanwendung zusammen und integriert diese in eine umfangreiche Lernumgebung. Das eLearning-System beinhaltet sowohl die theoretischen Teile für das Selbststudium und zur Vorlesungsbegleitung als auch ein Simulations-Projektmanagement für selbständige und geführte Laborveranstaltungen.

Eine mehrstufige Client-Serverarchitektur mit zentraler Datenbank, dynamischer Webseitenerstellung, automatisierter Simulationsablaufsteuerung und einheitlich gestalteter Benutzeroberfläche bilden zusammen das eLearning-System iSign.

2 Anforderungen an das System

Ein Pflichtenheft charakterisiert die Anforderungen an das System. Inhaltlich, optisch wie auch funktional waren folgende Vorgaben einzuhalten.

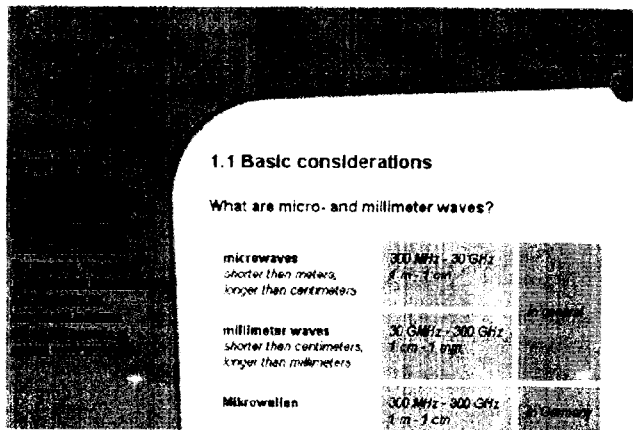
- **Benutzerfreundlichere Eingabe**
Die Eingabe der Simulationswerte erfolgte bisher zeilenorientiert über eine Unix-Shell. Im eLearning-System erfolgt die Eingabe durch Eintragen von Werten in vordefinierte Formularfelder. Die Formulare werden sukzessive abgearbeitet, die Anwendung führt den Benutzer durch die Werteingabe. In späteren Versionen wird eine 3D-Modelling-Software in Java diesen Prozess unterstützen [2].
- **Integrierte Ergebnisausgabe**
Zur grafischen Darstellung der Ergebnisse stehen Java-Applets zur Verfügung. Der Benutzer ruft diese aus der Lernumgebung heraus auf. Die interaktiv veränderbare Darstellung erfolgt innerhalb des eLearning-Systems.
- **Steuerung über das Internet**
Der Zugriff auf die Simulation über das Internet

war in der bisherigen Anwendung nur mit netnet möglich. Moderne Internettechnologie und der Einsatz eines Datenbanksystems ermöglichen innerhalb des eLearning-Systems die Kontrolle des gesamten Steuerungsprozesses über das Internet.

- **Einbindung der Vorlesungsinhalte**
Das Vorlesungsskript ist in das eLearning-System integriert. Dieses unterstützt die Vorlesungsveranstaltung und erlaubt das orts- und zeitunabhängige Selbststudium über das Internet.
- **Vertiefungsmöglichkeiten**
Der Aufgabenteil und Auszüge aus Fachartikel vertiefen die Kenntnisse der Benutzer in der Thematik "Mikrowellentechnik".
- **Versuchsdurchführung**
Individuelle Aufgabenstellungen, begleitende Theorie und die geführte Simulationssteuerung ermöglicht den Einsatz als Internet-Laborversuch.
- **Administration der Anwendung**
Die Betreuung der Laborversuche und die Daten-, Benutzer- und Inhaltspflege der Anwendung ist über die Anwendung selbst gewährleistet.
- **Corporate Design**
Das einheitliche Erscheinungsbild erleichtert die Orientierung innerhalb der Anwendung und verstärkt die Zusammengehörigkeit der einzelnen, inhaltlichen Elemente.

Abbildung 2 stellt die grafische Benutzeroberfläche der iSign Anwendung dar. Die Farbwahl richtete sich nach internen Vorgaben.

Abbildung 2



Farbliche Umsetzung der Benutzeroberfläche

3 Technologiewahl

Die Anforderungen des Systems können mehrere zur Auswahl stehende Technologien erfüllen. Da sehr viele unterschiedliche Komponenten benötigt werden, ist aber das Zusammenspiel der einzelnen Technologien untereinander maßgebend. Insbesondere die Servertechnologie ist für die Wahl der restlichen Komponenten entscheidend.

3.1 Wahl des Servers

Innerhalb der Fachhochschule Offenburg kommt hauptsächlich der **Apache-Webserver** unter Linux zum Einsatz. Er ist einer der am weitesten verbreiteten Webserver weltweit. Seine Ausfallsicherheit, wie auch die Transparenz des offen gelegten Source-Codes, haben diese Vormachtstellung herbeigeführt. Als OpenSource Projekt wird der Source-Code ständig weiterentwickelt. Durch Zusatzmodule ist er für unterschiedliche server-seitige Technologien geeignet. Der Source-Code ist kostenlos über das Internet verfügbar.

3.2 Wahl der Datenbank

Für den Apache-Webserver eignet sich das DBMS **mysql**. Dieses ebenfalls kostenlos verfügbare Datenbanksystem hat für Internetanwendungen eine sehr gute Performance. Die Ausfallsicherheit ist mit Oracle vergleichbar, die Wiederherstellung der Daten nach einem Ausfall sogar oftmals noch besser. Die Anforderungen an ein relationales DBMS sind zwar nicht konsequent umgesetzt, spielen aber im Internetbereich eine eher untergeordnete Rolle. Die "lamp" Konstellation (linux, apache, mysql, php) wird oft für kleinere eBusiness-Lösungen in der Industrie eingesetzt.

3.3 Wahl der client-seitigen Technologie

Die visuelle Darstellung der Ergebnisse lokal beim Client übernehmen **Java-Applets**. Die Standardbibliotheken von Java enthalten diverse Zeichenobjekte und interaktive Steuerungselemente (Buttons, Listen, Auswahlboxen,...).

Die Kommunikation der verteilten Anwendung erfolgt über Sockets. Diese übernehmen den Transfer der Anwendungsdaten. Die Ergebniswerte des Simulationsdurchlaufes werden vom Webserver zum Client transferiert. Die Werte befinden sich client-seitig nur im Arbeitsspeicher.

Applets haben aus Sicherheitsgründen keinen Zugriff auf die Festplatte des Client-Rechners. Speziellen "gezeichneten" Applets kann der Benutzer explizit Schreib- und Leserechte einräumen. Im Falle von iSign ist aber keine Datenspeicherung beim Client vorgesehen, da die Datenmanipulation aufgrund des Einsatzes als Laborversuch nicht erwünscht ist.

3.4 Wahl d. server-seitigen Technologie

Server-seitige Technologie gewährleistet die Generierung dynamischer Webseiten. Die Dynamik übernimmt Programm-Code, der die anwendungsbezogenen Daten verarbeitet. Die verfügbaren Techniken unterscheiden sich durch Aufenthaltsort und Sprache des Programmcodes. Die folgenden Techniken sind in der Internetprogrammierung zur Zeit verbreitet:

- **cgi-Programmierung**
Ausführbare Programme in PERL oder C. Sie be-

finden sich auf dem Webserver und werden durch http-Anfragen (request), die der Benutzer über den Browser auslöst, aufgerufen und auf dem Server ausgeführt. Die Standardausgabe dieser Programme übergibt HTML-Code über die http-Antwort (response) an den Client. Dieser Code enthält dynamische Ausgaben, die HTML-Programmierung alleine nicht bewerkstelligen kann.

- **Server API's**
Schnittstellen, die Protokolle zur Verfügung stellen. Die server-interne Struktur wird zur Verfügung gestellt. Durch umfangreiche Möglichkeiten entsteht ein hoher Einarbeitungsaufwand. Ein Beispiel für eine Server API wären Java-Servlets von Sun.
- **Server Side Includes**
Hier fällt keine Programmierung im eigentlichen Sinn an. Die Erstellung der dynamischen Ausgabe übernehmen Tags, die der Server bereitstellt und von diesem ausgeführt werden. Der HTML-Code erhält eine spezielle Endung und enthält diese SSI-Tags.
- **server-seitige Skripte**
Der Programmcode ist bei dieser Technologie in die HTML-Seiten eingebettet. Beim Aufruf der Seite, wird dieser Code, im folgenden als Skript bezeichnet, interpretiert. Erzeugt das Skript eine Ausgabe, wird diese an dessen Stelle eingefügt. Der Client erhält nur eine HTML-Seite. Da diese keinerlei Skripte mehr enthält, ist die ursprüngliche Zusammensetzung der Seite nicht mehr ersichtlich.
 - **PHP (personal home page)**
Diese Technologie ist weit verbreitet und benutzt eine einfache Hypertext Präprozessor Skriptsprache. Ein Zusatzmodul für den Apache-Webserver ist verfügbar. Eine direkte Kommunikationsverbindung von PHP zu Java-Softwarekomponenten ist dagegen nicht möglich.
 - **ASP (active server pages)**
Der Microsoft Internet Information Server enthält standardmäßig diese Erweiterung. Die verwendete Skriptsprache ist VisualBasicScript.
 - **JSP (java server pages)**
Die verwendete Skriptsprache ist Java. Der Zugriff auf Java-Bibliotheken erleichtert die Anwendungsdatenverarbeitung. Durch die Installation des Zusatzmodules "Tomcat" kann der Apache-Webserver JSP verarbeiten.

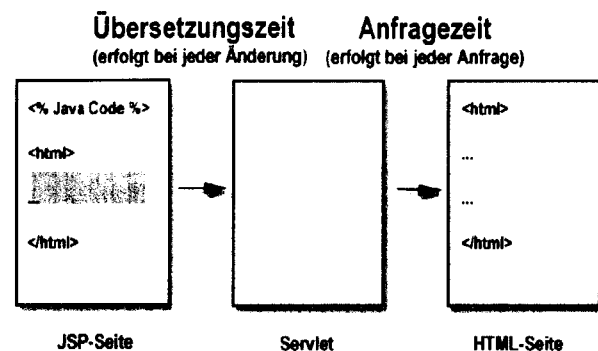
Diese Technologien ermöglichen den Zugriff auf Datenbanken oder andere Dienste (Mail, Datumsanzeige, ...). Sie unterscheiden sich durch ihre Funktionalität und durch ihre Funktionsweise.

Der Einsatz von **JSP** begründet sich damit, dass durch die vollwertige Programmiersprache wesentlich komplexere Möglichkeiten vorhanden sind.

Die Programmiersprache Java ist auch für die Netzwerkkommunikation und für die Darstellung der Ergebnisse im Einsatz. Eine homogene Java-Anwendung ohne eine zusätzliche server-seitige Skriptsprache entstand. Dadurch war es möglich Softwarekomponenten (JavaBeans), Codefragmente und Java Know-How auszutauschen.

Ein weiterer Aspekt für JSP-Technologie ist die Schnelligkeit. Eine JSP-Seite wird nur dann kompiliert, wenn sie verändert wurde. Eine JSP-Seite ist nach der Kompilierung ein Java-Servlet (Abb. 3). Dieses Servlet übernimmt die Erstellung der dynamischen Inhalte. Das bedeutet, der Entwickler unternimmt durch Testen der Seite diesen ersten Aufruf. Alle weiteren Anfragen von Benutzern gelangen zu den schon kompilierten Servlets.

Abbildung 3



Das kompilierte Servlet übernimmt die Ausgabe bei jeder Anfrage

4 Datenbankentwurf

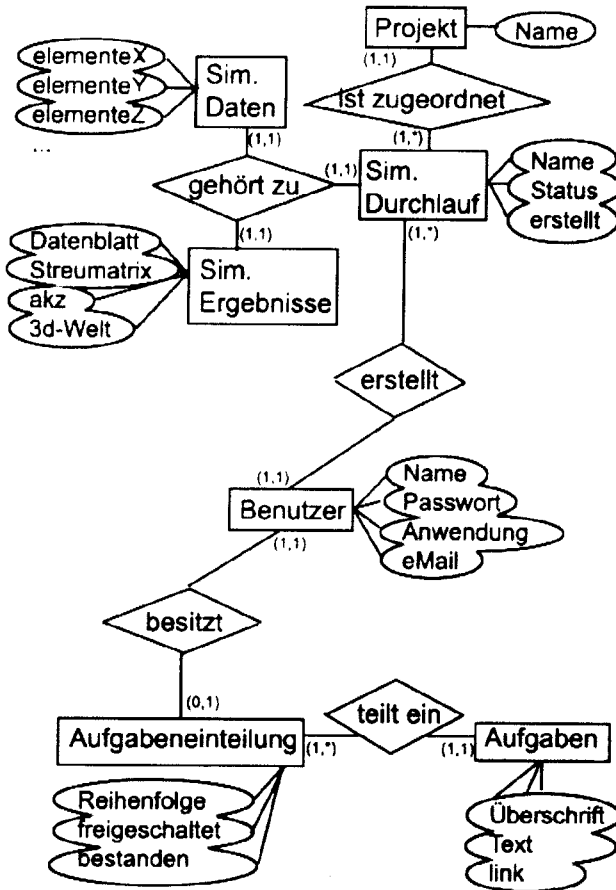
Das Zusammenspiel von Datenbank, JSP-Seiten und Webserver ermöglicht die Generierung dynamischer Inhalte. Die logische Strukturierung der Daten vermeidet Fehlfunktionen der Anwendung im laufenden Betrieb.

Ein wichtiges Ziel des Datenbankentwurfes ist die Abbildung realer Zustände in Daten des Datenbanksystems. Die genaue Beschreibung dieser Zustände erfolgte durch Ablaufdiagramme. Diese Szenarien legten somit den Ausschnitt der realen Welt fest. Die Klassifizierung von Objekten hilft bei der Erstellung von ER-Diagrammen. Die Einteilung der Elemente in eigenständige Objekte, Eigenschaften eines Objektes oder in Beziehungen verdeutlicht den Vorgang.

4.1 ER-Diagramm

ER-Diagramme und anschließende Normierung vermeidet Redundanzen im Datenbankentwurf. Wird Redundanz vermieden, entstehen durch Dienstfunktionen keine Inkonsistenzen im laufenden Einsatz. Das ER-Diagramm der Simulationsdurchführung im Rahmen eines Laborversuches skizziert Abbildung 4.

Abbildung 4



ER-Diagramm für Simulationssteuerung mit Laborversuch

Objekte/Relationen sind als Rechtecke dargestellt, Beziehungen zwischen Objekten stehen in Rauten und Attribute von Objekten sind von Ellipsen umgeben. Die (min, max)-Notation neben den Objekten legt fest, wie oft die Beziehung zwischen den Objekten minimal und maximal vorkommt.

4.2 Tabellenentwurf

Die ER-Diagramme dienen als Grundlage erster Tabellenentwürfe. Die Objekte wurden zu Relationen (Tabellen) und erhielten ein zusätzliches Schlüsselattribut (Identifikator, Primärschlüssel). Das Schlüsselattribut beschreibt das Objekt eindeutig. Beziehungen zwischen den Relationen beschreiben Fremdschlüssel. Diese sind Primärschlüssel in einer anderen Relation und stellen so die Verbindung zwischen diesen beiden Relationen her.

In Abbildung 5 wird die Tabelle "User" dargestellt. Diese ist für die Einteilung der Benutzer in Anwendergruppen (s. Kapitel 6.2) zuständig. Das Attribut user_ID ist Primärschlüssel. Jeder Benutzer besitzt seine eigenen Simulationsdaten und muss daher in der Datenbank eindeutig identifizierbar sein.

Abbildung 5

user_ID	username	password	application
1	Christ	superuser
2	et_1	et
3	et_2	et
4	cme_1	cme
5	cme_2	cme
6	Admin	admin
15	x	guest

Tabelle "User" für die Anwendung iSign

4.3 Normierung

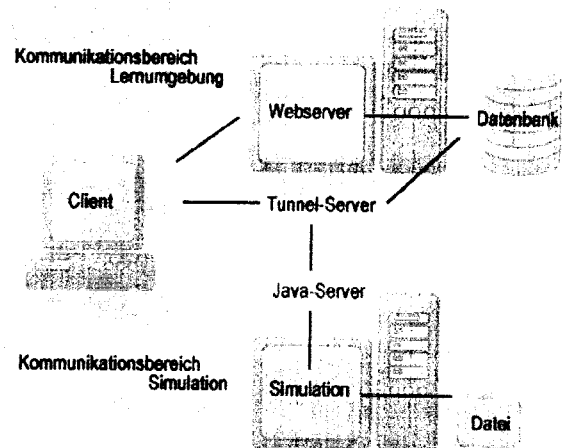
Die Normierung überprüft den Tabellenentwurf auf seine Güte. Die Normalform ist ein Maß für die Güte eines Entwurfes. Je höher die Normalform des Entwurfes, desto besser ist seine Güte. Ab der 3. Normalform spricht man von einer ausreichenden Güte des Entwurfes.

Die Motivation, die Tabellen nach diesen Gesichtspunkten zu bewerten und zu verändern, begründet sich aus der Vermeidung von *Anomalien*. Ansonsten könnten im praktischen Einsatz Dienstfunktionen die Datenbank in inkonsistente Zustände versetzen, wenn bei deren Durchführung eine Störung auftritt.

Die Tabellen des iSign-Entwurfes befinden sich alle mindestens in der 3. Normalform.

5 Systemarchitektur

Abbildung 6



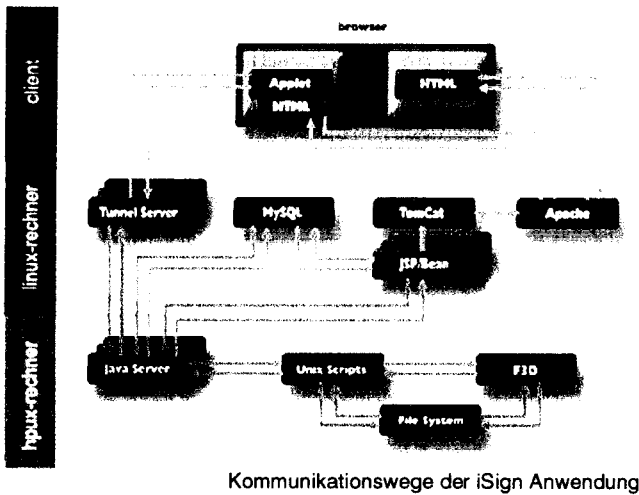
Komponenten der iSign Anwendung

Die Client-Server-Anwendung ist auf mehrere Rechner verteilt. Der Webserver-Rechner, der Simulations-Rechner und der Rechner des Benutzers sind an der Anwendung beteiligt (Abb. 6). Auf jedem Rechner befinden sich mehrere Komponenten des Systems.

5.1 Komponenten des Systems

Die Abbildungen 6 und 7 zeigen den physikalischen Aufenthaltsort der einzelnen Komponenten. Auf dem Webserver-Rechner (Linux-Rechner) befinden sich die Apache-Software, die MySQL-Datenbank, Tomcat für den Einsatz der JSP-Technologie und eine Java-Applikation (Tunnel-Server) zur Netzwerkkommunikation. Der Simulations-Rechner (HPUX) verwaltet die Simulationsergebnisse, führt die Simulations-Programme aus und enthält auch einen Java-Server für die Netzwerkkommunikation.

Abbildung 7



Kommunikationswege der iSign Anwendung

5.2 Kommunikationswege des Systems

Die einzelnen Technologien tauschen untereinander Anwendungsdaten aus. Java-Applets benötigen z.B. Inhalte von Dateien, die sich auf dem Simulations-Rechner befinden, JavaBeans stellen eine Verbindung zwischen JSP-Seiten und der Datenbank her und der Webserver liefert HTML-Seiten an den Client. Abbildung 7 verdeutlicht die Verbindungen zwischen den einzelnen Komponenten. Klare Schnittstellendefinitionen vermeiden "Verständigungsprobleme" zwischen den einzelnen Komponenten.

Durch den Einsatz von JavaServer Pages konnte auch zu den Java-Servern eine direkte Verbindung aufgenommen werden. Eine Entscheidung für php3 oder php4 hätte dies ausgeschlossen.

6 Aufbau der Lernumgebung

Das eLearning-System kann in unterschiedlichem Lernkontext eingesetzt werden. Der Benutzer arbeitet und lernt innerhalb der an seine Lernanforderungen angepassten Umgebung. Die Zuweisung zu einer Anwendergruppe mit zugehörigen Nutzungsrechten übernimmt die vorgeschaltete Anmeldung (Abb. 8). Diese schützt auch vor unzulässigen Zugriffen auf das eLearning-System.

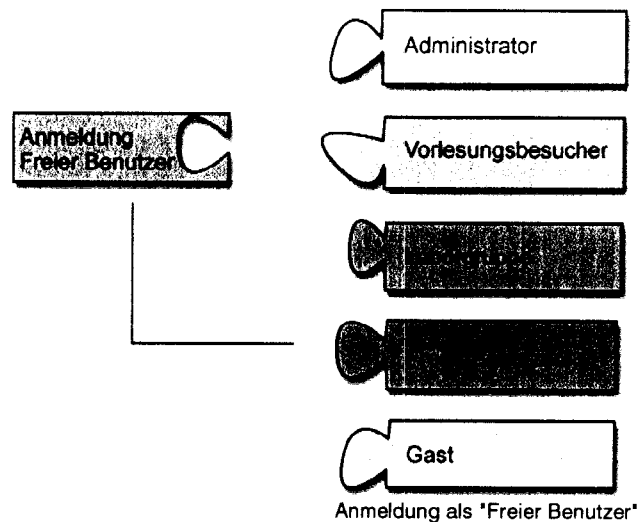
6.1 Anmeldung

Mit gültigem Benutzernamen und Passwort gelangt der Benutzer zu seiner Lernumgebung. Gültige Benutzernamen, die Zuordnung zur Anwendergruppe, die Vergabe von Lernaufgaben usw. werden vom Administrator verwaltet und den autorisierten Benutzern mitgeteilt.

Über einen Gastzugang ist ein freier Zugang offen. Jeder dem System unbekannte Benutzername wird als Gast eingestuft. Dieser kann eine eingeschränkte Version des eLearning-Systems nutzen.

Die Beschränkung des Umfangs erfolgt durch das "nicht-vorhanden-sein" von Manipulationsmöglichkeiten und Restriktionen im Simulationswerkzeug.

Abbildung 8



Anmeldung als 'Freier Benutzer'

6.2 Anwendergruppen

Die vorhandenen Anwendergruppen gehen auf das unterschiedliche Nutzungsverhalten der einzelnen Benutzer ein. Die Inhalte der Anwendung variieren:

- Administration:
Benutzerverwaltung, Versuchsverwaltung, Statistikabfrage, Seitenpflege, Datenpflege
- Vorlesungsbesucher:
Theorie, Übungen, Fachartikel
- Laborgruppen:
Theorie, Übungen, Fachartikel, Versuchsdurchführung
- Freie Simulation:
Unbeschränkte Simulation, Projektverwaltung
- Gast:
Theorie, eingeschränkte Simulation, Fachartikel

6.3 Inhalt

Die einzelnen Menüpunkte, die je nach Anwendergruppe in der Kopfzeile dargestellt werden (Abb. 2), enthalten folgenden Inhalt.

- Theorie
Vorlesungsskript und/oder Beschreibung der Simulationssteuerung.

- Übungen
Übungsaufgaben und Klausursammlung zur Vorbereitung auf die Klausuren.
- Fachartikel
Auszüge aus Veröffentlichungen und Neuigkeiten innerhalb der Fachhochschule Offenburg zum Thema Mikrowellentechnik.
- Simulationsumgebung
Fragenkatalog mit Verständnisfragen zur Simulation, Steuerung der Simulation, evtl. Aufgabenstellung des Laborversuches und Projektverwaltung.

Der Administrator erhält andere Menüpunkte. Die Anwendung für den Administrator wird zur Zeit entwickelt und steht somit noch nicht im Detail fest. Die Anforderungen des Pflichtenheftes sollen erfüllt werden.

6.4 Analyse der Simulationsergebnisse

Zur Analyse der Ergebnisse werden Java-Applets eingesetzt. Diese ermöglichen die Darstellung der Ausbreitungskoeffizienten, der Streumatrix und der elektromagnetischen Felder [3].

Abbildung 9 zeigt das User Interface des Java-Applets zur Visualisierung der Streumatrix. Es verstärkt den Lernerfolg bei der Auswertung der Ergebnisse, da der Lernende sich primär auf die Ergebnisinterpretation konzentrieren kann.

Die Einbindung des Simulationswerkzeuges in die Lernumgebung gestattet die äußerst flexible Analyse realer Strukturen über das Internet. Ein physikalischer Versuchsaufbau mit über das Internet gesteuerten Messungen ist in seiner Variabilität sehr viel eingeschränkter. Gleichzeitig wird der Umgang mit Simulatoren trainiert. Es wird vermutet, dass der Lernerfolg deutlich höher ist.

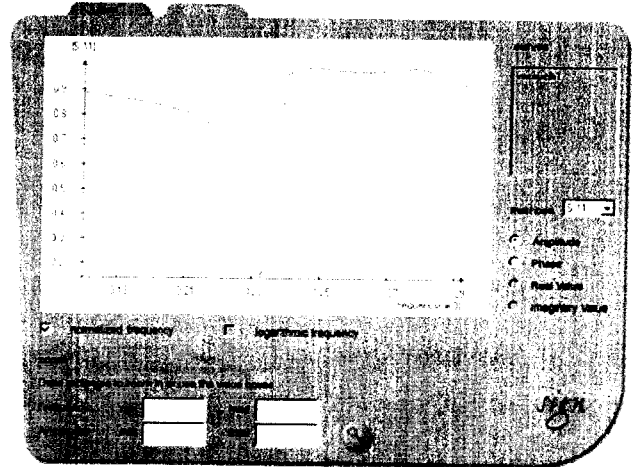
7 Zusammenfassung

Ungewöhnlich bei der vorgestellten Lernumgebung ist der Ansatz der praktischen Umsetzung. Es werden nicht nur Lerninhalte angeboten, sondern der Benutzer testet das Erlernete in der Simulationsumgebung und kann in dieser auch seine Ergebnisse auswerten. Die speziell zugeschnittene Software benutzt konsequent Internettechnologie um zusätzliche Mehrwerte zu schaffen.

Ein wichtiger Aspekt ist der Einsatz als Laborversuch [4]. Praktische Laborleistungen an Fachhochschulen sind bisher an eine Anwesenheitspflicht gekoppelt. Diese garantiert, dass jeder Student diese Leistung selbständig erbringt. Die Funktionsweise der Simulationssteuerung gewährleistet einen Kopierschutz und verhindert somit Manipulationen während der Durchführung des Versuches. Die Ergebnisse der Simulationen werden nicht lokal beim Benutzer gespeichert. Er kann die Werte nachträglich nicht verändern. Entsprechendes gilt für die Eingabewerte für die Simula-

tion. Diese werden in der Datenbank gespeichert. Die Einträge sind nur für autorisierte Benutzer zugänglich. Damit kann kein Dritter Eingabeparameter oder Ergebnisse kopieren und als seine ausgeben. Dieser Umstand ermöglicht der Simulationssteuerung den zusätzlichen Einsatz als Internet-Laborversuch.

Abbildung 9



Darstellung des Applets für die Streumatrix

8 Ausblick

Die Software findet mit Beginn des Wintersemesters 2001/02 erstmals ihren Einsatz als eLearning-Umgebung. Anhand des praktischen Einsatzes wird überprüft, in wie weit die gestellten Anforderungen an die Anwendung auch für studentische Benutzer vernünftig gestaltet sind.

Generell wäre der Einsatz von XML-Technologie empfehlenswert. Diese könnte die interne Automatisierung der Lernumgebung und die Ablaufsteuerung der Simulation verbessern. Die Speicherung von XML-Daten in Datenbanken ist zum jetzigen Zeitpunkt allerdings noch nicht ausgereift. Deshalb wurde dieser Implementierungsansatz vorerst zurückgestellt.

Literatur

- [1] Möller, O.: Dokumentation: "iSign". Fachhochschule Offenburg, 2001.
- [2] Feißt, M.: Interactive 3D User Interface. Master Thesis Fachhochschule Offenburg, WS 2000/01.
- [3] Feißt, M.; Christ, A.: Virtual-Reality-Darstellung elektromagnetischer Felder in dreidimensionalen Mikrowellenstrukturen. Multiprojekt Chip-Gruppe - Workshop, Ulm Juli 2000.
- [4] Christ, A.: Labwork Data Transmission: "Rigorous field numerical simulation of waveguide problems". Fachhochschule Offenburg, 2000.

Entwicklung einer Systemumgebung für "System Level Design" in SpecC

Dipl.-Ing. (FH) David Berner, ASIC Design Center
 Fachhochschule Offenburg, Badstrasse 24, 77652 Offenburg
 Tel. 0781/205-274, Fax 0781/205-174
 david.berner@fh-offenburg.de

Um bei ständig verkürzten Entwicklungszyklen immer komplexere Designs bearbeiten zu können, muss auf immer höhere Abstraktionsebenen gewechselt werden. SpecC ist eine Methodik und eine Sprache zur Entwicklung auf Systemebene.

Um Akzeptanz auf industrieller Ebene zu erhalten, müssen Tools vorhanden sein, die einen anschaulichen und interaktiven Gang durch den Design-Flow ermöglichen. Dies war bis jetzt ein Schwachpunkt von SpecC, soll sich jedoch mit der Entwicklung von RESpecCT ändern.

1. Einführung

Im Jahr 1965 hat Gordon Moore, Mitgründer von Intel, vorausgesagt, dass sich die Transistordichte von Halbleiterchips ungefähr alle 18 Monate verdoppeln werde. Im Februar 2001 kündigte Pat Gelsinger (Intels Technologie-Kopf) auf der International Solid State Circuit Conference (ISSCC) den 1 TIPS-Prozessor mit 10 Milliarden Transistoren und 30 GHz für das Jahr 2010 an. Ein aktueller P4 Prozessor besteht aus 42 Millionen Transistoren. Da die Produktivität der Entwickler in der Vergangenheit nur um ca. 20% pro Jahr gestiegen ist, wird klar, dass ein solches Ziel mit herkömmlichen Mitteln nicht erreichbar ist.

Ein weiteres Phänomen heutzutage ist, dass Produktentwicklungszyklen immer kürzer werden. Der Markt entwickelt sich derart schnell, dass das, was heute sehr gefragt ist in einem Jahr schon keiner mehr haben will. Die "time to market" entscheidet über den Erfolg oder Misserfolg eines Produkts. Wie ist jedoch eine Verkürzung der Entwicklungszeiten bei immer komplexeren Systemen möglich?

Möglichkeiten die Produktivität derart entscheidend zu steigern sehen wir heute in der konsequenten Wiederverwertung von Intellectual Property (IP Reuse) und in dem Wechsel zu höheren Abstraktionsebenen - besser noch: in der Kombination von beidem.

2. System Level Design

Historisch gesehen ging die Entwicklung immer von niederen Ebenen zu höheren Ebenen. Als Parallele kann man das Programmieren betrachten: Ausgehend von dem Stanzen von Lochkarten in Maschinencode über Assembler-Programmierung und der Programmierung in strukturierten Hochsprachen ging man über zur objektorientierten Programmierung. Dabei wird die innere Struktur von

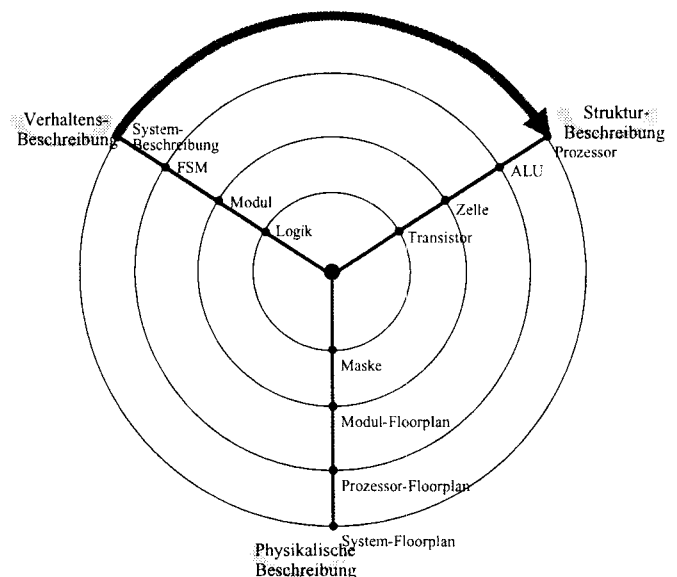


Abbildung 1: Gajski Y mit System Level Design

Problemen direkt modelliert ohne auf die letztendliche Realisierung in Maschinensprache Rücksicht zu nehmen. Sicher werden alle anderen Arten von Programmierung heute immer noch verwendet, doch sobald Probleme eine gewisse Komplexität erreichen führt heute kein Weg mehr an der objektorientierten Programmierung vorbei.

In der Schaltungsentwicklung begann es mit dem Designen der eigentlichen Schaltung mit allen Bauteilen auf Silizium. Der Weg führte über Transistor-Logik und Gatter-Logik zu High-Level-Design mit Sprachen wie VHDL und Verilog, wo aus einem lösungsorientierten Sprachkonstrukt die niederen Ebenen automatisch erzeugt werden.

Um noch komplexere Systeme schnell zu realisieren, ging man dazu über, die funktionale Spezifikation in einer Hochsprache wie C zu schreiben, zu testen und zu verifizieren. Dann wurde diese Beschreibung (von Hand) überführt in eine VHDL-Beschreibung. Auf diese Weise kann die Funktionalität des Systems zu einem sehr frühen Zeitpunkt überprüft werden. Es können Modifikationen vorgenommen werden bevor schon zu viel Entwicklungsarbeit investiert wurde. Diese Art von Design-Vorgehen wird "System Level Design" genannt (Abbildung 1).

Ein grosses Problem dabei ist die Überführung des C-Modells auf die VHDL-Ebene. Da sich diese beiden Ebenen in einigen Punkten grundsätzlich unterscheiden, ist eine Umsetzung mit erheblichem Aufwand verbunden und fehlerbehaftet. Man ist deshalb bestrebt diese Lücke zu schliessen und einen Design-Fluss zu bekommen, der von der Systemspezifikation bis zur Transistorebene konsistent ist.

3. SpecC

Wer sich mit System Level Design beschäftigt, wird zwangsläufig auf den Begriff SpecC stossen. Der Begriff SpecC taucht jedoch auch im Zusammenhang mit vielen anderen Stichworten auf wie z.B.:

- Hardware Software Co-Design
- SOC, Embedded System
- Unterschiedliche Abstraktionsebenen
- Benutzer geführte Verfeinerung
- Simulation auf verschiedenen Ebenen
- Trennung von Funktion und Kommunikation
- Vollständige und orthogonale Sprache

Doch was ist denn nun SpecC genau?

3.1. Methodik

Zuerst ist SpecC eine Methodik die einen Synthesefluss beschreibt (Abbildung 2).

Dabei werden von der System-Spezifikation bis zur Implementierung vier verschiedene Abstraktions Ebenen definiert:

- Spezifikationsebene
- Architekturebene
- Kommunikationsebene
- Implementierungsebene

Der Übergang zwischen diesen Ebenen erfolgt weitgehend automatisiert, es müssen nur wenige Design-Entscheidungen getroffen werden wie:

- Aufteilung Hardware / Software
- Auswahl von Prozessoren
- Festlegung von Ausführungsreihenfolgen
- Auswahl von Protokollen

Dieser Vorgang wird auch "Benutzer geführte Verfeinerung" genannt.

Der konsistente Synthese-Fluss wird ergänzt durch einen Validierungs-Fluss (Abbildung 2).

Der Validierungs-Fluss besteht darin, dass das System auf jedem Abstraktionslevel simulierbar und verifizierbar sein soll. Auf dem Spezifikationslevel wird die Funktion des Gesamtsystems nachgewiesen. Durch den konsistenten Synthese-Fluss reicht es aus in den unteren Ebenen nur noch die sogenannten Hot-Spots zu verifizieren, die Gesamtfunktionalität ist nach wie vor gegeben. Da in niedrigeren Ebenen die Simulationsperformance durch mehr Detailinformationen drastisch zurück geht und eine Simulation des Gesamtsystems praktisch unmöglich wird, ist dies ein entscheidender Vorteil.

SpecC war also erst nur eine Methodik, was fehlte war eine Implementierung davon.

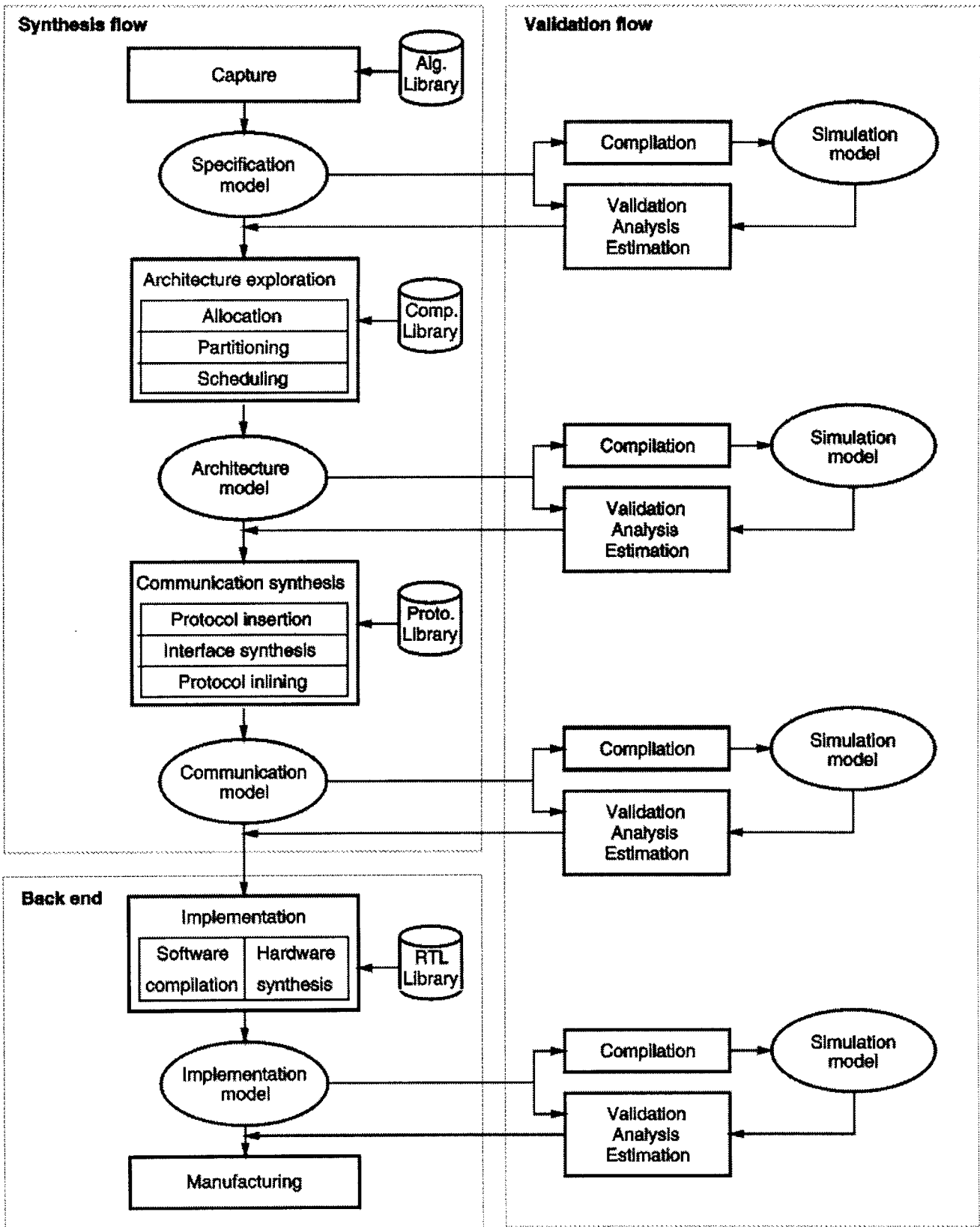


Abbildung 2: SpecC Synthese- und Validierungs-Fluss [2]

3.2. SpecC - Yet another language?

Auf der Suche nach einer Implementierung für die SpecC Methodik wurden erst bestehende Sprachen evaluiert (Abbildung 3).

	Verilog	VHDL	Statecharts	SpecCharts	C	Java	SpecC
Behavioral Hierarchy	○	○	●	●	○	○	●
Structural Hierarchy	●	●	○	○	○	○	●
Concurrency	●	●	●	●	○	◐	●
Synchronization	●	●	●	●	○	●	●
Exception Handling	●	○	◐	●	◐	●	●
Timing	●	●	◐	◐	○	○	●
State Transitions	○	○	●	●	○	○	●

○ not supported ◐ partly supported ● fully supported

Abbildung 3: Vergleich bestehender Sprachen [2]

Dabei wurde festgestellt, dass es bis jetzt keine Sprache gibt, die die Problematik von System Level Design vollständig abdeckt. Es wurde also klar, dass eine eigene Sprache entwickelt werden musste, die der Problematik gerecht wird.

Um den Einarbeitungsaufwand von Ingenieuren möglichst gering zu halten wurde SpecC auf Basis von ANSI C entwickelt. Dies macht Sinn, da heute schon herkömmliches "System Level Design" mit C beginnt.

3.3. Sprache

Die Sprache SpecC ist also ein echtes Superset von ANSI-C. Das heisst jedes C Programm ist ein gültiges SpecC Programm. Es führt nur wenige Syntax-Erweiterungen ein, die der Sprache sieben Konzepte hinzufügen:

- Verhaltens Hierarchie
- Strukturelle Hierarchie
- Parallelismus
- Synchronisation
- Timing
- Zustandsübergänge

Diese Erweiterungen machen SpecC zu einer vollständigen und orthogonalen Implementierung der SpecC Methodik. Die Beschreibung von beliebigen Systemen ist auf allen Ebenen möglich.

Um die Entwicklungsenergie um SpecC zu bündeln ist ein Standardisierungsgremium gegründet worden. Das SpecC Technology Open Consortium (STOC) hat über 40 Mitglieder aus Industrie und Forschung und berät über Modifikationen des offenen Standards.

```

interface I1
{
    bit[63:0] Read(void);
    void Write(bit[63:0]);
};

channel C1 implements I1;

behavior B1(in int, I1, out int);

behavior B(in int p1, out int p2)
{
    int v1;
    C1 c1;
    B1 b1(p1, c1, v1),
    b2(v1, c1, p2);
    void main(void)
    { par { b1.main();
            b2.main();
        }
    }
};
    
```

Abbildung 4: SpecC Beispielcode

4. RESpecCT

4.1. Idee

Um nun SpecC für den Anwender interessant zu machen ist es essentiell Tools zu haben, deren Umgang den Nutzer möglichst intuitiv durch die zu erledigenden Aufgaben führt.

Die Idee war nun ein Tool zu entwickeln, das eine grafische Implementierung der SpecC Methodik ist mit der SpecC-Sprache als Basis. Es sollte Modellierung, Analyse, Verfeinerung und Synthese in sich vereinen. Dieses Tool entstand im Rahmen meiner Diplomarbeit am Center for Embedded Computer Systems der University of California, Irvine und bekam den Namen RESpecCT

(= Refinement and Exploration tool for the SpecC Technology).

Seine wesentlichen Merkmale sind:

- Visualisierung von Designs
- Anzeige von Analyse-Ergebnissen
- Eingabe von Design-Entscheidungen
- Leicht zu bedienen
- Übersichtlich
- Plattform-unabhängig

Die Implementierung der Übergänge zwischen den Abstraktionsebenen wurden von Doktoranden gemacht und als shared libraries eingebunden.

Die Programmierung erfolgte mit Python, einer sehr flexiblen High-Level Sprache und QT als grafischem Toolkit.

4.2. IDE

Abbildung 5 zeigt die RESpecCT Oberfläche. Grundsätzlich kann links die Behavior-Hierarchie eingesehen werden. Auf der rechten Seite ist ein MDI (Multiple Document Interface) in dem Informationen über bestimmte Teile des Designs angezeigt werden können oder der SpecC Code direkt editiert werden kann.

Der Benutzer wird nach und nach durch die verschiedenen Designebenen geführt und bekommt Dialoge präsentiert in denen gewisse Designentscheidungen getroffen werden müssen.

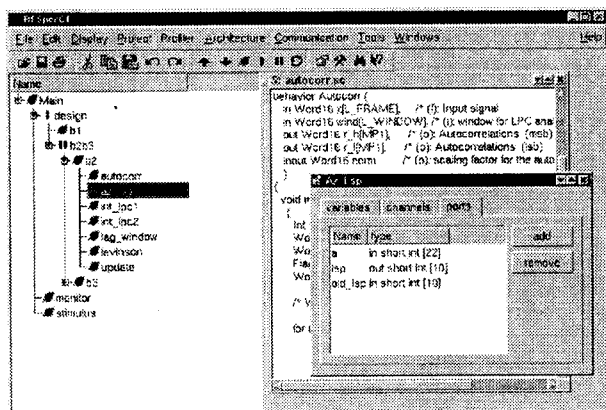


Abbildung 5: RESpecCT IDE

4.3. Designanalyse (Profiling)

Die Designanalyse (Profiling, Estimation) dient dazu möglichst viele Informationen über das Design zu sammeln und dem Nutzer zur Verfügung zu stellen, damit er bessere Entscheidungen fällen kann. Er bekommt dabei z.B. Auskunft über Art und Häufigkeit von bestimmten Operationen in beliebigen "Zweigen" des Designs (Abbildung 6).

Ausserdem kann die Designanalyse dabei helfen kritische Punkte im Design (sog. Hot Spots) zu detektieren und durch Änderungen von Designentscheidungen oder Anpassung des Codes zu entschärfen.

Dabei kann auch die Einhaltung von Design-Constraints überprüft werden.

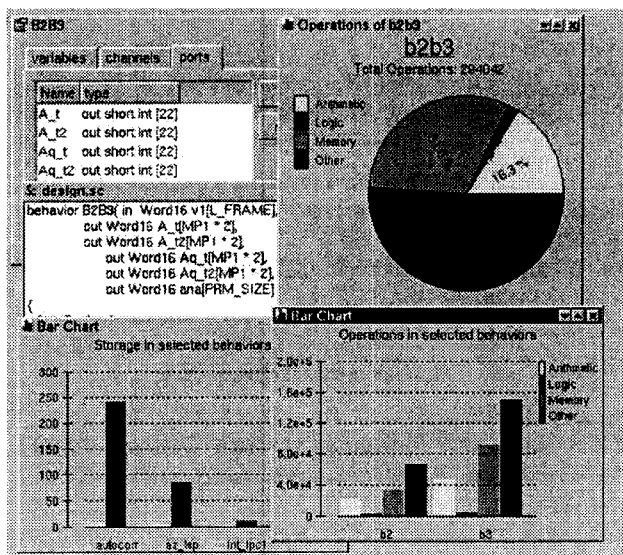


Abbildung 6: Ergebnisse der Designanalyse

5. Zusammenfassung

Jedem in der Chipbranche ist längst klar, dass in Zukunft ganz andere Tools zur Entwicklung von Chips, Embedded Systemen und Systemen allgemein benötigt werden. Welches Tool sich letztendlich auf dem Markt durchsetzen wird wird die Zukunft entscheiden.

Im Vergleich mit anderen Ansätzen wie System-C ist SpecC deutlich konsequenter und konsistenter.

Alle Ansätze sind immer noch weit von einer breiten industriellen Nutzung entfernt, jedoch kommt SpecC mit RESpecCT diesem Ziel einen entscheidenden

Schritt näher. Auch wenn noch viel Arbeit gemacht werden muss in Bezug auf Bibliotheken und im Backend so zeigt sich heute schon, dass die Kombination von:

- a) der SpecC Methodik, geschaffen für die Komplexität zukünftiger Designs, in Verbindung mit
- b) der SpecC Sprache, die perfekt an die Problematik von System Level Design angepasst ist und
- c) RESpecCT, einer grafischen Erweiterung die intuitive Interaktion mit den Designs ermöglicht,

auf dem besten Weg ist ein mächtiges Werkzeug für die effiziente Entwicklung von komplexen Systemen der Zukunft zu werden

6. Referenzen

- [1] David Berner, *Development of a Visual Refinement and Exploration Tool for SpecC*, Technical Report ICS-01-12, Irvine, Februar 2001.
- [2] D.Gajski et al, *SpecC: Specification Language and Design Methodology*, Kluwer Academic Publishers, 2000.
- [3] Gerstlauer, Dömer, Peng, Gajski, *System Design: A Practical Guide with SpecC*, Kluwer Academic Publishers, 2001.
- [3] R.Dömer, J. Zhu, D. Gajski, *The SpecC Language Reference Manual*, Technical Report ICS-98-13, Irvine, Januar 1999.

Online:

- SpecC Homepage an der University of California Irvine
<http://www.cecs.uci.edu/~specc/>
- SpecC Technology Open Consortium (STOC)
<http://www.specc.org/>

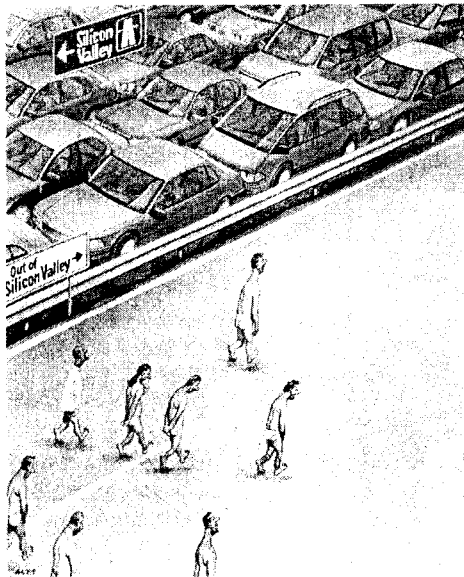
Wireless Communication

Chips für die Zukunft

Dr. Frank Heinrich
ATMEL Germany GmbH

Dr. Frank Heinrich, S. 1, MPC Workshop, 06.07.2001

Silicon Valley



Dr. Frank Heinrich, S. 2, MPC Workshop, 06.07.2001

Übersicht

- Vorstellung ATMEL
- Der aktuelle Halbleitermarkt
- Wachstumsgebiete
- Ausgewählte Produktbeispiele
 - Power Amplifier
 - GPS
 - Bluetooth
- Herausforderungen

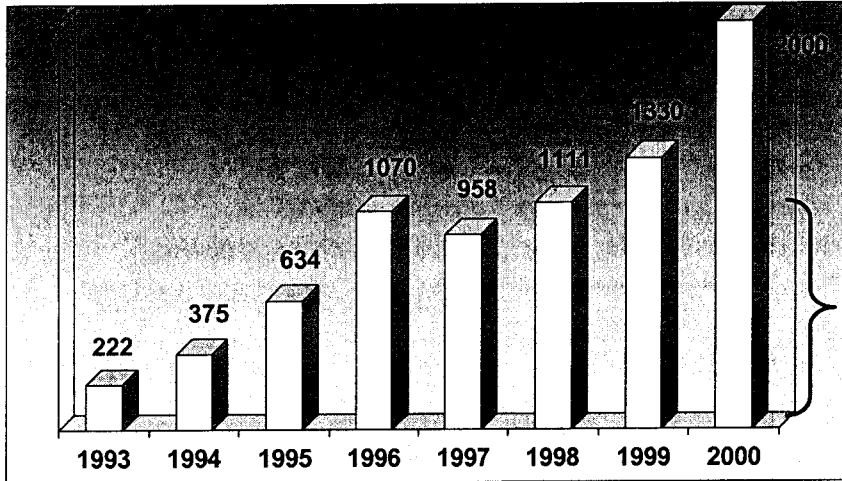
Dr. Frank Heinrich, S. 3, MPC Workshop, 06.07.2001

ATMEL - Der Mutterkonzern

- Umsatz 2000 2 Milliarden US\$
- Marktposition #1 in EEPROM, #2 in EPROM, #3 in FLASH
- Mitarbeiter 9100, weltweit
- Produkte
 - > Speicherbausteine
 - > Embedded Microcontrollers
 - > Hochfrequenz Empfänger
 - > Smart Card ICs
 - > Hochkomplexe Schaltkreise
- Prozeß-Technologien
 - > CMOS (analog, low power)
 - > SiGe Bipolar/SIGMOS
 - > BiCMOS (high speed)
 - > SOI-BCDMOS

Dr. Frank Heinrich, S. 4, MPC Workshop, 06.07.2001

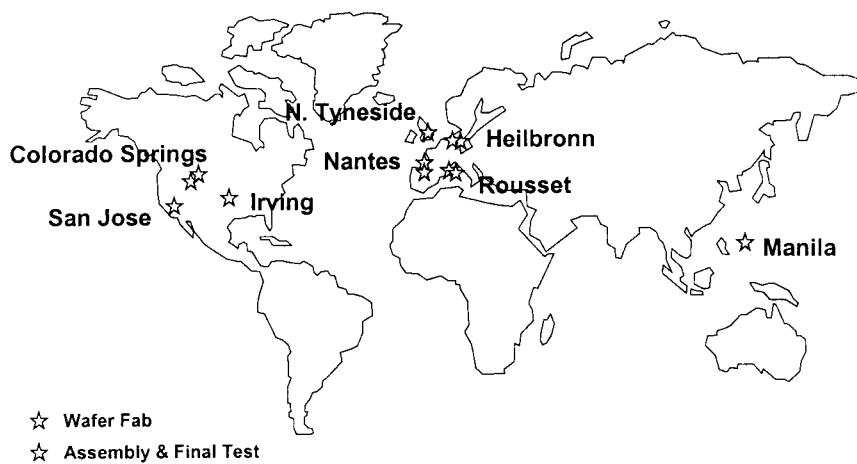
ATMEL Wachstum in Mio US\$



50% der Produkte werden in Europa produziert

Dr. Frank Heinrich, S. 5, MPC Workshop, 06.07.2001

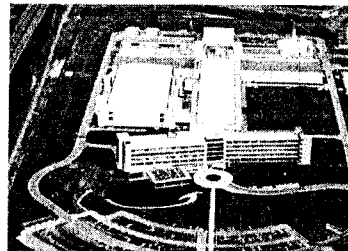
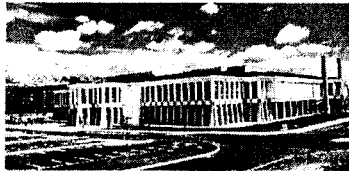
Produktionsstandorte - Front-End und Back-End



Dr. Frank Heinrich, S. 6, MPC Workshop, 06.07.2001

ATMEL - Wafer Fab Standorte

Colorado Springs	6"	NVM, CMOS, BiCMOS
Heilbronn	6"	SiGe, BCDMOS
Nantes	6"	CMOS, Analog CMOS
Grenoble	6"	CCD
Rousset	8"	NVM, CMOS
Irving	8"	NVM, SIGMOS
North Tyneside	8"	NVM, CMOS, SIGMOS



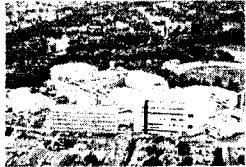
orkshop, 06.07.2001

ATMEL WM Division

- Umsatz im Jahr 2000 300 Mio. US\$
- Mitarbeiter 2400, incl. 110 im Vertrieb
- Produkte HF- ICs (GSM, CDMA, DECT, Bluetooth...)
Identifikations-ICs
Power Control ICs,
Embedded Microcontrollers
- Technologien Silizium Germanium (+CMOS)
RF Bipolar,
BCDMOS-SOI
BiCMOS
CMOS

Dr. Frank Heintz, S. 8, MPC Workshop, 06.07.2001

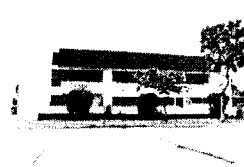
Standorte



Heilbronn



Nantes



Manila

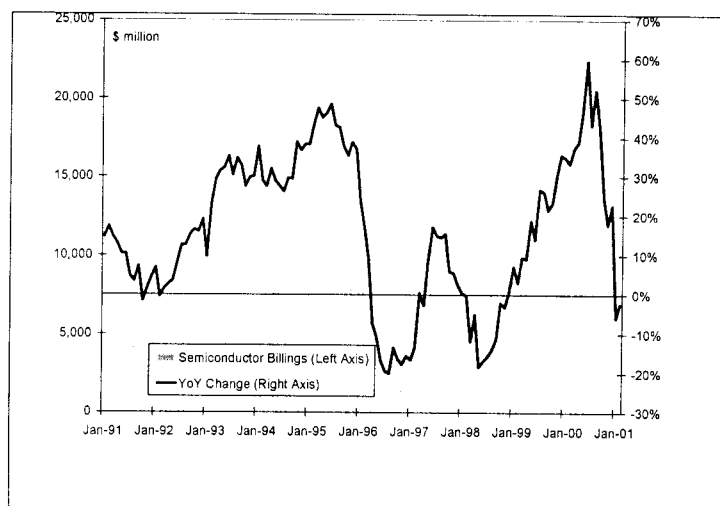
Übersicht

- Vorstellung ATMEL
- Der aktuelle Halbleitermarkt
- Wachstumsgebiete
- Ausgewählte Produktbeispiele
 - Power Amplifier
 - GPS
 - Bluetooth
- Herausforderungen

Der Halbleiterzyklus



Wachstumskurve Halbleiterindustrie



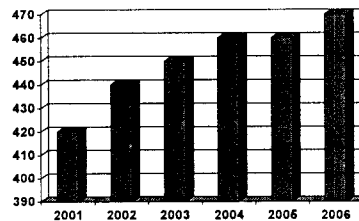
Übersicht

- Vorstellung ATMEL
- Der aktuelle Halbleitermarkt
- Wachstumsgebiete
- Ausgewählte Produktbeispiele
 - Power Amplifier
 - GPS
 - Bluetooth
- Herausforderungen

Dr. Frank Heinrich, S. 13, MPC Workshop, 06.07.2001

Ausgangslage

- Stagnierende Märkte -> Kostendenken steht im Vordergrund
- SoC wird immer wichtiger, da nur dann minimale Systemkosten erzielt werden können
- Cellular-Bereich geht in Stagnation über
- „Killer-Applikation“ (noch) nicht in Sicht
- Bluetooth mit Anlaufschwierigkeiten
 - IRDA
 - 802.11
 - Daten -DECT
 - Home-RF



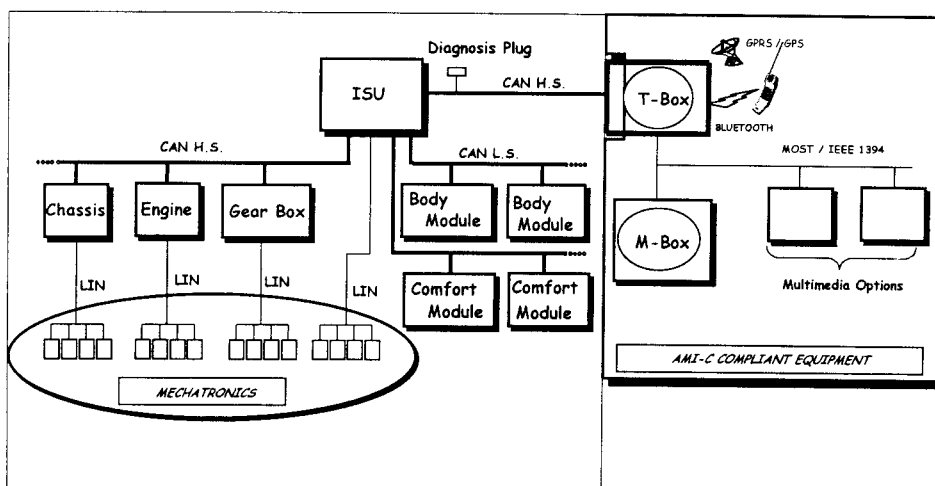
Dr. Frank Heinrich, S. 14, MPC Workshop, 06.07.2001

Wachstumsgebiete (Auswahl)

- Bluetooth
- Elektronik im Pkw
 - Optical Bus
 - LIN - CAN
 - Reifendruck
 - Keyless Entry Go
 -
- DVD - Neue Generation von Speichermedien
- PDA's - Synergie mit Cell Phones
- W-LAN
- GPS
- Identifikation - Smart Label
-

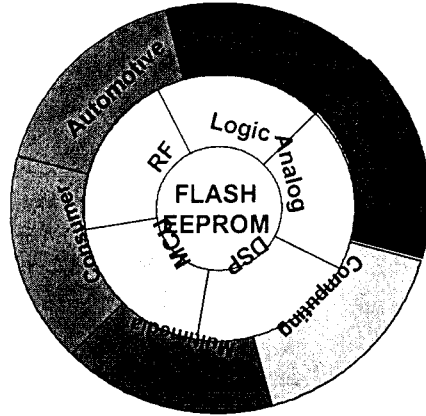
Dr. Frank Heinrich, S. 15, MPC Workshop, 06.07.2001

Zukünftige Architektur für Automotive Systeme



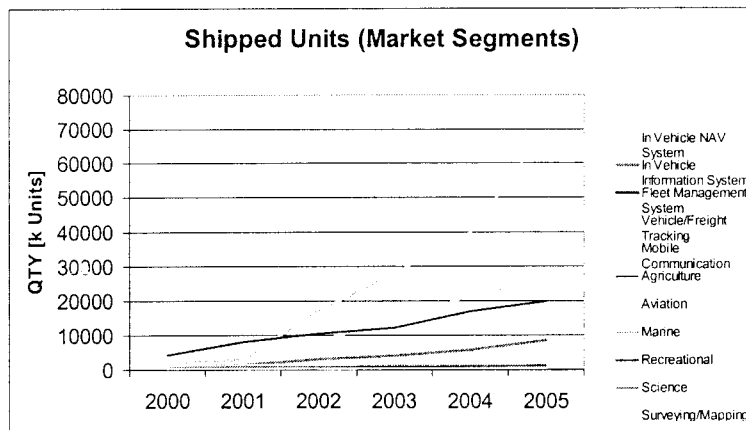
Dr. Frank Heinrich, S. 16, MPC Workshop, 06.07.2001

System on a Chip



Dr. Frank Heinrich, S. 17, MPC Workshop, 06.07.2001

GPS Markt



Dr. Frank Heinrich, S. 18, MPC Workshop, 06.07.2001

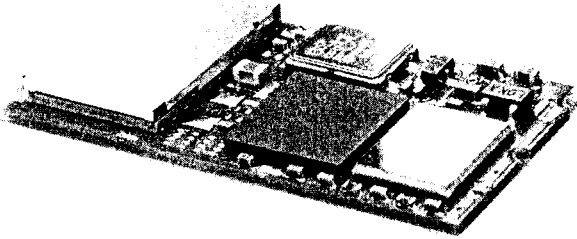
Übersicht

- Vorstellung ATMEL
- Der aktuelle Halbleitermarkt
- Wachstumsgebiete
- Ausgewählte Produktbeispiele
 - Power Amplifier
 - GPS
 - Bluetooth
- Herausforderungen

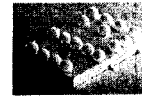
Aktuelle Trends im Wireless Bereich

- Aufbau kompletter Radios
- Module
- Small Scale Packages
 - Flip Chip
 - BGA mit mehreren Dies + Umverdrahtung
 - Kombinationen SRAM auf Flash-Die gebonded
- Vereinfachte / standardisierte Schnittstelle RF - Baseband
- Integration von passiven Bauelementen
- Eliminierung von (SAW) Filtern

SoC am Beispiel Bluetooth

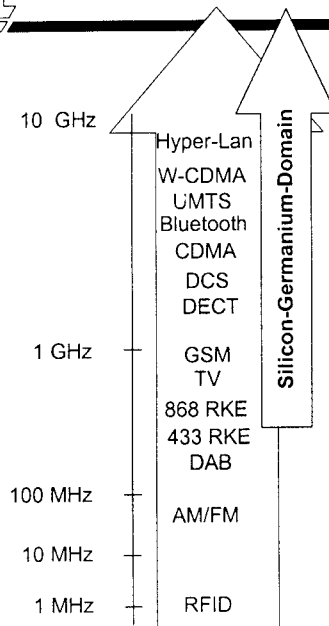


Bluetooth Modul
Heute: 25 US\$



Bluetooth Chip
Morgen 2 US\$

Dr. Frank Henrich, S. 21, MPC Workshop, 06.07.2001

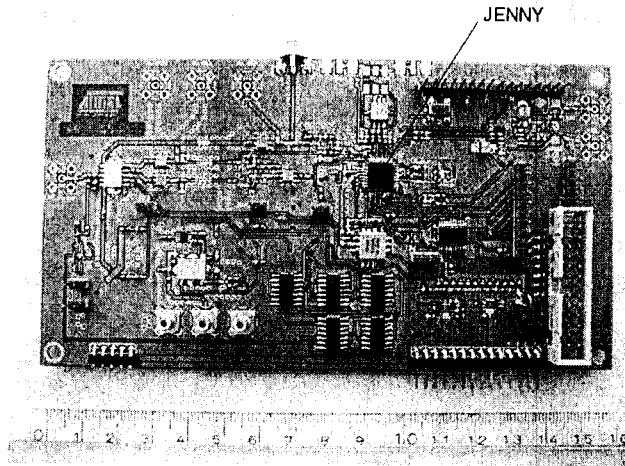


Silizium-Germanium
kommt eine entscheidende
Rolle bei der
Systemintegration zu

Dr. Frank Henrich, S. 22, MPC Workshop, 06.07.2001

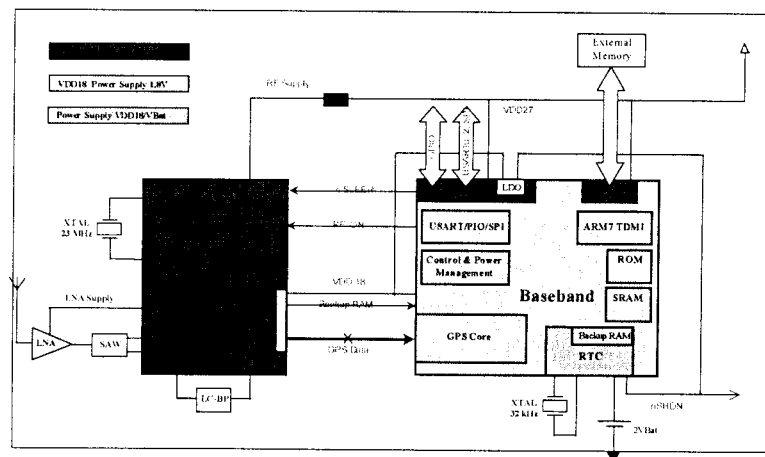
Radio Module in Flip Chip Technologie

GPRS
RADIO



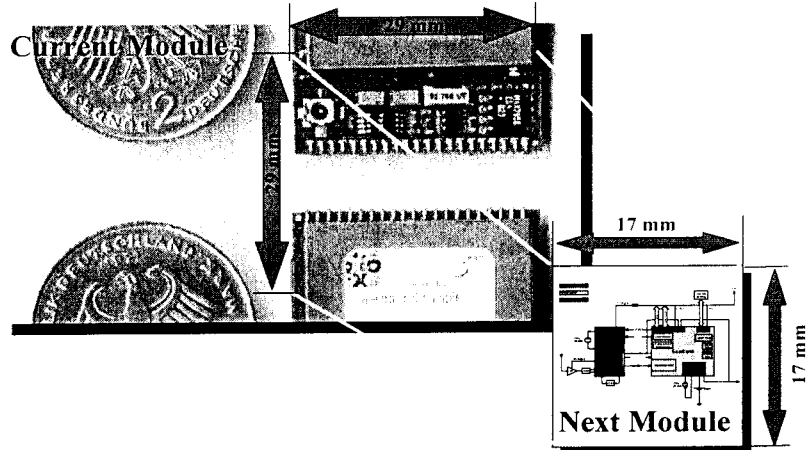
Dr. Frank Henrich, S. 23, MPC Workshop, 06.07.2001

GPS Block-Diagramm



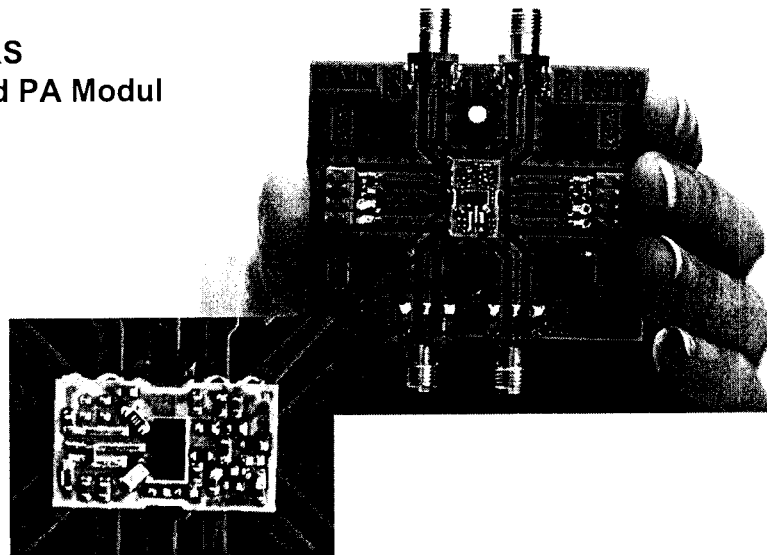
Dr. Frank Henrich, S. 24, MPC Workshop, 06.07.2001

GPS Modul

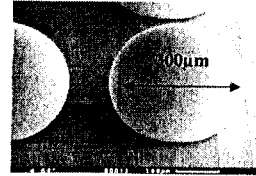
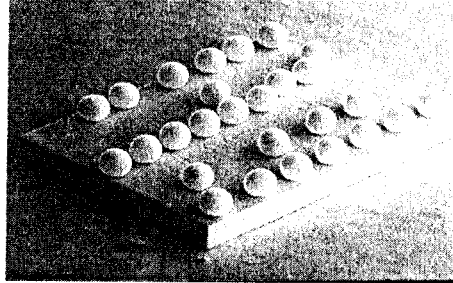


Dr. Frank Heinrich, S. 25, MPC Workshop, 06.07.2001

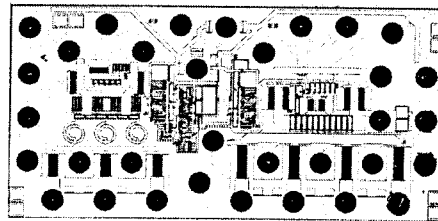
SiGe GPRS Dual Band PA Modul



Dr. Frank Heinrich, S. 26, MPC Workshop, 06.07.2001



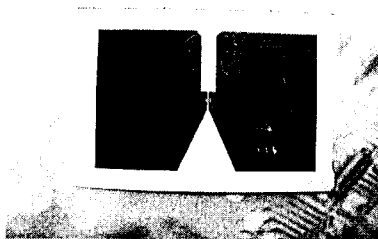
**SiGe GPRS Dual Band
PA Flip Chip**



PA Layout in SiGe1

Dr. Frank Henrich, S. 27, MPC Workshop, 06.07.2001

Bistatix IC



Dr. Frank Henrich, S. 28, MPC Workshop, 06.07.2001

Übersicht

- Vorstellung ATMEL
- Der aktuelle Halbleitermarkt
- Wachstumsgebiete
- Ausgewählte Produktbeispiele
 - Power Amplifier
 - GPS
 - Bluetooth
- Herausforderungen

Herausforderung #1 Ausbildung und Verfügbarkeit von Ingenieuren

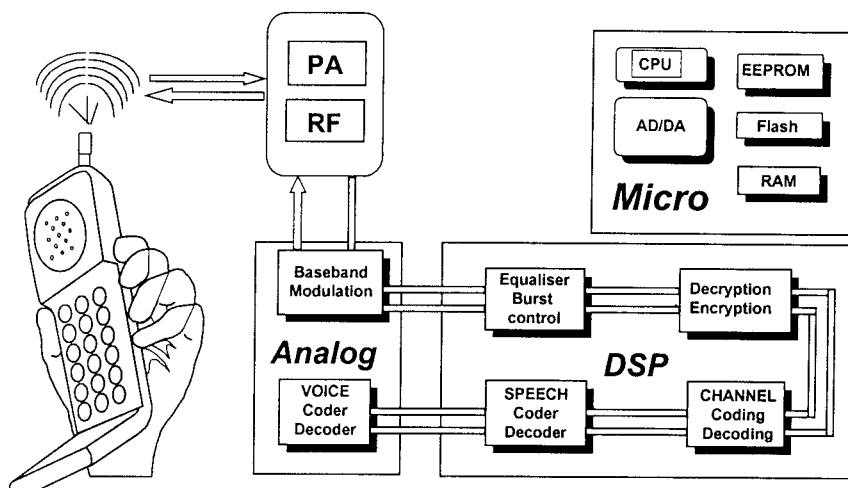
- Die Verfügbarkeit von gut ausgebildeten Ingenieuren wird das Umsatzwachstum in den kommenden Jahren maßgeblich bestimmen
 - Programme mit Universitäten und Fachhochschulen
 - Erschließung "weißer Flecken"
 - Ost-Europa

Herausforderung #2 Technologien

- **Neue Produkte erfordern hochkomplexe Prozesse**
 - 2-dimensionale Herausforderung an die Technologie
 - Geometrieverkleinerung + Kombination von Grundprozessen
 - z.B. CMOS + FLASH + EE + Analog
 - z.B. CMOS + EE + High Voltage
 - Package wird immer wichtiger

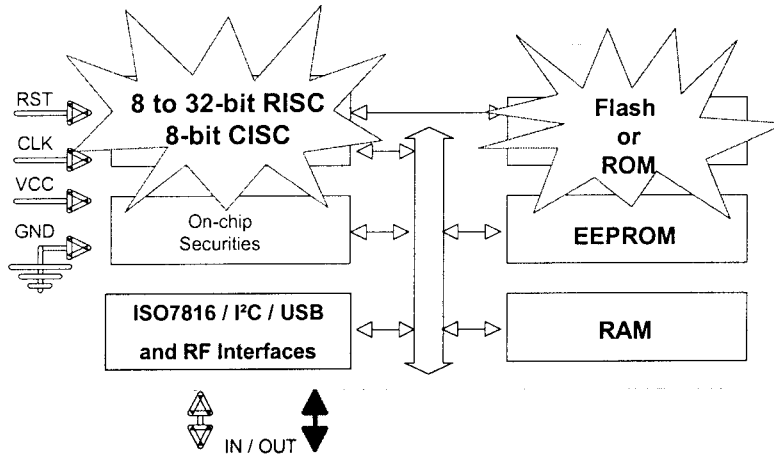
Dr. Frank Heinrich, S. 31, MPC Workshop, 06.07.2001

Block Diagram - Cellular Telefon



Dr. Frank Heinrich, S. 32, MPC Workshop, 06.07.2001

Block Diagram - Smart Card



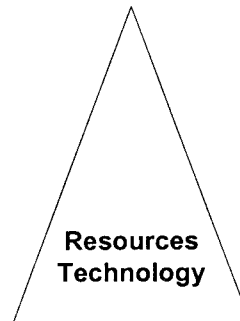
Dr. Frank Heinrich, S. 33, MPC Workshop, 06.07.2001

Herausforderung #3 Produktzyklus

- Die Einführungsphase eines Produktes wird immer kürzer
 - CAD Tools müssen weiterentwickelt werden
 - Große Herausforderung für die Halbleiterindustrie

Time to 10 Million Subscribers

Pager	41 Years
Telefon	38 Years
Kabel TV	25 Years
Fax	9 Years
Mobiltelefon	9 Years
PC	7 Years
CD-ROM	6 Years
Internet (www)	2 Years
Bluetooth	1 Year

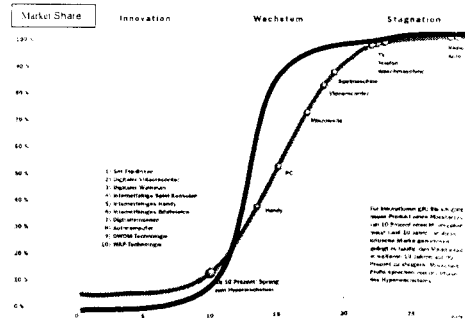


Dr. Frank Heinrich, S. 34, MPC Workshop, 06.07.2001

Herausforderung #4 Innovation

- Die Innovationskurven werden steiler und schwieriger vorherzusagen
 - Enger Kundenkontakt wird immer wichtiger
 - Marketing-Organisation gewinnt an Bedeutung
 - Mehr Flexibilität ist gefordert

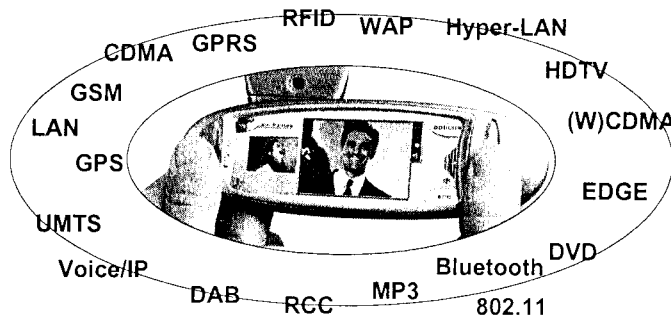
- Kauf von IP
- Design Re-use
- Partnerschaften



Dr. Frank Heinrich, S. 35, MPC Workshop, 05.07.2001

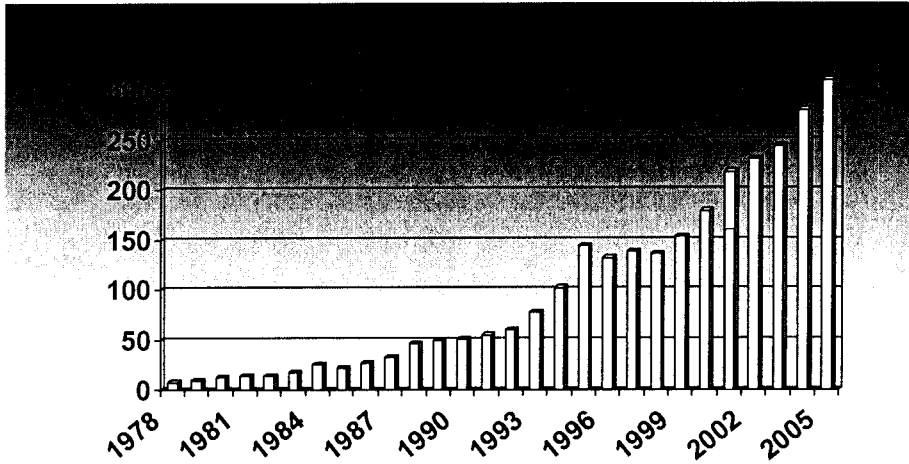
Herausforderung #5 Systemvielfalt

- Die Anzahl miteinander konkurrierender Systeme steigt
 - UMTS - Bluetooth - DAB - 802.11



Dr. Frank Heinrich, S. 36, MPC Workshop, 05.07.2001

Weltweiter Halbleitermarkt in BUS\$



Source: IC Insights

Dr. Frank Heinrich, S. 37, MPC Workshop, 06.07.2001



Verlustleistung in hochintegrierten CMOS-Digitalschaltungen

Frank Kesel

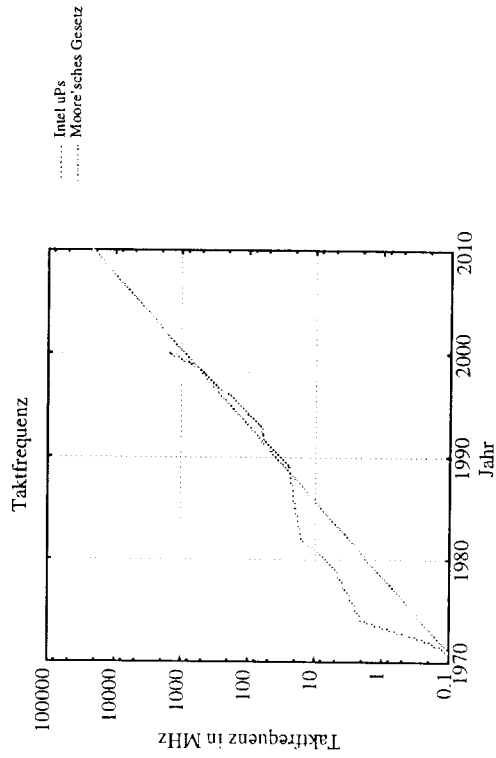
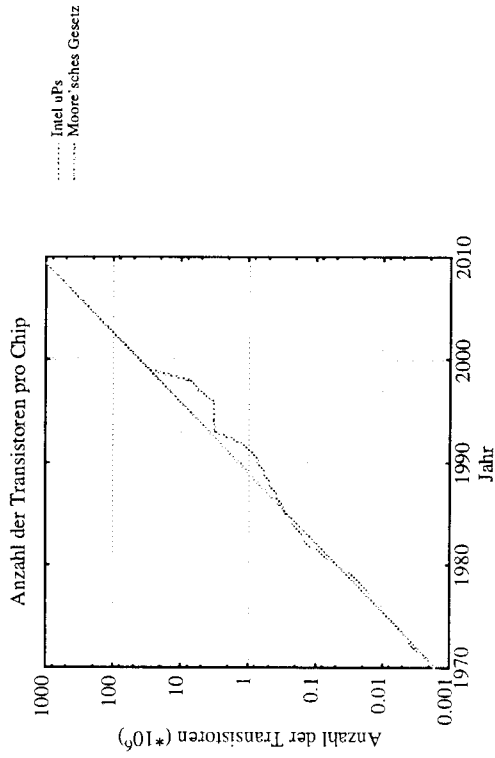
Fachhochschule Pforzheim
Fachbereich Ingenieurwissenschaften

Übersicht

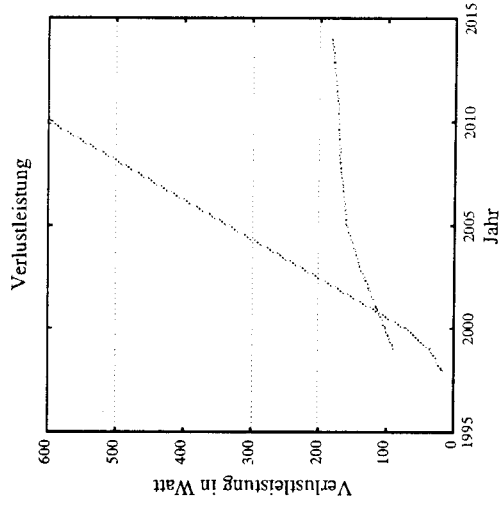
- 1 Verlustleistungsproblematik in CMOS-VLSI-Schaltungen
- 2 Leistungsverbrauchsanalyse und Clock-Gating
- 3 Absenkung der Versorgungsspannung
- 4 Weitere Möglichkeiten
- 5 Zusammenfassung



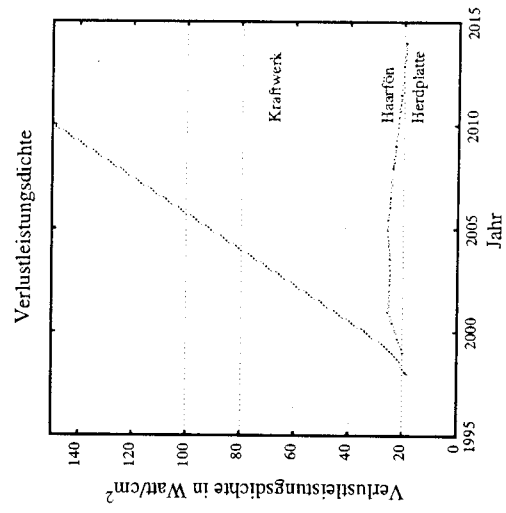
Moore'sches Gesetz und SIA Roadmap für Hochleistungs- μ Ps



Folge des Moore'schen Gesetzes: Anstieg der Verlustleistungsdichte



Quellen
 Intel (www.intel.com)
 P. Geiwinger, ISSCC 2001
 Semiconductors Industry Association (SIA) Roadmap 1999
 (public.ctr.nec/rliev/1999_SIA_Roadmap/Home.htm)



Mobile Anwendungen

- Mobile Anwendungen (Mobiltelefon etc.) werden immer leistungsfähiger, d.h. benötigen mehr Rechenleistung und damit mehr Energie.
- Batterietechnologie entwickelt sich nicht annähernd so schnell wie IC-Technologie (Energiedichte in Wh/kg)
- Betriebsdauer (z.B. Sprechzeit und Standby-Zeit bei Mobiltelefon) ist wichtige Eigenschaft bei mobilen Applikationen.
- Um mit der vorhandenen Energie einer Batterie möglichst lange mobil bleiben zu können, muß Energieverbrauch reduziert werden.

Leistungsaufnahme in CMOS

- Schaltströme (dynamisch):

$$\bar{P}_s = f \cdot C_L \cdot U_{dd}^2$$

- Kurzschlußströme (dynamisch):

$$\bar{P}_k = \frac{\beta}{12} \cdot \frac{\tau}{T} \cdot (U_{dd} - 2U_{th})^3$$

- Leckströme (statisch):

- ◆ Gesperrte PN-Übergänge (Dioden)
- ◆ "Subthreshold"-Leckströme im Transistor:

$$I_{sub} = I_0 \cdot \exp\left(\frac{U_{gs} - U_{th}}{\alpha \cdot U_T}\right) \quad \text{für } U_{ds} = U_{dd}$$

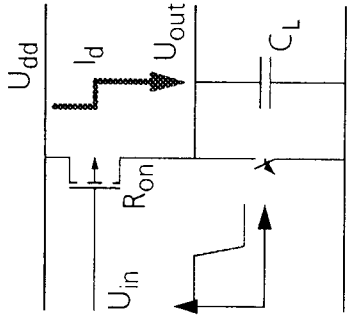
$$\frac{I_{sub2}}{I_{sub1}} = \exp\left(\frac{U_{th1} - U_{th2}}{\alpha \cdot U_T}\right) \quad \text{für } U_{gs} = 0$$

$$\alpha = 1 : 60 \text{ mV/Dekade}, \quad \alpha = 1.67 : 100 \text{ mV/Dekade}$$

β : Verstärkungsfaktor, τ : Anstiegszeit, $f = 1/T$: Schaltfrequenz/-aktivität, C_L : Lastkapazität, U_{dd} : Versorgungsspannung, U_{th} : Schwellspannung, U_{gs} : Gate-Source-Spannung, U_{ds} : Drain-Source-Spannung, α : "Subthreshold Slope Factor", I_0 : Drainstrom für $U_{gs} = U_{th}$, U_T : Temperaturspannung (= 25.9 mV bei Raumtemp.)

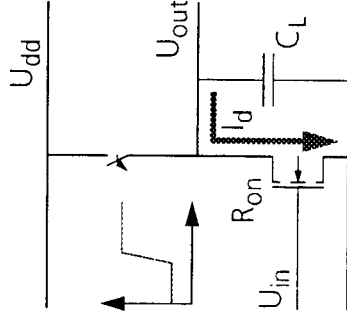


Ziel von "Low-Power"-Techniken: Minimierung der dissipierten Energie



$$E_{dis} = \frac{1}{2} \cdot C_L \cdot U_{dd}^2$$

$$E_{cap} = \frac{1}{2} \cdot C_L \cdot U_{dd}^2$$



$$E_{dis} = \frac{1}{2} \cdot C_L \cdot U_{dd}^2$$

$$E_{cap} = 0$$

• Konventionelle Techniken:

- Reduktion der geschalteten Kapazitäten
- Reduktion der Schaltfrequenz
- Reduktion der Versorgungsspannung

• "Adiabatische" Logik:

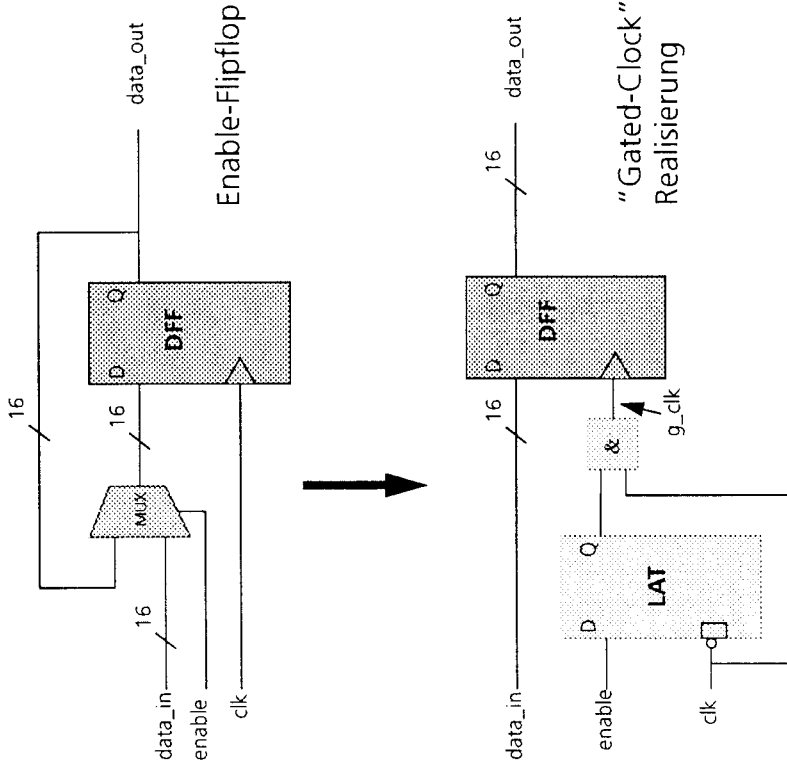
- Minimierung der dissipierten Energie durch Verringerung des Spannungsabfalls am Transistor durch variable U_{dd} (z.B. Sinus, $R_{on} \cdot C_L \ll T$)
- Rückgewinnung der gespeicherten Energie (induktive Versorgung)
- Effizienz ($2 \cdot R_{on} \cdot C_L / T$) verringert sich mit steigender Frequenz

Leistungsverbrauchsanalyse

- **Simulative Verfahren:**
 - Transistorebene / Schalterebene: (z.B. SPICE, PowerMill, Mach)
 - Gatterebene (z.B. PrimePower/PowerArc)
 - Architekturebene
- **Probabilistische Verfahren:**
 - Schätzung von Signalwahrscheinlichkeiten (als Maß für die Schaltaktivitäten)
 - Monte-Carlo-Simulation
- **Beispiel Gattersimulation Signalprozessor*:**
 - Annähernd 40% der Leistung wird im Taktbaum verbraucht.
 - Im Mittel erhalten annähernd 80% der Flipflops pro Zyklus keine neuen Daten.

*: 16Bit Fixpunkt-Signalprozessor aus Standardzellen (VHDL + Synthese), c.a. 100k Gatter, c.a. 100 16bit-Register

Reduktion der Verlustleistung durch "Clock-Gating"



- Implementierung in einem Signalprozessor zeigt Reduktion um 25%.
- Automatischer Einbau von Clock-Gating in der Netzliste durch CAE-Tools unterstützt (z.B. Synopsys PowerCompiler), Clock-Gating-Schaltung wird als Standardzelle implementiert.



Verringerung der Verlustleistung durch Absenkung der Versorgungsspannung

- Schaltzeit eines CMOS-Gatters:

$$t_d = \frac{2 \cdot C_L}{\beta} \cdot \frac{U_{dd}}{(U_{dd} - U_{th})^2}$$

$$\tau = \frac{(U_{ref} - U_{th})^2}{U_{ref}} \cdot \frac{U_{dd}}{(U_{dd} - U_{th})^2}$$

normiert

- Mittlere Verlustleistung:

$$\bar{P} = f \cdot C_L \cdot U_{dd}^2$$

$$\Pi = \frac{1}{\tau} \cdot \left(\frac{U_{dd}}{U_{ref}} \right)^2$$

normiert

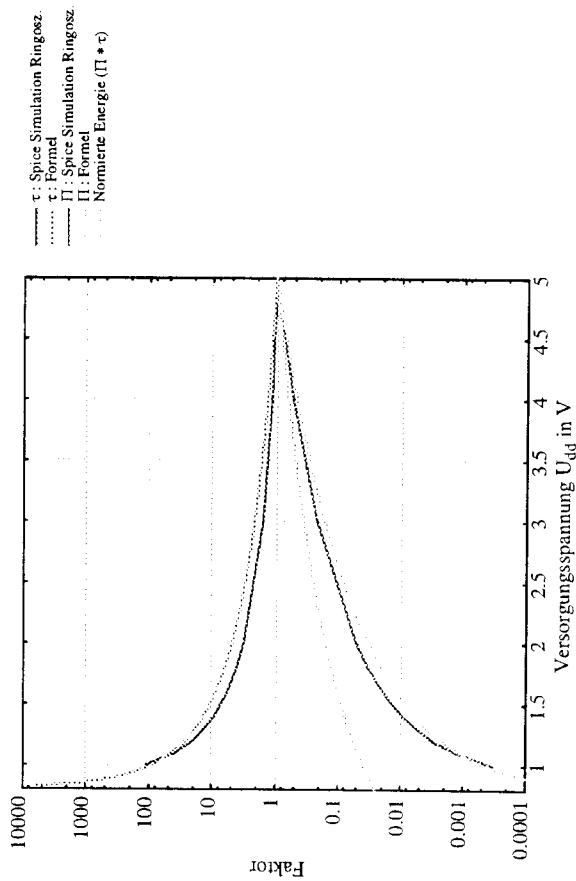
- Optimierung des Energie-Zeit-Produkts:

Kompromiß zwischen Energie und Rechenzeit. Minimum des Produkts von *Energie* und der *benötigten Zeit* für eine Berechnung. Dies ergibt eine *optimale Versorgungsspannung* von $3 \cdot U_{th}$.

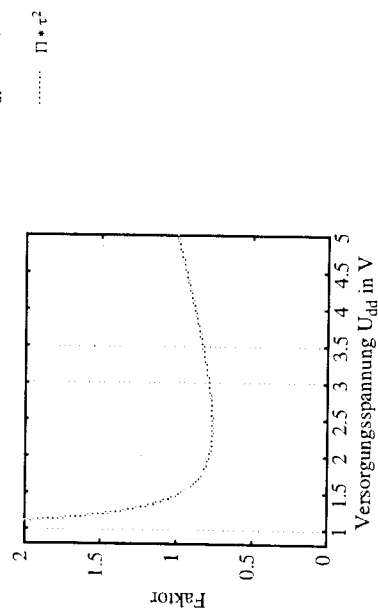


Beispiel 0.6 μm CMOS-Prozeß

Normierte Schaltzeit, Verlustleistung und Energie für 0.6 μm Prozeß ($U_{\text{th}}=0.8\text{V}$)



Normiertes Energie-Zeit-Produkt für 0.6 μm Prozeß ($U_{\text{th}}=0.8\text{V}$)



Erhöhung der Rechenleistung durch tiefere Schwellspannung

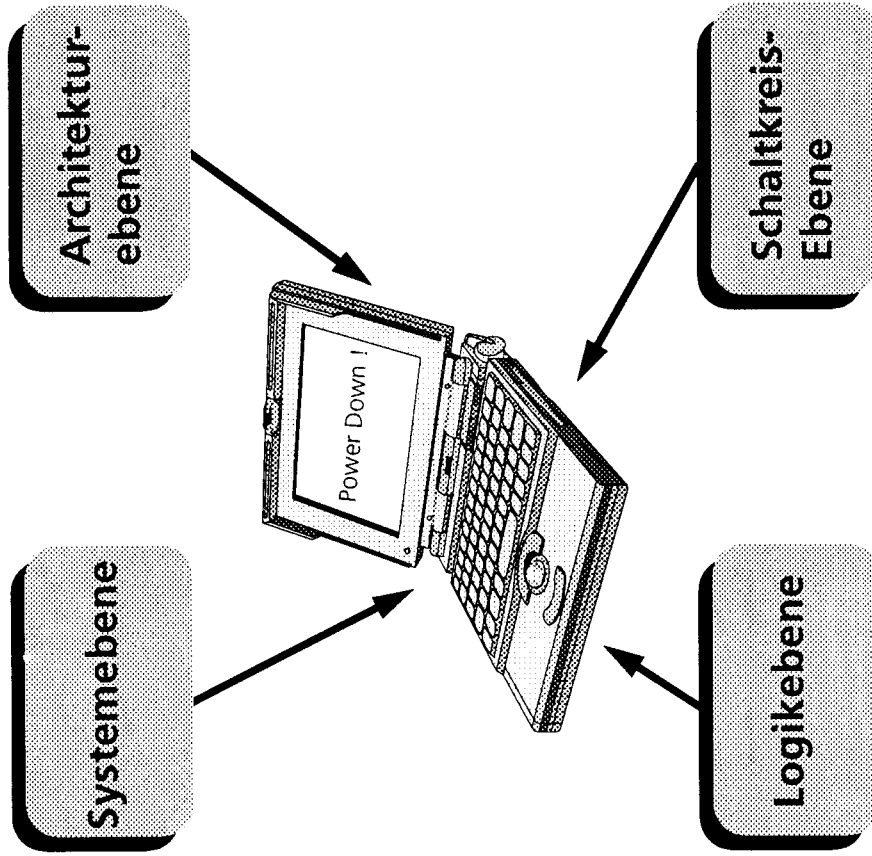
- Verringerung der Versorgungsspannung kann durch tiefere Schwellspannung U_{th} kompensiert werden. Aber: Leckströme steigen mit c.a. Faktor 10 auf 100mV U_{th} .
- Typ. Leistungsbilanz eines Mobiltelefon-ICs
 - "Active"-Mode (0.5% im Standby): DSP und μC getaktet mit Systemtakt
 - "Idle"-Mode (2% im Standby): DSP / μC stop, Peripherie getaktet mit Systemtakt
 - "Sleep"-Mode (97.5% im Standby): DSP / μC stop, Hauptteil Peripherie stop, kleiner Teil der Peripherie getaktet mit 32kHz Takt

☞ **Tradeoff:** Dynamische - statische Stromaufnahme

☞ **Lösung:** Variable U_{th} (Back-gate biasing), Dual- U_{th} -Prozesse, Abschalten der Versorgung von Schaltungsteilen, etc.



Weitere Maßnahmen zur Reduktion des Energie- und Leistungsverbrauchs



Schaltkreisebene / Zellbibliothek / Technologie

- **Technologie:**
Kleinere Prozesse, höhere Integrationsdichte, Dual- U_{th} -Prozesse (Dotierung), Variable- U_{th} (Back-Bias) in Verbindung mit Silicon-on-Insulator.
- **Gate-Sizing:**
Größe der Transistoren hat Einfluß auf Schalt-, Kurzschluß- und Leckströme, für jeden Gattertyp sollten verschiedene Stufungen vorhanden sein, Stufungen an Verteilung der Knotenkapazitäten anpassen.
- **Gatterdesign:**
Layout so gestalten, daß geschaltete Knoten möglichst geringe Kapazität aufweisen, parallele Transistoren möglichst nicht am Ausgang!
- **Flipflops / Latches:**
Design so gestalten/auswählen, daß am Taktbaum möglichst geringe Last entsteht (geringes Fan-in).
- **Low-Power-SRAM:**
6-Transistor-Zellen, Dual- U_{th} (hohe U_{th} in Speicherzellen)



Logikebene

- **Power-optimierte Logiksynthese:**
Lokale Transformationen (z.B. auf nicht-kritischen Pfaden "kleine Gatter" nehmen, Pin-Ordering).
- **Signal Gating:**
Vermeiden, daß Signale in momentan nicht benötigte Logikteile propagieren.
- **Codierung:**
z.B. Gray-Code statt Binär-Code, Bus-Codierung (speziell off-chip Busse), Zustandskodierung von Schaltwerken
- **Reduktion des Signalhubs:**
z.B. bei Bussen (differential) und Takten
- **Vermeidung von nicht-getriebenen Knoten**
Einsatz von Bus-Keepern in Bussystemen
- **Vermeidung von Glitches / Hasards**
- **Double-Edge Triggered Flipflops:**
Flipflops übernehmen zur steigenden und fallenden Flanke, Flipflops müssen nur noch mit halber Taktrate betrieben werden.



Architekturebene

- **Memory Banking:**
Zerlegen von Speichern in kleinere Blöcke
- **Power-optimiertes High-Level Design:**
Transformation des Datenflussgraphen (Operatoren, Loop Unrolling, etc.) im Hinblick auf Leistungsaufnahme
- **Taktverteilung / Multi-Clock-Systeme:**
Abschaltbare Takte für Blöcke zur Unterstützung des Power-Managements, Takteiler, Clock-Routing im Layout
- **Asynchrones Design:**
Reduktionen um Faktor 2..10 möglich, ebenfalls gut für EMV
Probleme:
 - Test, DfT
 - μ P's: Timing abhängig von P, V, T!
 - Entwurf aufwendig
- **Pipelining oder Vervielfachung der Hardware (Parallelität):**
Führt zu Verringerung von Taktfrequenz und U_{dd} . Mehrere langsame CPUs effizienter als eine sehr schnelle CPU.



Systemebene

- **Power-Management:**
 - Durch Software programmierbare Power-Down-Modi vorsehen (Doze, Nap, Sleep, etc.), Abschalten des Takts / Versorgungsspannung für deaktivierte Blöcke (Probleme: Latenz, Shutdown-Overhead)
 - Reduktion der Versorgungsspannung bei gleichzeitiger Reduktion der Taktfrequenz (Intel SpeedStep: 2 Stufen, Transmeta LongRun: mehrere Stufen)
 - Regelung der Versorgungsspannung bei asynchronem Design (z.B. mit FIFO und DC-DC-Wandler (Philips)).
- **Energie-effiziente Compiler:**
Befehle werden im Hinblick auf ihren Energiebedarf charakterisiert, dies wird im Compiler bzw. bei Assembly-Codierung berücksichtigt.
- **Zahlendarstellung, Codierung, Ausnutzen der Korrelation von Daten**

Zusammenfassung

- Reduktion der Verlustleistung in Zukunft sehr wichtig für mobile *und* stationäre Anwendungen
- CMOS-Leistungsaufnahme bestimmt durch Schalt-, Kurzschluß- und Leckströme
- Optimierung auf allen Ebenen wichtig. Entwurfsentscheidungen auf System- und Architekturebene können den Energie- und Leistungsverbrauch wesentlich beeinflussen.
- Sind alle "klassischen" Verfahren ausgeschöpft, sollte über asynchrone oder adiabatische Logik nachgedacht werden.
- **Literatur:**
 - Low Power Digital CMOS Design; A. Chandrakasan, W. Brodersen; 1995, Kluwer
 - Practical Low Power Digital VLSI Design; G. Yeap; 1998, Kluwer



