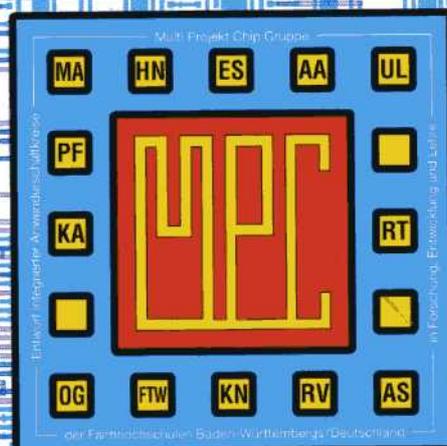


# MULTIPROJEKTCHIP GRUPPE

BADEN-WÜRTTEMBERG

MPC-Workshop Februar 2004

Furtwangen



# MULTIPROJEKTCHIP GRUPPE

BADEN-WÜRTTEMBERG

**MPC-Workshop Februar 2004**

**Furtwangen**

Cooperating Organization  
Solid-State Circuits Society Chapter  
IEEE Germany Section



**Herausgeber: Fachhochschule Ulm**

© 2004 Fachhochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers Prof. A. Führer, Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm.

Adressen der

## **MULTIPROJEKT-CHIP-GRUPPE (MPC-Gruppe)** **BADEN - WÜRTTEMBERG**

<http://www.mpc.belwue.de>

Fachhochschule Aalen  
Prof. Dr. Bartel, Postfach 1728, 73428 Aalen  
Tel.: 07361/576-107, Fax: -324, Email: [manfred.bartel@fh-aalen.de](mailto:manfred.bartel@fh-aalen.de)

Fachhochschule Albstadt-Sigmaringen  
Prof. Dr. Rieger, Johannesstr. 3, 72458 Albstadt-Ebingen  
Tel.: 07431/579-124, Fax: -149, Email: [rieger@fh-albsig.de](mailto:rieger@fh-albsig.de)

Fachhochschule Esslingen  
Prof. Dr. Kampe, Flandernstr. 101, 73732 Esslingen  
Tel.: 0711/397-4221, Fax: -4212, Email: [gerald.kampe@fht-esslingen.de](mailto:gerald.kampe@fht-esslingen.de)

Fachhochschule Furtwangen  
Prof. Dr. Rülling, Postfach 28, 78113 Furtwangen  
Tel.: 07723/920-503, Fax: -610, Email: [ruelling@fh-furtwangen.de](mailto:ruelling@fh-furtwangen.de)

Fachhochschule Heilbronn  
Prof. Dr. Clauss, Max-Planck-Str. 39, 74081 Heilbronn  
Tel.: 07131/504400, Fax: /252470, Email: [clauss@fh-heilbronn.de](mailto:clauss@fh-heilbronn.de)

Fachhochschule Karlsruhe  
Prof. Dr. Koblitz, Postfach 2440, 76012 Karlsruhe  
Tel.: 0721/925-2238, Fax: -2259, Email: [koblitz@fh-karlsruhe.de](mailto:koblitz@fh-karlsruhe.de)

Fachhochschule Konstanz  
Prof. Dr. Voland, Brauneggerstraße 55, 78462 Konstanz  
Tel.: 07531/206-644, Fax: -559, Email: [voland@fh-konstanz.de](mailto:voland@fh-konstanz.de)

Fachhochschule Mannheim  
Prof. Dr. Albert, Speyerer Str. 4, 68136 Mannheim  
Tel.: 0621/2926-351, Fax: -454, Email: [g.albert@fh-mannheim.de](mailto:g.albert@fh-mannheim.de)

Fachhochschule Offenburg  
Prof. Dr. Jansen, Badstr. 24, 77652 Offenburg  
Tel.: 0781/205-267, Fax: -242, Email: [d.jansen@fh-offenburg.de](mailto:d.jansen@fh-offenburg.de)

Fachhochschule Pforzheim  
Prof. Dr. Kesel, Tiefenbronner Str. 65, 75175 Pforzheim  
Tel.: 07321/28-6567, Fax: -6060, Email: [kesel@fh-pforzheim.de](mailto:kesel@fh-pforzheim.de)

Fachhochschule Ravensburg-Weingarten  
Prof. Dr. Ludescher, Postfach 1261, 88241 Weingarten  
Tel.: 0751/501-9685, Fax: -9876, Email: [ludescher@fbe.fh-weingarten.de](mailto:ludescher@fbe.fh-weingarten.de)

Fachhochschule Reutlingen  
Prof. Dr. Kreutzer, Federnseestr. 4, 72764 Reutlingen  
Tel.: 07121/341-108, Fax: -100, Email: [hans.kreutzer@fh-reutlingen.de](mailto:hans.kreutzer@fh-reutlingen.de)

Fachhochschule Ulm  
Prof. Führer, Postfach 3860, 89028 Ulm  
Tel.: 0731/50-28338, Fax: -28363, Email: [fuehrer@fh-ulm.de](mailto:fuehrer@fh-ulm.de)

# Inhaltsverzeichnis

## Workshop-Vorträge

Seite

1. System Level Design mit SystemC und Matlab/Simulink  
R. Gessler, EADS Ulm 5
2. Mikrosystemtechnik: Technologie und Anwendungen  
U. Mescheder, FH Furtwangen 9
3. Entwicklung eines Mixed-Signal ASICs mit dem IMS Gate-Forest  
dargestellt am Beispiel einer Kapazitäts-Messschaltung mit digitalem Ausgang  
K. Warkentin, FH Esslingen  
G. Feucht, H. Richter, IMS Stuttgart 21
4. Digital Polar-to-Cartesian and Cartesian-to-Polar Transformers  
I. Janiszewski, H. Meuth, FH-Darmstadt 27
5. Eine neue HF-Mischstufe  
H. A. Sapotta, FH Karlsruhe 35
6. GMSK - Demodulation mit einem FPGA  
A. Kehl, J. Stuber, G. Glasmachers, FH Heilbronn 41
7. VHDL-Entwurf eines I<sup>2</sup>C-Interfaces und Emulation mit  
einem Mikroprozessorkern auf FPGA  
D. Bau, D. Jansen, FH Offenburg 49
8. Controller-Baustein für den FHFtrain  
A. Bumüller, H. Sauerburger, FH Furtwangen 57
9. Einfache Ersatzschaltbilder beim Entwurf analoger Schaltungen  
W. Steimle, FH Reutlingen 63

## Gefertigte Bausteine

10. Lotto V4  
M. Striebel, D. Jansen, FH Offenburg 80
11. Smart-Power ASIC für den Betrieb von Energiesparlampen  
J. Geisinger, J. Schwarz, G. Forster, FH Ulm 81

# System Level Design mit SystemC und Matlab/Simulink

Dr.-Ing. R. Gessler

EADS Germany GmbH, Naval & Ground Radar Signal Processing

Woerthstrasse 85, 89077 Ulm,

Phone: (0731) 392-4797, Fax: (0731) 392-3073

E-Mail: ralf.gessler@sysde.eads.net

## Zusammenfassung

Die heutige Elektronikbranche ist einem starken technologischen Wandel unterworfen. Produkte müssen innerhalb kürzester Zeit mit begrenztem Budget entwickelt (Rapid Prototyping) und auf den Markt gebracht werden. Hierbei ist es notwendig zum einen bereits entwickelte Module in die Neuentwicklung mit einzubeziehen (Design for Reuse). Zum anderen ist es wichtig flexibel zwischen Hard- und Software-Lösung zu wechseln und Funktionserweiterungen möglichst einfach durchzuführen. System-Design-Tools können hierbei wichtige Hilfsmittel sein.

Die vorliegende Arbeit gibt einen praxisnahen Erfahrungsbericht über Beschreibungssprachen, die gemeinsam von Hardware- und Systementwicklern eingesetzt werden können. Hierbei werden Standard-Design-Methoden mit den modernen System-Design-Methoden von Matlab/Simulink und SystemC verglichen. Die Bewertungskriterien sind unter anderem: Implementierungsaufwand, Datenrate und Ressourcenverbrauch. Zudem wird ein Augenmerk auf die Portierung zwischen Hard- und Software gerichtet.

## 1. Grundlagen

Ausgangspunkt ist das Hardware-Design mit FPGAs und Algorithmen aus der Radarsignalverarbeitung. Da es sich hierbei hauptsächlich um komplexe Standard-Algorithmen wie FIR-Filter, FFT und Rank-Value-Filter (Sortiereinheiten) handelt, lassen sich diese auch auf andere Bereiche wie Automotive, Industrial und Telekommunikation übertragen.

Der Radar-Signalprozessor (siehe Bild 1) ist ein wichtiger Bestandteil des Rundsuch-Radars. Die Aufgabe eines Radar-Signalprozessors besteht darin, ein empfangenes Signal auszuwerten und gegebenenfalls ein Ziel zu melden. Der Signalprozessor besteht aus den folgenden drei Komponenten: Pulskompression (Verbesserung des Signal/Rausch-Abstandes), Dopplerfilter (Ermittlung der Ziel-Dopplerfrequenz) und Zieldetektion (adaptive Schwellwertschätzung).

Die folgenden Abschnitte stellen die Werkzeuge Matlab/Simulink mit Systemgenerator und SystemC mit SystemC-Compiler vor. Es folgt eine Zusammenfassung mit Ausblick.

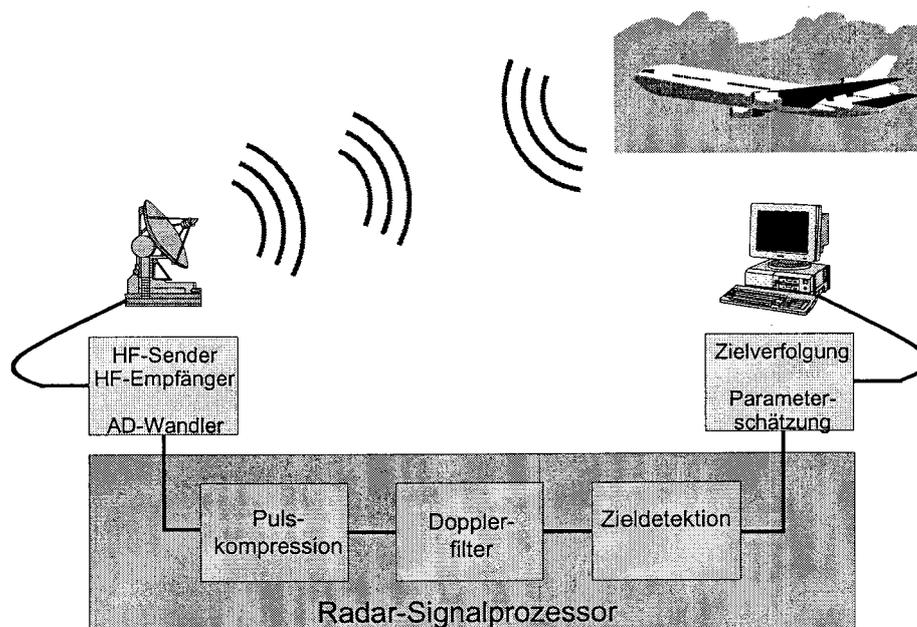


Bild 1 Der Radar-Signalprozessor

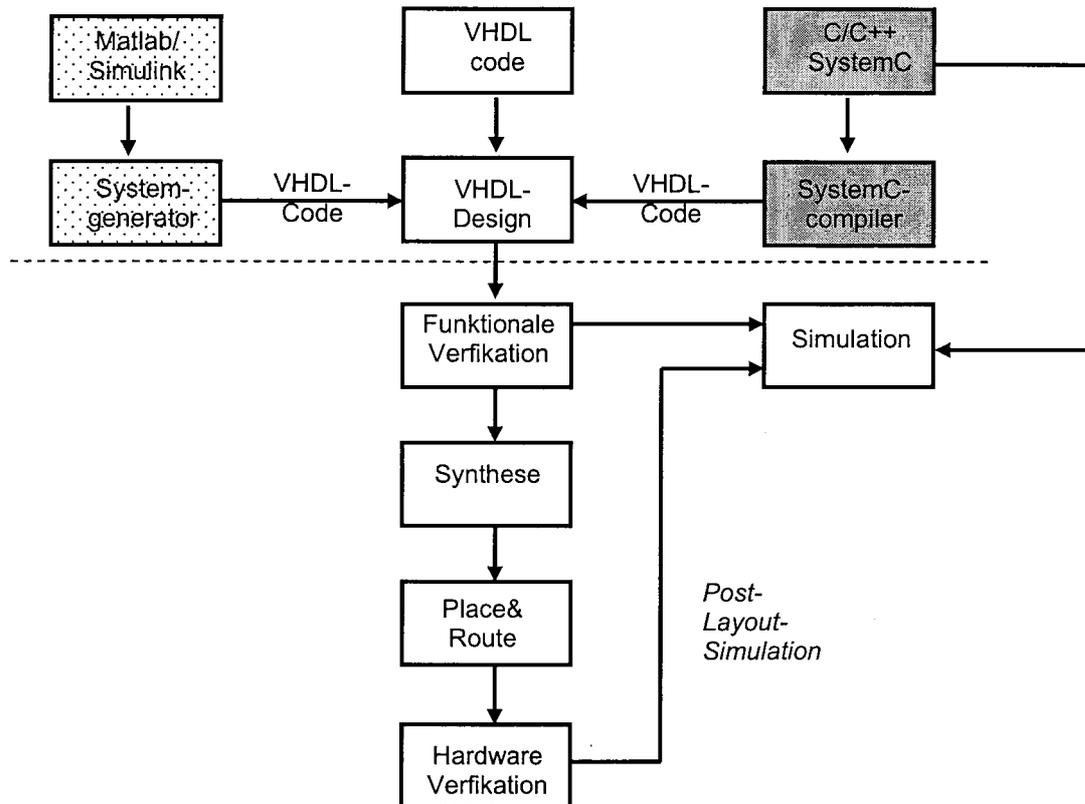


Bild 2 Radar-Signalprozessor in Matlab/Simulink

## 2. Matlab/Simulink

Matlab ist ein mathematisches Werkzeug und wird zur Simulation des gesamten Prozessors eingesetzt. Der Radar-Signalprozessor wurde mittels Matlab-Modellen auf Systemebene beschrieben [1], [2]. Hierbei können verschiedene Szenarien und Konfigurationen simuliert werden. Der neue Designflow Matlab/Simulink und Xilinx-Systemgenerator erlaubt eine automatisierte Abbildung auf ein FPGA und Simulation auf Realisierungsebene. Bild 2 zeigt den kompletten Designflow von Matlab/Simulink bis zum fertigen FPGA-Design auf einem PMC-Modul. Der Systemgenerator von Xilinx erzeugt aus Matlab/Simulink VHDL-Code für die Synthese und einen Testbench mit Stimuli-Files zur VHDL-Simulation. Im Anschluss an die Synthese folgt die Implementierung auf das Xilinx-FPGA (Place & Route) mit dem Tool Design Manager. Zur Synthese und Simulation wurden die Mentor-Tools Leonardo und Modelsim verwendet. In Abbildung 3 ist die Implementierung in Simulink dargestellt. Hierfür kamen Xilinx-Blocksets (IPs) zum Einsatz.

## 3. SystemC

Systementwicklungen beginnen oft mit einem abstrakten Modell in C/C++. Das Ziel besteht zunächst darin die erste Implementierung und deren Machbarkeit zu untersuchen. Dieser Prozess kann durch Systemsimulationen mit Funktionsblöcken in C unterstützt werden. In der weiteren Entwicklung wird das System in eine detaillierte Implementierung in Hardware oder Software umgesetzt. Die Idee ist nun, den Übergang von einem abstrakten Systemmodell zu einer Implementierung in Hardware und Software möglichst einfach und zusammenhängend zu gestalten. Anstelle einer komplett neuen Beschreibung, wird die vorhandene Modellierung immer detaillierter bis am Ende im Fall eines Hardware-Ansatzes eine RTL-Beschreibung vorliegt. Die Sprache SystemC [3] ist die Basis für diesen Ansatz.

Die vorgestellten Signalverarbeitungsalgorithmen aus Matlab/Simulink wurden in SystemC implementiert und simuliert. Der Transfer zu RTL erfolgt mit dem SystemC-Compiler von Synopsys (siehe Abbildung 2). Weiterführende Literatur zum Thema SystemC findet man unter [4], [5].

## 4. Zusammenfassung und Ausblick

Im vorgestellten Bericht werden Benchmarks zur Bewertung der Design-Tools Matlab/Simulink/Systemgenerator und SystemC anhand Signalverarbeitungsalgorithmen erarbeitet. Der Ausgangspunkt ist zum einen Matlab und zum anderen C/C++.

Die vorgestellten System-Design-Tools sind ein weiterer Schritt auf dem Weg die „Lücke“ zwischen Hardware- und Systementwicklung zu schließen. Hierbei ist sowohl eine Hardware-Lösung (FPGA) wie auch eine Software-Lösung (Prozessor) möglich. Die grundlegenden Algorithmen des Radarsignalprozessors können auf einem FPGA realisiert werden [6].

In Zukunft ist geplant den Matlab/Simulink-Flow auf Altera-Bausteine und auf TI-Signalprozessoren (Software-Lösung) zu erweitern.

## 5. Literatur

- [1] Gessler, R.: *Design of a FPGA Radar Signal Processor*. MathWorks DSP Conference 2003, Stuttgart, Mai 2003.
- [2] Henkel, M.: *Untersuchung eines neuen Hardware-Software-Designflows*. Diplomarbeit, EADS, FH Ulm, Ulm, Januar 2002.
- [3] SystemC - Organisation: <http://www.systemc.org>.
- [4] Speitel, M.; Niemann, B.: *Quo vadis SystemC*. Elektronik, Ausgabe 13, 2001.
- [5] Aynsley, J.: *Brücke zwischen Hardware- und Systemdesign*. Elektronik, World of Embedded ARM, Februar, 2003.
- [6] Gessler, R.; Kölle, H.-G.; Deitersen, H.: *Radar Signal Processor on a chip*. International Radar Symposium 2003, Dresden, October 2003.

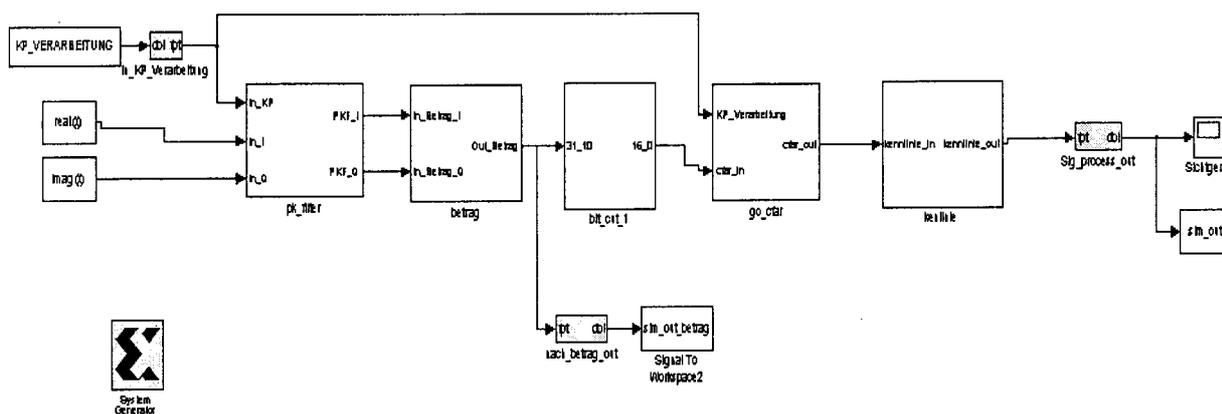


Bild 3 Designflow



## Mikrosystemtechnik:

### Technologie und Anwendungen

Prof. Dr. Ulrich Mescheder, Institut für Angewandte Forschung der FH Furtwangen

Koordinator des ZAFH ZeMiS

78120 Furtwangen, Robert-Gerwig-Platz 1

Tel: 07723920232, Fax: 07723920633, email: [mes@fh-furtwangen.de](mailto:mes@fh-furtwangen.de)

#### Zusammenfassung

Die Mikrosystemtechnik hat sich seit Einführung dieses Begriffs Mitte der 80er Jahre enorm weiterentwickelt. Vom Umsatzvolumen erschließen sich mit der Mikrosystemtechnik Märkte von vielen Milliarden Dollar/Euro, wobei immer wieder auch kurzfristig ganz neue Marktbereiche von der Mikrosystemtechnik profitieren. Technologisch konnten aufgrund der großen Forschungs- und Entwicklungsanstrengungen beachtliche Fortschritte beim Umsetzen in neue Produktentwicklungen erzielt werden. Noch immer ist aber die Entwicklung von Mikrosystemen mit einem beträchtlichen wirtschaftlichen Risiko verbunden. Insbesondere klein- und mittelständische Unternehmen benötigen hierzu die FuE-Unterstützung von Forschungsdienstleistern. An der FHF wird seit vielen Jahren in Lehre und Forschung an der Mikrosystemtechnik gearbeitet. Von den zahlreichen Forschungsprojekten werden ausgewählte Beispiele näher vorgestellt.

#### 1. Überblick über die Aktivitäten an der FHF

Seit fast 20 Jahren wird an der FH Furtwangen an Themen aus der Mikroelektronik und seit mehr als 15 Jahren an Themen aus der Mikrosystemtechnik (MST) in Lehre und Forschung gearbeitet. 1991 startete der Diplomstudiengang Mikrosystemtechnik, damals der zweite seiner Art in Deutschland. Im Jahre 2000 nahm der erste Masterstudiengang zum Thema Mikrosystemtechnik (Microsystems Engineering) in Furtwangen seinen Betrieb auf. Seitdem wurden mehr als 60 Studierende in diesem inzwischen von der ASIIN akkreditierten internationalen Studiengang zum MSc graduieren. Begleitet wurden diese Aktivitäten im Bereich der Lehre von starken Forschungsaktivitäten. Der For-

schungsschwerpunkt Mikrosystemtechnik des Instituts für Angewandte Forschung stellt seit vielen Jahren eine der tragenden Säulen der Forschungsaktivitäten der FH Furtwangen da. Seit September 2002 koordiniert die FH Furtwangen das Zentrum für Mikroelektronik und Systemintegration (ZeMiS), eines von drei Zentren für Angewandte Forschung an Fachhochschulen in Baden-Württemberg. An ZeMiS sind die Fachhochschulen Esslingen/Göppingen, Offenburg und Heilbronn, die Universität Freiburg sowie das IMIT beteiligt.

In diesem Beitrag werden neuere Entwicklungen der Mikrosystemtechnik aufgezeigt. Nach einer Analyse der Marktentwicklung werden typische Produktbeispiele der Mikrosystemtechnik erläutert und wichtige Fertigungsaspekte diskutiert. Ausgewählte Beispiele zeigen die Breite der Forschungsarbeiten an der FH Furtwangen auf dem Gebiet der Mikrosystemtechnik auf.

#### 2. Marktentwicklung der Mikrosystemtechnik

##### 2.1. Definitionen und Trends

Unter Mikrosystemen versteht man seit Ende der 80er Jahre Systeme, in denen bei mindestens einem die Funktion des Systems bestimmenden Element die kritische Strukturgröße im Bereich Mikrometer liegt und bei denen elektronische und nichtelektronische Funktionen/Komponenten zu einem System zusammengefasst werden. Weiterhin sind in einem Mikrosystem durch systematische Verknüpfung Synergieeffekte möglich. Mikrosysteme werden überwiegend mit aus der Mikroelektronik abgeleiteten Fertigungstechniken hergestellt. Gerade durch letzteren Aspekt ist es möglich, komplexe, meist auf Silizium beruhende Systeme bei Massenfertigung zu niedrigen Preisen zu realisieren [1]. Auf der anderen Seite ergibt sich unter diesen fertigungstechnischen Randbedingungen gerade für klein- und mittelständische Unternehmen das Problem, dass ein Einstieg in die Mikrosystemtechnik



Bild 1: Vergleich alter (oben) und jüngerer (unten) Marktstudien, nach [2], unten: Ergebnisse der NEXUS II-Studie nach [3]

in der Regel ein entsprechend großes Marktvolumen voraussetzt, damit sich die zum Teil erheblichen Investitionen in Geräte und Personal auch rentieren. Daher kommen Untersuchungen zur Marktentwicklung in der Mikrosystemtechnik große Bedeutung zu. Entsprechend werden für die Mikrosystemtechnik sehr häufig und regelmäßig Marktuntersuchungen durchgeführt, die Entscheidungskriterien bei der strategischen Ausrichtung von Unternehmen erleichtern sollen [4], [5], [6], [2], [7]. Im Vergleich verschiedener Marktstudien ergeben sich z.T. erhebliche Differenzen, je nach dem welche Begriffsdefinition für Mikrosystemtechnik zugrunde gelegt wird (gehören z.B. einfache mikro-mechanische Sensoren schon dazu) und ob die eigentliche Mikrosystemtechnik-Komponente oder das Gesamtsystem, dessen Funktion maßgeblich durch die MST-Komponente bestimmt ist, bei der Umsatzberechnung genommen wird (mit oder ohne Leverage-Effekt). Trotz der aus diesem Problem resultierenden Unschärfe sind folgende Prognosen weitestgehend unumstritten:

- Bei einem Weltmarkt zwischen 60 und 70 Mrd. \$ nähert sich die Mikrosystemtechnik der Bedeutung der Mikroelektronik an.
- Der Kfz-Markt ist noch immer technischer Motor für die Mikrosystemtechnik-Entwicklung.
- Bis zum Jahr 2005 findet man große Zuwächse insbesondere im Bereich der in-vitro-Diagnostik.
- Es bilden sich immer mehr „Nischenmärkte“ aus, die bei einem Umsatzvolumen von weniger als einer Mrd. \$ gerade für mittelständische Firmen

interessant sind (Biometrische Identifikation, Mikrorodisplays, Arzneimitteldosierung, RF MEMS).

- Die wertmäßig dominierenden Anwendungsgebiete liegen im Bereich der Informationstechnik (Tintenstrahldruckköpfe, Displays, Massenspeicher).

## 2.2 Detaillierte Marktentwicklungen

In den nachfolgenden Bildern 1-2 werden diese zusammengefassten Trends anhand von Prognosezahlen untermauert. Bei den Zukunftsprognosen stellt sich häufig das Problem, dass langfristige, zukünftige Entwicklungen kaum richtig vorhersehbar sind. Damit beruhen die Prognosen für die Zukunft meist auf einer Fortschreibung aktueller Zahlen, ohne dass völlig neue Entwicklungen berücksichtigt werden können. Daher hat man im unteren Teilbild von Fig. 1 nur bereits bekannte Systemlösungen unter dem Stichwort „neu aufkommende“ Produkte berücksichtigt. Das vorhergesagte lineare Wachstum beträgt danach auch in den nächsten Jahren um 20 % pro Jahr [7]. Wie in Bild 2 gezeigt, kommt dabei dem Marktsegment des IT-Zubehörs die größte Bedeutung zu, gefolgt von der Medizintechnik. Danach sind schon heute nicht-automotive Anwendungen umsatzstärker als automotive. So macht der Bereich Informationstechnik mit 67 % den Löwenanteil eines Marktvolumens von 30 Mrd. Dollar im Jahre 2000 aus. Dieser Anteil reduziert sich leicht auf 58 % im Jahre 2005. Vom Umsatzvolumen ist demgegenüber der Bereich Verkehr (KfZ) eher klein. Einen stark steigenden Markt stellt die Telekommunikation dar. Was allerdings die Stückzahlen von einzelnen Produkten angeht, sind Produkte aus dem KfZ-Bereich (Beschleunigungs-, Drehraten- und Drucksensoren) nach wie vor sehr interessant, insbesondere da hier die Standardisierung weit fort geschritten ist.

Auch wenn der automotive Sektor eine Vorreiterrolle bei der Einführung von Mikrosystemen spielt, so sind also umsatzmässig wichtigere Märkte in anderen Bereichen zu finden, wie Bild 2 zeigt.

Für eine genauere Darstellung nach einzelnen Produkten wird auf [7, 9] verwiesen. Das wohl in der Öffentlichkeit bekannteste Mikrosystemtechnik-Produkt, der Beschleunigungssensor, kommt danach im Jahre 2000 auf einen Umsatz von ca. 470 Mio. \$ (bei einer Stückzahl von rund 100 Mio. entspricht dies einem Preis von rund 5 \$ pro Sensor). Der Umsatz steigt bis zum Jahre 2005 vermutlich auf ca. 700 Mio. \$. Drucksensoren haben demgegenüber ein etwa doppeltes (2000) bis dreifaches (2005) Marktvolumen.

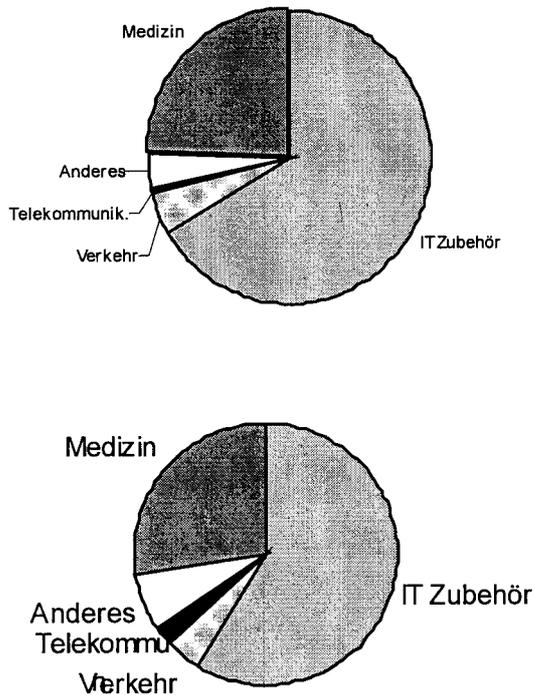


Bild 2: Aufteilung des MST-Weltmarktes nach Produkten; gegenwärtig (oben für das Jahr 2000) und zukünftig (unten für das Jahr 2005) nach [8] mit freundlicher Genehmigung Dr. H. Wicht, Wicht Technology Consultant

Vom Marktumsatz her wichtigstes Einzelprodukt ist der Tintenstrahldruckkopf, dessen Umsatzvolumen von ca. 11 Mrd. \$ im Jahre 2000 sich bis 2005 etwa verdoppelt. Die größte Steigerungsrate erwartet man nach dieser Studie im Bereich der in-vitro-Diagnostik (Zunahme um 550 %). Im Bereich der sich in der Entwicklung befindlichen Produkte erreichen Drehratensensoren vermutlich im Jahre 2005 einen Umsatz, der leicht über den von Beschleunigungssensoren liegt. Größte Zuwachsraten werden bei RF-MEMS erwartet (Steigerung um 10<sup>4</sup> %).

Bei den Nischenprodukten wachsen die Märkte für Mikromotoren (5000 %) und Mikrospektrometer (etwa 900 %) besonders stark [9].

### 3. Produktbeispiele

Einige Produktbeispiele wurden bereits im vorherigen Abschnitt anhand der Marktdaten grob vorgestellt. In diesem Abschnitt soll an zwei Beispielen der typische Aufbau von Mikrosystemen erläutert werden.

Die ausgewählten Beispiele gehören zur Klasse der mikromechanischen Systeme (englisch: MEMS) für

die Sensorik. Einen ähnlichen Aufbau findet man bei Mikrosystemen für die Aktorik, z.B. bei dem digitalen Mikrospiegel-Array-Bauelement (DMD) von Texas Instruments/DLP. Das letztgenannte Bauelement für Projektionsoptiken gehört zur Untergruppe der MOEMS (micro optical electro mechanical systems)

### 3.1. Mikromechanische Beschleunigungssensoren

Ein Beschleunigungssensor stellt die zentrale Komponente in einem Airbag-System dar (Bild 3). Das eigentliche Sensorelement macht dabei allerdings von den Kosten eher einen unbedeutenden Teil aus. Das Sensorelement erhält seine „Veredelung“ durch den Einbau in die elektronische Kontrolleinheit. Darin wird das Sensorelement in einem Gehäuse mit elektronischen Komponenten für die anwendungsspezifischen Anforderungen konfiguriert. In Verbindung eines zur Zeit noch mechanischen Vorschaltlements („ignition module“) initiiert die Kontrolleinheit im Falle eines Unfalles den Inflator, der den eigentlichen Airbag ausstößt. Entsprechend der Sicherheitsanforderungen geschieht dies innerhalb einiger 10 ms nach dem Unfall. Das Sensorelement macht mit einigen Euro nur einen Bruchteil der Kosten eines Airbagsystems von einigen hundert Euro aus.

Beschleunigungssensoren für Airbag-Systeme werden heute überwiegend mit den Methoden der Oberflächenmikromechanik hergestellt, bei denen die freibeweglichen Elemente mit Hilfe der Opferschichttechnik in mit Dünnschichtverfahren auf den Si-Wafern aufgetragenen Schichten (meist poly-Si) realisiert werden. Ein Detail des Beschleunigungssensors der Firma Bosch zeigt Bild 4 (oben), unten ist der Sensorchip mit monolithisch integrierter Auswerteelektronik des ADXL50 gezeigt. Diese Beschleunigungssensoren arbeiten nach dem Feder-Masse-Prinzip. Dabei werden seismische Massen über geeignet dimensionierte Federarme beweglich an die Rahmenstruktur angehängt. Bei Beschleunigung bewegt sich dann die seismische

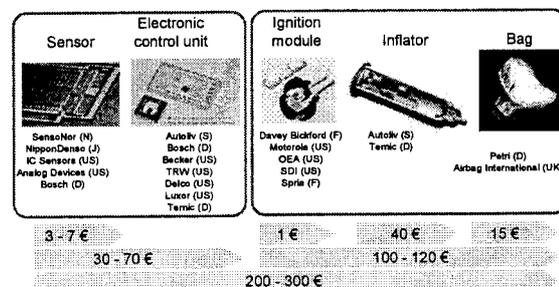


Bild 3: Airbag-System: An dieser Darstellung erkennt man die Wertschöpfungsentwicklung vom primären Sensor bis zum endgültigen System [8].

Masse relativ zum Gehäuse, diese Bewegung wird meist kapazitiv (Differenzkondensator) mit an der seismischen Masse verbundenen fingerartigen Elektroden aufgenommen, die sich unter Beschleunigung relativ zu feststehenden Elektrodenfingern bewegen (vgl. Bild 4 oben). Die elektronische Signalauswertung nutzt meist ein Differenzmodulationsverfahren, bei dem die Relativbewegung der beweglichen Elektroden in eine Veränderung der Modulationsamplitude gewandelt wird. Im quasistatischen Fall ist die Auslenkung der Elektrode aus der Ruhelage proportional zur wirkenden Beschleunigung. Früher wurden häufig rückgekoppelte Systeme realisiert (z.B. ADXL50), bei denen das Differenzsignal über eine elektrostatische Rückkopplung minimiert wird.

Die Empfindlichkeit und das zeitliche Antwortverhalten (mechanisch wird das System als Verzögerungsglied 2.Ordnung beschrieben) kann durch die seismische Masse, die Länge und Weite und vor allem durch die Dicke der Aufhängung (Dicke ist dabei die Geometrie, die senkrecht zur Beschleunigungsachse steht) eingestellt werden.

Das elektromechanische Gesamtsystem besteht neben dem Masse-Feder-Element und der Differentialkapazität meist aus einer Oszillatorschaltung, einem Vorverstärker, einem Demodulator, verschiedenen Verstärkerstufen und einer Schaltung zur Ausbildung von Referenz- oder Selbsttestspannungen (zur Simulation einer Beschleunigung). Häufig werden diese Komponenten monolithisch auf dem Chip des eigentlichen Sensorelements integriert.

### 3.2 Mikromechanische Drehratensensoren

Um gekoppelte Aktor-Sensor-Systeme handelt es sich bei mikromechanischen Drehratensensoren, die u.a. in Navigationssystemen und elektronischen Fahrzeugstabilisierungssystemen (EPS) verwendet werden. Die meisten mikromechanischen Realisierungen beruhen auf dem Coriolis-Prinzip. Hiernach wirkt auf eine sich in einem mit der Drehrate  $\Omega$  rotierenden Referenzsystem mit der Geschwindigkeit  $v$  bewegende Masse  $m$  eine Scheinkraft, die Coriolis-Kraft:

$$\vec{F}_{\text{Coriolis}} = 2 \cdot m \cdot (\vec{v} \times \vec{\Omega})$$

Aus dieser Gleichung lässt sich entnehmen, wie ein mikromechanischer Drehratensensor aufgebaut werden muss:

- a) Vorrichtung zur Erzeugung der Primärbewegung (Geschwindigkeit  $v(t)$ ): Üblicherweise erfolgt dies durch eine Schwingungsanregung (Linear- oder

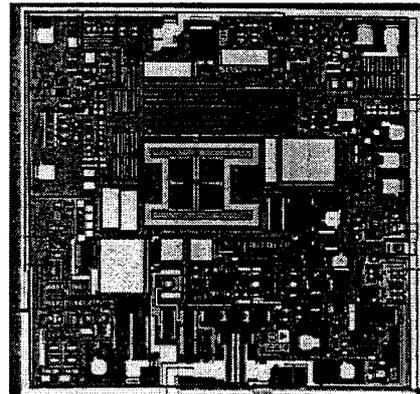
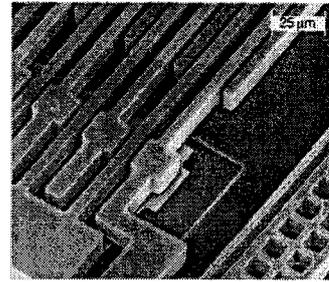


Bild 4: Detail eines Beschleunigungssensors der Firma Robert Bosch (oben), unten Chipansicht des ADXL50 (Analog Devices).

Rotationsbewegung) mittels elektrostatischer [10], magnetischer [11] oder piezoelektrischer [12] Kräfte.

- b) Sensorkomponente zur Deduktion der resultierenden Sekundärschwingung, meist durch angepasste Beschleunigungssensoren.

Eine mechanische Grundstruktur für diese Aufgabe ist die gegenphasig schwingende Schwinggabel.

Ein wichtiges Auslegungsmerkmal ist dabei eine gute mechanische Entkopplung von Sekundär- und Primärschwingung (trotz sehr ähnlicher Resonanzfrequenz), um jedwedes nicht durch die Drehrate erzeugtes Signal aus zu schliessen. Hierfür werden karadatische Entkopplungen mit voneinander weitestgehend mechanisch isolierten Rahmenstrukturen verwendet. Ein Beispiel zeigt Bild 5 (unten). Neben dem hier gezeigten so genannten linear-linear-Aufbau (bezogen auf die Bewegungsart in Primär- und Sekundärschwingung) gibt es auch Aufbauten unter Beteiligung rotatorischer Bewegungsabläufe [14]. In dem Beispiel wird die zentrale seismische Masse durch die Antriebseinheiten zu einer Schwingung in x-Richtung angeregt. Über die innere Rahmenstruktur kann die seismische Masse aufgrund der Coriolis-Kraft in y-Richtung schwingen. Mit Hilfe einer weiteren mechanisch entkoppelten Rahmenstruktur wird diese

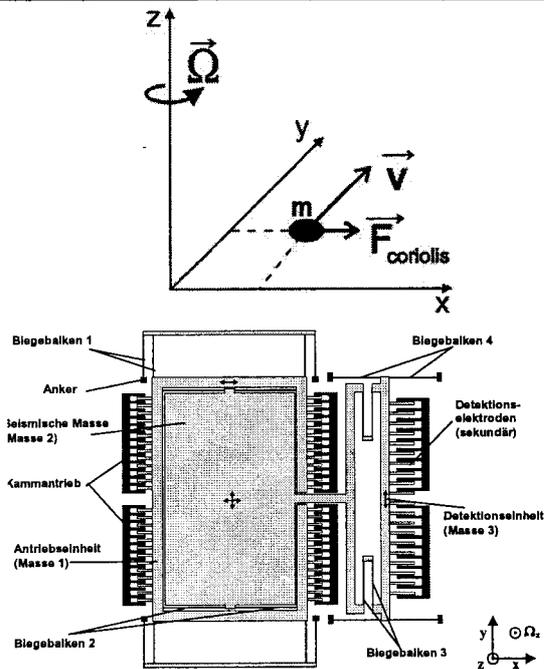


Bild 5: Funktion eines Drehratensensors. Oben: Entstehung der Coriolis-Kraft, unten: mikromechanische Realisierung [13].

Schwingung auf die Detektionselektroden (rechts in Bild 5) übertragen.

Zu den bereits bei Beschleunigungssensoren aufgelisteten Komponenten kommt mechanisch noch die Entkopplungsstruktur zur Trennung von Primär- und Sekundärbewegung und eine Treiberschaltung zur Anregung der Primärschwingung hinzu. Primär- und Sekundärschwingung werden getrennt durch angepasste Beschleunigungssensoren erfasst.

## 4. Fertigungsaspekte

### 4.1. Übersicht

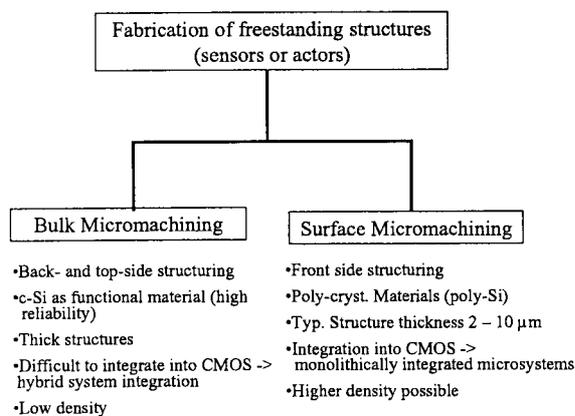


Bild 6: Schematische Gegenüberstellung von Bulk- und Oberflächenmikromechanik

Wie bereits aus der Definition der Mikrosystemtechnik ersichtlich spielen die Mikrostrukturierungsverfahren eine wesentliche Rolle bei der Realisierung von Mikrosystemen. Hierbei nimmt wiederum insbesondere die Si-Technologie eine herausragende Stellung ein. Die Fertigung ist dabei durch einige wesentliche Aspekte charakterisiert:

- Parallele, gleichzeitige Bearbeitung zahlreicher Strukturen. Dieser Aspekt war schon für die Mikroelektronik-Entwicklung von großer Bedeutung. In der Mikrosystemtechnik ist die Integrationsdichte (Anzahl identischer oder verschiedener Bauelemente pro Fläche) funktionsbedingt nicht so hoch wie bei integrierten digitalen Schaltungen (z.B. erfordern selbst einfache mechanische Grundkomponenten relativ viel Platz)
- Einsatz batchorientierter Fertigungsverfahren. Wo immer möglich, werden mehrere Wafer zu einem Nutzen zusammengefasst, der gleichzeitig bearbeitet wird (z.B. Schichtabscheidung, Ätzung)

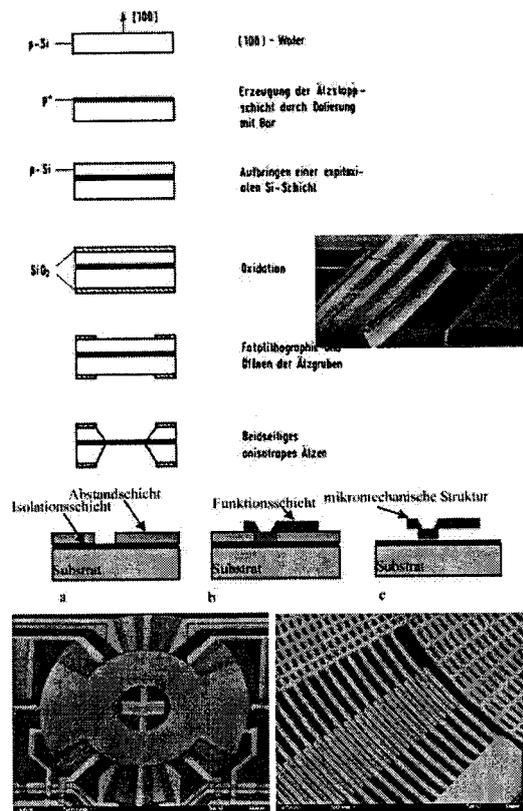


Bild 7: Funktionselemente, die mit Methoden der Bulkmikromechanik (oben) und Oberflächenmikromechanik (Bosch, Reutlingen) gefertigt wurden, zusammen mit schematischen Prozessabläufen.

- Es steht die gesamte Palette der aus der Mikroelektronik-Fertigung bekannten Verfahren zur Verfügung. Zusätzlich wurden spezielle Verfahren für die Erfordernisse der Mikrosystemtechnik entwickelt (z.B. Abscheidung spannungsarmer Schichten, Tiefenlithographie, anisotropes Ätzen von kristallinem Si, DRIE für nichtkristalline Schichten)
- Insbesondere werden Verfahren zur Herstellung beweglicher Strukturen in der Mikrosystemtechnik benötigt.

## 4.2 Spezifische MST-Fertigungsverfahren

Grundsätzlich unterscheidet man bei der Si-Technologie zur Herstellung von MEMS-Bauelementen zwei Richtungen:

Bulkmikromechanik

Oberflächenmikromechanik

Eine Übersicht über diese beiden Hauptrichtungen zeigt Bild 6.

Bei der Bulkmikromechanik wird zumeist die gesamte Waferdicke zur Realisierung des Bauelements verwendet. Z.B. bei einem Beschleunigungssensor kann so eine große seismische Masse (Waferdicke) realisiert werden, die an dünneren Biegebalken aufgehängt ist. Fertigungstechnisch erreicht man dies durch Zweiseitenbearbeitung, bei der sowohl die Vorder- wie auch die Rückseite strukturiert wird. Dazu bedarf es besonderer Lithographiegeräte (Justierung auf eine Rückseitenstruktur) und besonderer Ätzverfahren (insbesondere anisotropes Ätzen von kristallinem Silizium).

Die Oberflächenmikromechanik ist dagegen schon vom Ansatz her kompatibler zu Standard-CMOS-Prozessen. Hier wird die Erzeugung freitragender Strukturen durch reine Abscheide- und Ätzprozesse auf der Oberseite unter Verwendung der Opferschichttechnik erreicht. Bild 7 zeigt einige Funktionsbeispiele und schematische Verfahrensschritte mit diesen beiden Techniken.

Eine moderne Fertigungsvariante in der Mikrosystemtechnik ist die so genannte SOI-Technologie (Silicon on Isolator). Hierbei werden spezielle, auch in der Mikroelektronik mittlerweile eingeführte Wafer verwendet, die aus einem Handle-Wafer aus kristallinem Si (einige hundert  $\mu\text{m}$  dick), einer dünnen (ca.  $1 \mu\text{m}$ ) isolierenden  $\text{SiO}_2$ -Schicht sowie einer weiteren kristallinen Device-Schicht (Dicken von einigen Mikrometern bis hunderte von Mikrometern) bestehen. Mit Hilfe dieser Wafer wird nicht nur eine hochwertige elektrische Isolation zwischen den Bauelementen (die aus der Devi-

Different methods to fabricate MEMS structures

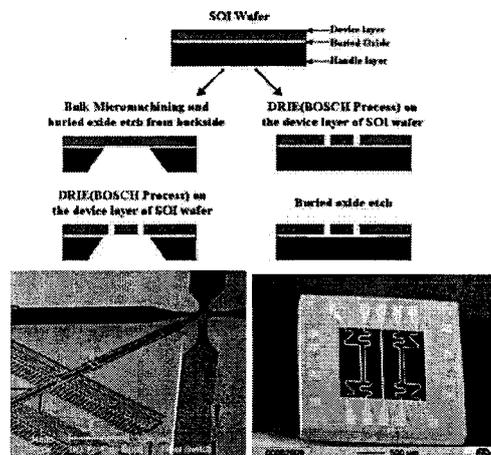


Bild 8: Herstellung freitragender Strukturen mit Hilfe von SOI-Wafern, oben: zwei Prozessvarianten, unten: einige auf diese Weise hergestellte freitragende Strukturen. Links: Optischer Schalter, mit freundlicher Genehmigung Prof. De Rooji, IMT, University of Neuchatel, rechts: Neigungssensor nach dem Konvektionsprinzip, mit freundlicher Genehmigung Dr. Billat, HSG-IMIT.

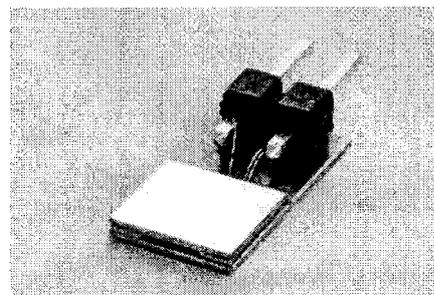
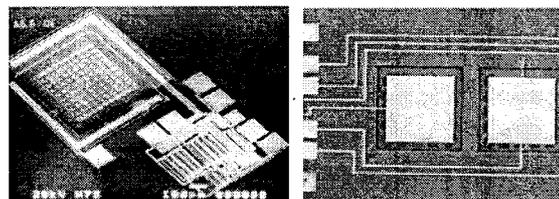
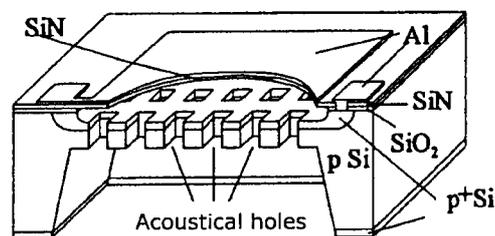


Bild 9: An der FH entwickeltes Si-Mikrofone

ce-Schicht heraus gearbeitet werden) und dem Substrat erreicht, sondern auch eine tiefliegende Ätzstoppschicht ( $\text{SiO}_2$ ) bereitgestellt. Bild 8 zeigt schematisch zwei vereinfachte Herstellungssequenzen zur Erzeugung von freitragenden Strukturen unter Verwendung von SOI-Wafern. Unten in Bild 8 sind einige MST-Produktbeispiele gezeigt, die mit Hilfe dieser Technik (und meist in Verbindung mit Tiefenätzen, DRIE) realisiert wurden.

Zum Abschluss soll noch erwähnt werden, dass eine weitere spezielle MST-Technik die LIGA-Technik ist, bei der unter Ausnutzung von Tiefenlithographie (v.a. Röntgenstrahlolithographie), Abformung mittels Galvanik und eventuell weiterer Abformprozessen, Formen hergestellt werden, die mit üblichen Replikationsverfahren (Spritzguss, Prägen,...) in Kunststoff übertragen werden. Auf diese Weise sind sehr kostengünstige Mikrostrukturelemente realisierbar, die allerdings bezüglich des Systemgedankens meist nicht als Mikrosysteme bezeichnet werden können.

## 5. Forschungsarbeiten an der FH Furtwangen im Bereich MST (Auswahl)

Die Forschungsarbeiten an der FH Furtwangen auf dem Gebiet der Mikrosystemtechnik lassen sich grob in 3 Bereiche gliedern:

- Device- und Systembezogen: Hierbei geht es um die Entwicklung von Systemlösungen für spezielle Aufgaben (z.B. Sensoren und Aktoren)
- Technologiebezogen: Entwicklung neuer Verfahren und Prozesse zur Herstellung von Mikrosystemen
- Nanostrukturtechnik: Fortsetzung der Mikrotechniken in den Nanometerbereich, hier wird ausschließlich der Top-Down-Ansatz verfolgt, wobei Selbstorganisationsprinzipien aber genutzt werden.

Im Einzelnen gibt es allerdings stets Überlappungen zwischen diesen Teilbereichen. So ist fast immer erforderlich, bei neuen Mikrosystemen auch neue oder zumindest angepasste Fertigungsverfahren zu verwenden. Insofern ist insbesondere der Übergang zwischen den ersten beiden Bereichen fließend.

### 5.1. Systembezogene Forschungsprojekte

Ein Schwerpunkt der Arbeiten liegt auf dem Gebiet der mikromechanischen Sensoren. In den vergangenen Jahren wurden an der FH Furtwangen folgende MST-Bauelemente entwickelt:

#### Miniaturisierte Si-Mikrofone

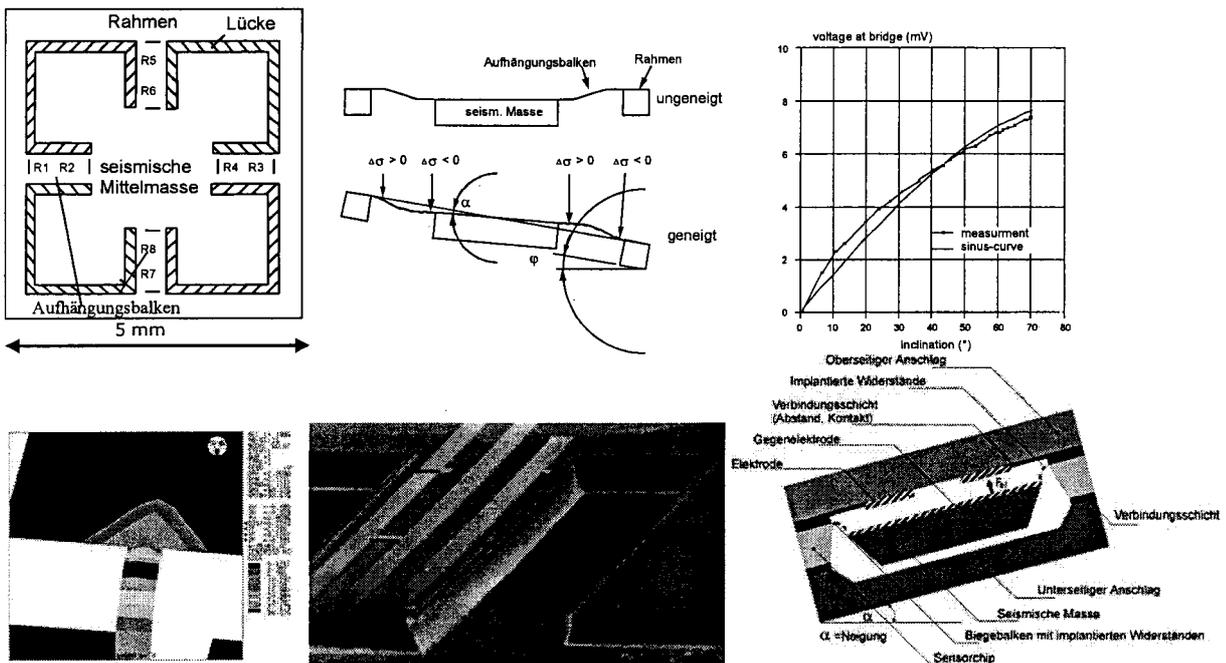
In mehreren Entwicklungsstufen wurden Si-Mikrofone realisiert: von Bulk-Mikromechanik-Lösungen, über Oberflächenmikromechanik-Lösungen bis hin zu völlig neuartigen Verfahren zur Erhöhung der aktiven akustischen Fläche bei Beibehaltung der Sensorgesamtfläche [15], [16], [17], [18]. Mikromechanische Mikrofone zeichnen sich durch geringe Baugröße, niedrige Dämpfung, hohe Empfindlichkeit und gute Frequenzbreite aus. Die Integration erster Verstärkerstufen auf dem Chip oder die Verwendung integrierter Verstärkerwirkung im Sensor selbst (z.B. die Membran als schwingendes Gate in einem FET) verbessert das Signal-Rauschverhalten. Bild 9 zeigt einige Realisierungsbeispiele bzw. schematische Bauformen.

#### Zweiachsige Neigungssensoren

Neigungssensoren gehören zu den bedeutungsvollen Nischenmärkten (vgl. Abschnitt 2.2). An der FH Furtwangen werden Neigungssensoren entwickelt, die je nach Aufgabe für große Messbereiche/niedrige Genauigkeit oder für kleine Messbereiche/hohe Genauigkeit konfiguriert werden können (Bild 10). Grundprinzip ist eine seismische Masse, die vierseitig aufgehängt ist. Da der Massenschwerpunkt höhenversetzt zur Aufhängung ist, ergibt sich bei Neigung eine charakteristische Biegelinie auf den Aufhängungen, aus der die Neigung ermittelt werden kann. Die Entkopplung der Neigungsachsen wird durch Platzierung der für die Messung der Biegelinie verwendeten implantierten Si-Widerstände erreicht. Der Sensor arbeitet über einen sehr großen Neigungsbereich ( $\pm 80^\circ$ ). Mit Hilfe eines elektrostatisch rückgekoppelten Systems kann man sehr empfindliche Sensoren für kleinere Messbereiche erreichen (z.B. zur Vermessung des Bohrvorschubs, zur Ausnivellierung von Laserkreisel) [19], [20], [21]. Als primäre Sensorstruktur pro Neigungsachse werden die Biegebalken mit jeweils 4 Widerständen (R1-R4 bzw. R5-R8), die zu einer Wheatstonschen Vollbrücke verschaltet sind, verwendet.

#### Feuchtesensor

Feuchtesensoren werden für die Prozess-, in der Lebensmittel- und in der Klimatechnik benötigt. Die Entwicklungen an der FH Furtwangen, die in Kooperation mit dem Materialforschungsinstitut MFA in Budapest, Ungar, durchgeführt wurden, zielen v.a. auf systemfähige Feuchtesensoren (Integration anderer Sensoren für multifunktionale Sensorsysteme, z.B. Luftqualitätsensor) und Feuchtesensoren für extreme Anforderungen (kleine Restfeuchtigkeiten, hohe Messtemperaturen). Hierzu wird poröses Silizium (vgl. auch 5.2) als sensitive Schicht verwendet.



als

Bild 10: Mikromechanische Zweiachsen-Neigungssensoren: oben Aufbau, Wirkungsweise und Kennlinie eines piezoresistiven Neigungssensors [20], unten: FEM-Analyse (links), Detail im Bereich eines Aufhängungsbalken (Mitte) und Weiterentwicklung zu einem elektrostatisch rückgekoppelten Systems (rechts)

Aufgrund seiner nanoporösen Struktur (Porosität um 60 %, Porgößen im Bereich nm, innere Oberfläche: einige hundert  $m^2/cm^3$ ) reagiert poröses Si sehr empfindlich auf Feuchtigkeit. Da es in einem Anodisierungsprozess mittels eines HF/Ethanolgemisches aus kristallinem Silizium gebildet wird, ist die Herstellung CMOS-kompatibel und erlaubt die Integration in die Fertigungsabläufe anderer, auf c-Si beruhender Sensortypen. Die Detektion erfolgt durch Auswertung der Impedanz mittels Interdigitalstrukturen auf der Oberfläche der sensorischen Schicht. Hierbei überwiegt der kapazitive Signalanteil, der sich durch die Beladung der porösen Schicht mit Wasserdampf ergibt. Für die Funktion des Sensors ist eine integrierte Heizmöglichkeit von essentieller Bedeutung. Aufgrund der geringen Wärmeleitung von porösem Si benötigen Heizungen, die direkt auf dem porösen Si aufgebracht werden, nur geringe Heizleistungen. Durch einen speziellen Heizpuls kann man hysteresefreie Kennlinien erhalten. Die hohe Empfindlichkeit wird durch relative Änderungen der Messkapazität von bis zu 5000 % unter Feuchteinfluss beschrieben. Mit Pulsheizung erreicht man Zeitkonstanten im Bereich von Minuten. Eine Zusammenstellung zu den wichtigsten Daten des Feuchtesensors findet man in Bild 11. Oben links sind zwei Layoutvarianten für die Heizung gezeigt: Einmal

Mäanderstruktur am Rand des eigentlichen Sensorbereichs oder verschachtelt in die fingerartige Elektrodenstruktur. Oben rechts ist ein Querschnitt durch den Sensor gezeigt. Die Elektroden werden mittels eines patentierten Verfahrens zuverlässig auf der porösen Schicht definiert. Eine Kennlinie (halblogarithmisch) des Sensors ist im Feuchtebereich zwischen 10 und 90 % rH gezeigt. Die relativen Kapazitätsänderungen in diesem Bereich liegen oberhalb 5000 %. Selbst bei kleinen Restfeuchten liefert der Sensor noch sehr große Messsignale [22]

### Bi-stabiler Schalter

Ein neuartiger bistabiler mikromechanischer Schalter wurde von der FH Furtwangen erstmals 2003 vorgestellt. Es handelt sich dabei um die mikromechanische Realisierung des so genannten Kniehebel-Prinzips, der durch spezielle Auslegung zwei bistabile Stellungen ausbildet. Der Schalter wurde dabei mit Hilfe intensiver FEM-Analyse auf große Hübe und große Kräfte in den Haltepositionen optimiert [23]. Das Schalten erfolgt elektrostatisch durch aussenliegende Kammelektroden. Potentielle Anwendungen dieses Konzepts sind:

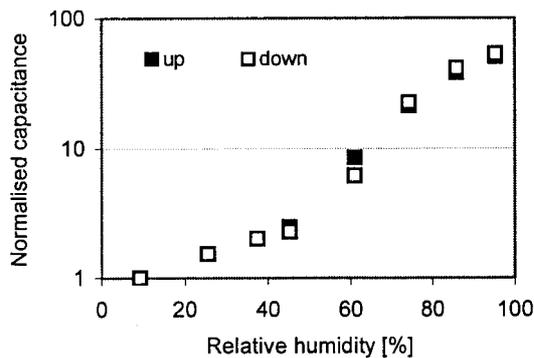
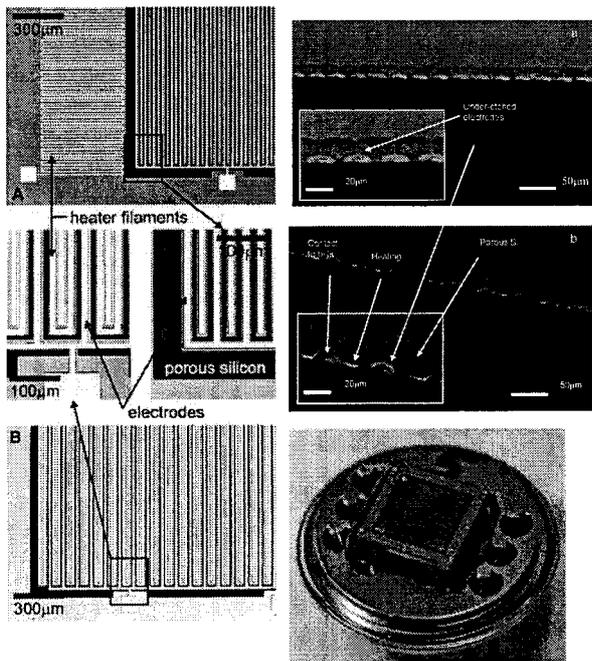


Bild 11: Feuchtesensor aus porösem Silizium

- Faserschalter (der Schalter kann so ausgelegt werden, dass die grossen Rückstellkräfte der Fasern kompensiert werden)
- Sicherheitsschalter/Schwellwertschalter: der Schalter kann z.B. auf einen bestimmten Beschleunigungswert eingestellt werden, bei dem er zwischen den beiden bi-stabilen Zustände schaltet und dort verharrt, bis er wieder aktiv rückgesetzt wird (z.B. Vorschaltgerät für Beschleunigungssensor)
- Mikrorelays: die Zuverlässigkeit der Kontakte ist v.a. durch die Haltekräfte bestimmt. Der Schalter erlaubt große Andruckkräfte für sichere Kontaktgabe.

Eine Übersicht über den verwendeten Schalter zeigt Bild 12. Oben ist schematisch das Prinzip des bi-stabilen Kniehebels dargestellt. Die Bi-Stabilität wird durch äußere Einspannkräfte hervorgerufen (II), dadurch schnappt der Schalter automatisch in einen der

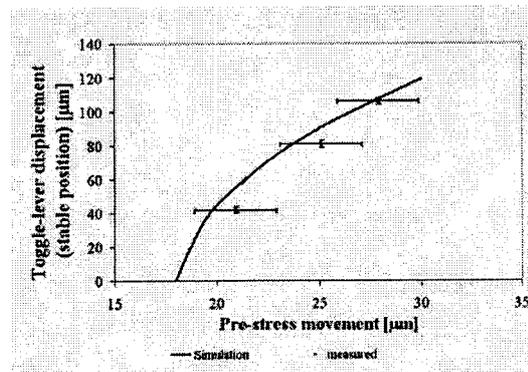
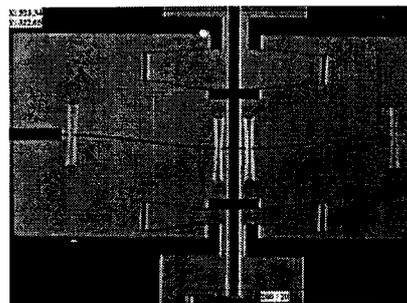
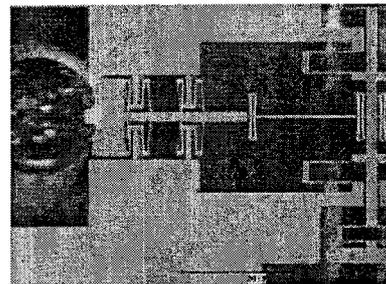
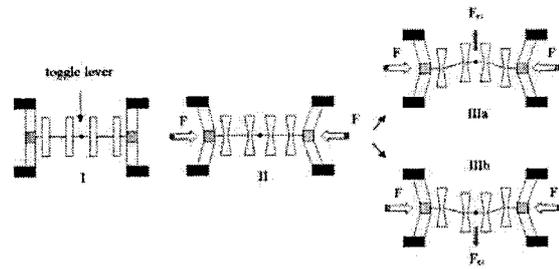


Bild 12: Bi-stabiler Schalter nach dem Kniehebel-Prinzip

beiden bi-stabilen Zustände (IIIa oder IIIb), aus denen er jeweils elektrostatisch in den zweiten geschaltet werden kann. Im darunter liegenden Bild ist dargestellt, wie mit einer (makromechanischen) Klemmvorrichtung die für die Bi-Stabilität erforderliche Klemmspannung erzeugt wird: Pins greifen direkt auf Si-Haltestrukturen. Im nächsten Bild ist der Schalter in einer seiner bi-stabilen Haltepunkte gezeigt, unten ist ein Beispiel einer Kennlinie (Vergleich Messungen zu

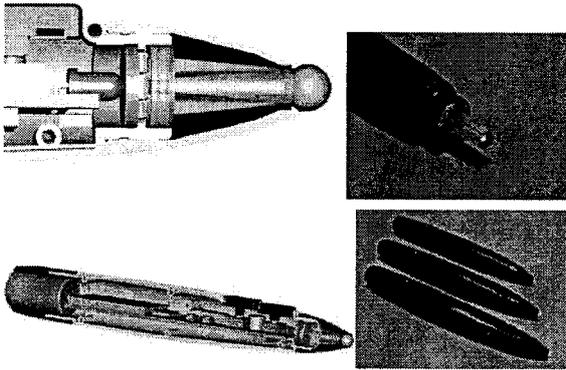


Bild 13: Die Penmouse: die Maus hat eine stiftartige Form und wird wie ein normaler Kugelschreiber gehalten. Oben links: Kopf der Maus mit der lumineszierenden Kugel an der Spitze, unten: in der Penmaus werden verschiedene mikroelektronische und optoelektronische Komponenten eingesetzt.

FEM-Simulation für den Schalthub als Funktion der Vorspannung) dargestellt.

Der gezeigte bi-stabile Schalter (die Schaltbewegung erfolgt in der Zeichenebene) ist durch folgende Kenndaten charakterisiert:

- Hub zwischen bi-stabilen Zuständen (Stoppositionen, an den maximale Haltekräfte erzielt werden): 100  $\mu\text{m}$
- Haltekräfte: 50  $\mu\text{N}$
- Max. mechan. Stress in den Biegebalken: 0,8 GPa

Schaltspannung: 100 V

### Penmaus

Bei der Penmaus wird ein neues patentiertes Prinzip [24] zur Bewegungserkennung ausgenutzt. Hierbei wird das Lumineszenz-Prinzip verwendet (Bild 13): eine Kugel mit einem geeigneten Farbstoff wird mit einer blauen LED beleuchtet. Dreht sich die Kugel unter der „Schreib/Rollbewegung“ der stiftartigen Maus, so wandert der Leuchtfleck. Das Wandern des Leuchtflecks wird mit geeigneten Quadranten-Detektoren bestimmt.

Die gezeigte Maus enthält eine drahtlose Bluetooth-Schnittstelle. Die Signalauswertung und Verarbeitung wird durch einen Mikroprozessor übernommen. Die Maus befindet sich zur Zeit in der Praxiserprobung.

## 5.2 Technologie-Entwicklungen

Begleitend zu den unter 5.1 aufgeführten Device-orientierten Forschungsprojekten werden technologische Fragestellungen an der FHF untersucht. Ein

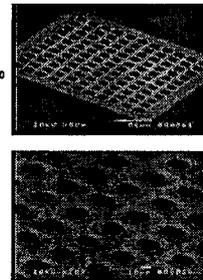
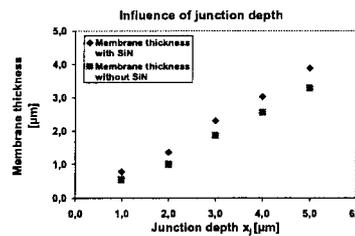
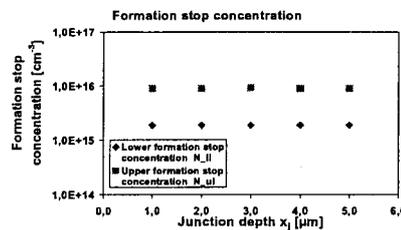
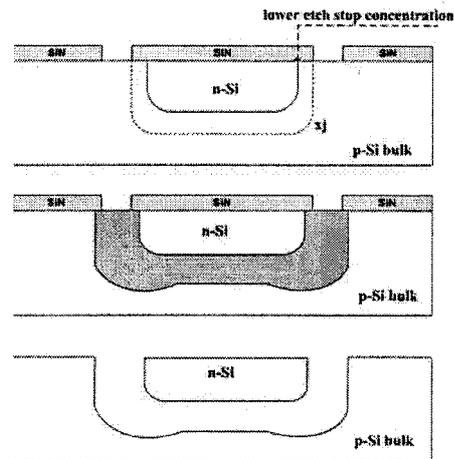


Bild 14: Oberflächenprozess zur Herstellung von freitragenden, einkristallinen Schichten

Schwerpunkt der Forschungsarbeiten liegt dabei auf dem Gebiet des porösen Siliziums. Dessen besonderen Eigenschaften werden gleich in mehreren Projekten genutzt, u.a. für den Feuchtesensor (vgl. 5.1).

Als Strukturschicht wird poröses Silizium als Opferschicht in einem besonderen Oberflächenmikromechanik-Prozess eingesetzt. Anders als in der klassischen Oberflächentechnik gelingt es hierbei, freitragende Schichten aus porösem Silizium selbst heraus zu bilden. Ausgenutzt wird, dass in dem Anodisierungsprozess (in einem HF/Ethernol-Gemisch) p-Si in poröses Silizium umgewandelt wird, während n-Si in einem Bereich mittlerer Dotierung stabil ist. Dadurch können durch entsprechend dotierte Gebiete freitragende Strukturen aus n-Si herausgebildet werden. Die Dicke der freitragende Struktur – diese bestimmt kritisch die Eigenschaften des daraus hergestellten Elements – wird dabei durch die Tiefe des pn-Übergangs festgelegt. Der Prozess wird in Bild 14 beschrieben. Oben in Bild 14 ist ein Querschnitt gezeigt mit dem Schichtaufbau: Das n-Si bleibt während des Anodisierungsprozesses stabil, während das darüber liegende p-Si in poröses Silizium umgewandelt wird.

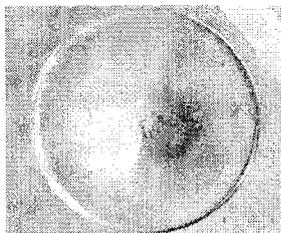
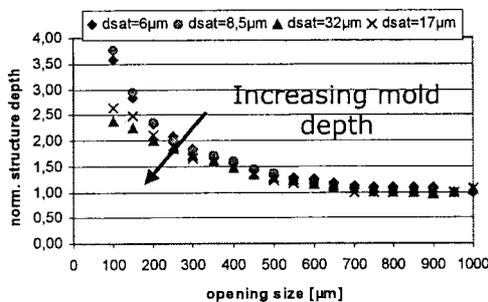
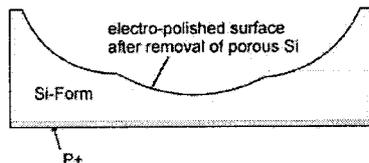
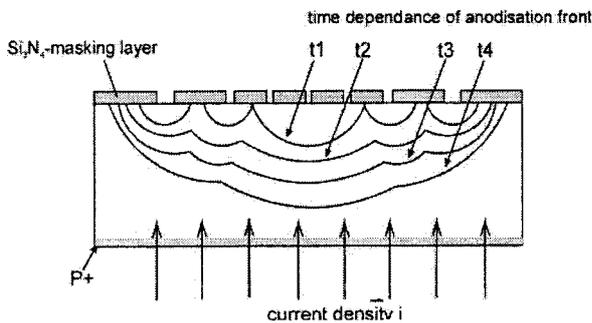


Bild 15: Prozess zur Herstellung von 3D-Freiformen aus kristallinem Silizium, die in Standardkunststoffabformtechniken in PMMA o.ä. übertragen werden können.

ungsprozesses innerhalb einer bestimmten Ätzstoppkonzentration erhalten, nur das darum herum liegende p-Si wird in poröses Silizium umgewandelt (dunkel), das in einem nachfolgenden Prozess selektiv mit einer schwachen KOH-Lauge weggeätzt wird. Die obere und untere Ätzstopp-Konzentration, bei der jeweils n-Si stabil im Anodisierungsprozess ist (mittleres Diagramm), ist für verschiedene Tiefen des pn-Übergangs konstant, die Dicke der Strukturen lässt sich also einfach über die pn-Tiefe einstellen. Im Diagramm unten ist die Abhängigkeit der Dicke von der pn-Tiefe aufgetragen: Schichtdicken zwischen 0,3 und 5 µm lassen sich mit hoher Genauigkeit (60 nm) ein-

stellen. Rechts unten einige Beispiele von freitragenden Strukturen aus kristallinem Silizium [25].

Eine andere patentierte Entwicklung der FH Furtwangen auf dem Gebiet des porösen Silizium erlaubt die Herstellung von 3D-Freiformen für die Kunststoffabformung. Da die Anodisierungsrate von der Stromdichte abhängt, kann man die Tiefe der Anodisierung und damit der späteren Form über ein zweidimensionales Muster in der Maskierungsschicht (aus  $\text{Si}_3\text{N}_4$ ) beim Anodisieren bestimmen. Der Prozessablauf ist in Bild 15 gezeigt [26]. Durch geeignete Öffnungen in einer Maskierungsschicht wird eine lokale Variation der Stromdichte erzeugt, so dass nach verschiedenen Zeiten t1-t4 lokal unterschiedliche Anodisierungstiefen erreicht werden, in denen kristallines Silizium in poröses Silizium umgewandelt wird. Durch einen abschliessenden Polierschritt („Electropolishing“) wird die spätere Formoberfläche verbessert. Die Form wird schliesslich durch Wegätzen des porösen Siliziums erzeugt. Im Diagramm ist die Abhängigkeit der relativen Äztiefe (normiert auf den Wert für große Öffnungen) als Funktion der Weite für isolierte Öffnungen aufgetragen. Deutlich ist die Größenabhängigkeit zu sehen. Unten in Bild 15 ist eine abgeformte PMMA-Struktur zu sehen mit einer asphärisch geformten Oberfläche.

## Referenzen

- [1] Ulrich Mescheder: „Mikrosystemtechnik: Konzepte und Anwendungen“, Teubner Verlag, 1.Auflage, 2000
- [2] Micromachine Devices „European study sees MEMS market at more than \$34 billion by '02“, No.5 (May 1997), p.1
- [3] WTC – Präsentation bei ZeMis, Juli 2003, Stuttgart, Daten von „NEXUS market analysis report 2002“
- [4] N. Schröder „Sensormärkte und Mikrosystemtechnik“, Tagungsband Technologiekongress-Vorträge IHK Schwarzwald-Baar-Heuberg, Band 9, 1994, p. 13-17
- [5] G. Tschulena und H. Preis „Mikromechanik - eine neue Technik kündigt sich an“, 2. Symposium Mikrosystemtechnik (1992), Tagungsband p. 37-43
- [6] W. Wechsung, „Market Analysis of Microstructure Products“ Proc. EurosensorsXI Warschau (1997), S. 519-526
- [7] NEXUS market analysis report 2002
- [8] WTC – Präsentation bei ZeMis, Juli 2003, Stuttgart, Daten von „NEXUS market analysis report 2002“
- [9] Ulrich Mescheder: „Mikrosystemtechnik: Konzepte und Anwendungen“, Teubner Verlag, 2.Auflage, 2004

- [10] P. Greiff et al. „Silicon monolithic micromechanical gyroscope“, Tech. Digest Transducers'91, San Francisco (USA), Juni 1991, pp. 996-968
- [11] M. Lutz et al. „A precision yaw rate sensor in silicon micromachining“, Techn. Digest Transducers'97, Chicago (USA), (Juni 1997), 847-850
- [12] R.R. Ragan and D.D. Lynch „Inertial technology for the future, Part X: Hemispherical resonator gyro“, IEEE Trans.Aerosp. Electron. Syst., Vol. AES-20, p.432 (Juli 1984)
- [13] M. Braxmaier et al. « Cross-Coupling of the Oscillation Modes of vibratory Gyroscopes » Techn. Digest Transducers'03, (Juni 2003), Boston (USA), 167-170
- [14] K. Funk et al. „A surface micromachined Silicon Gyroscope using a thick Polysilicon Layer“; Micro Electro Mechanical Systems, 1999. MEMS '99. Twelfth IEEE International Conference on , 17-21 Jan. 1999 S.57 – 60
- [15] E. Graf, W.Kronast, S. Dühring, B. Müller and A.Stoffel: Silicon membrane condenser microphone with integrated field-effect transistor, Sensors and Actuators A, 37-38 (1993) 708-711
- [16] A. Kovács, A.Stoffel: Fabrication of single-chip polysilicon condenser structures for microphone applications, Journal of Micromechanics and Microengineering, Vol. 5, 1995, 86-89
- [17] W. Kronast, B. Müller, W. Siedel, A. Stoffel: Single-chip condenser microphone using porous silicon as sacrificial layer for the air gap, The 11th Annual International Workshop on Micro Electro Mechanical Systems, MEMS 98, January 25-29, (1998), Heidelberg, Germany, pp. 591-596
- [18] A. Stoffel, Zd. Škvor, B. Gärtner, W. Kronast, B. Müller, W. Siedel: The slot microphone, a new microphone excitation concept, Sensors and Actuators A 76 Physical, 1999, pp.112 – 116
- [19] Stefan Majer, Ulrich Mescheder: "Simulation supported design of micromechanical sensors", Beitrag in: Simulation and Design of Microsystems and Microstructures, p. 329-337, Computational Mechanics Publication, Southampton/Boston, 1995 (ed. R.A. Adey, A. Lahrmann, C. Leßmöllmann)
- [20] U. Mescheder, S. Majer „Micromechanical Inclinometer“, Sensors&Actuators, A60 (1997) 134-138
- [21] Ulrich Mescheder, Stefan Majer, Ralf Keller: "2-Achsen Si-Neigungssensor: Simulation und Realisierung", VDI-Berichte 1255, VDI-Verlag Düsseldorf, 1996, p. 83-93
- [22] Fürjes, P. Kovács, A., Dücsó, Cs., Ádám, M, Müller B. and Mescheder, U. Porous Silicon Based Humidity Sensor with Interdigitated Electrodes and Internal Heaters, Proceedings Eurosensors XVI, Prague Sept. 2002:605-6
- [23] M. Freudenreich, U. M. Mescheder, G. Somogyi, "Design Considerations and Realization of a novel Micromechanical Bi-stable Switch", Digest of Transducers03, Boston (USA), Juni 2003, p. 1096-1099
- [24] „Optische Bewegungsgeber“, 18.04.2000, 10019346.3
- [25] U. Mescheder, A. Kovacs, "Surface Micromachining Process for C-Si as Active Material", Digest of Technical Papers of the Transducers '01, Eurosensors XV, pp. 218-221, Munich, Germany, June 2001
- [26] U. Mescheder et al. "3D Structuring of c-Si using porous Silicon", proceedings 2<sup>nd</sup> IEEE conference on Nanotechnology, 33-36 (2002)

# Entwicklung eines Mixed-Signal ASICs mit dem IMS Gate-Forest dargestellt am Beispiel einer Kapazitäts-Messschaltung mit digitalem Ausgang

K. Warkentin  
 Student der technischen Informatik  
 Fachhochschule für Technik Esslingen  
<http://www.fht-esslingen.de>

G. Feucht, H. Richter  
 Institut für Mikroelektronik Stuttgart  
 Allmandring 30a, 70569 Stuttgart  
<http://www.ims-chips.de>

Die Möglichkeiten der IMS Gate Forest Technologie lassen sich sehr gut an einer Entwicklung eines Mixed-Signal ASICs zeigen. Anhand eines kurzen Abrisses, der quer über den Entwicklungsablauf führt, soll dies dargestellt werden.

## 1. Einleitung

Im Rahmen meiner Diplomarbeit übernahm ich am Institut für Mikroelektronik Stuttgart (IMS Chips) den Entwurf eines Sensorauswertungs-ASICs (CSAS-ASIC) für das gemeinschaftliche Forschungs- und Entwicklungsprojekt „Interaktives Braille Display“.

Das Braille-Display ersetzt für sehbehinderte Menschen den Monitor und bietet in dieser Weiterentwicklung das Potential der Interaktivität. Durch eine komplexe Mechanik werden Blindenschrift und Grafiken dargestellt. Jedes einzelne Zeichen besteht aus einem Modul, das Mechanik und Steuerelektronik enthält. Für die Elektronik werden zwei ASICs eingesetzt. Der Hochspannungs-ASIC steuert direkt die Mechanik (wird nicht weiter betrachtet.) Der CSAS-ASIC beinhaltet eine Kapazitätsmessschaltung mit Analog-Digital-Wandlung (A/D) für die Interaktivität, die Ansteuerung des Hochspannungs-ASICs und eine SPI-Schnittstelle (Serial Peripheral Interface) zum Gesamtsystem.

In den folgenden Kapiteln wird dargestellt:

2. Entwurfsablauf
3. IMS Gate Forest
4. Kapazitätsmessung
5. A/D-Wandlung
6. Steuerlogik und SPI-Schnittstelle
7. Testfunktionen
8. Systemsimulation

## 2. Entwurfsablauf

Die Entwicklung des CSAS-ASICs erfolgte auf zwei unterschiedlichen Entwicklungspfaden :

Analog : Schematik, Transistorlevel-Simulation,  
 Layout der analogen Zellen

Digital : VHDL Eingabe, Simulation, Synthese

Der Zusammenbau erfolgte auf Schematikebene. Hieraus wurde die VHDL Beschreibung für die Systemsimulation entnommen.

Der Entwurfsablauf gestaltete sich wie in Abb. 2.1 gezeigt.

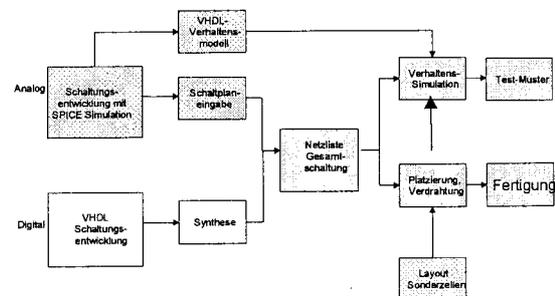


Abb. 2.1: Schemata eines Entwurfsablaufes

Anhand eines Aufgabenprofils werden die Aufgaben in die einzelnen Teilbereiche der analogen und/oder digitalen Schaltungsentwicklung oder der VHDL-Beschreibung eingeteilt. Diese werden dann einzeln entworfen und simuliert. Erst wenn die Teilbereiche einzeln funktionieren, werden die Teile zusammengesetzt und nach Bedarf und Notwendigkeit zusammen simuliert. Rein analoge oder digitale Schaltungen können meist problemlos zusammengesetzt werden. Bei analogen Schaltungen kann jedoch bei großen Schaltungen der Rechenaufwand enorm werden.

Die Gesamtsimulation eines Mixed-Signal ASICs wird meist nur durchgeführt, wenn der Aufwand gerechtfertigt ist. Oft kann auch die Simulation der Schnittstellen allein Gewissheit geben, ob das System funktioniert. Im Vorfeld der Entwicklung sollte man sich jedoch im Klaren sein, auf welcher Basis die Simulation durchgeführt werden soll.

Wenn alle Bereiche der Schaltung durch ausreichende Simulationen abgedeckt sind, wird das Place&Route durchgeführt. Danach wird noch einmal durch eine Simulation geprüft, ob alles korrekt funktioniert. Nun erst werden die Fertigungsdaten für die Technologie aufbereitet.

### 3. IMS Gate Forest

Das IMS hat die Gate Forest Technologie als spezielle Form eines Mixed-Signal Gate Arrays entwickelt {3}. Sie basiert auf der Idee, ASICs auch in Kleinserien kostengünstig, schnell entwickeln und fertigen zu können. Das Grundprinzip ist, einen Master zu entwerfen (Abb. 3.1 u. 3.2), der aus einer Anzahl an vordefinierten Transistoren und Widerständen für digitale und analoge Schaltungen besteht. Dieser Master dient als Baukasten, um unterschiedlichste Schaltungen zu realisieren. Die Fertigstellung erfolgt nur noch über die Personalisierung (Verdrahtung) der auf dem Master befindlichen Elemente (Abb. 3.3 u. 3.4).

Mit dieser Vorgehensweise können verschiedene Größen von Chips auf Wafern vorproduziert und auf Lager gehalten werden.

Entwicklung, Prototypenbau und Endfertigung können somit deutlich schneller ablaufen, besonders dadurch, dass die Produktionsphase nur noch die Verdrahtung und Verpackung durchführen muss.

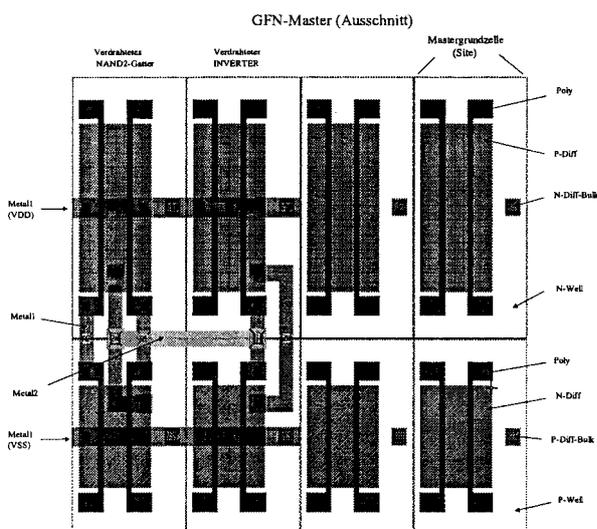


Abb. 3.1 : Digitalmasterzelle

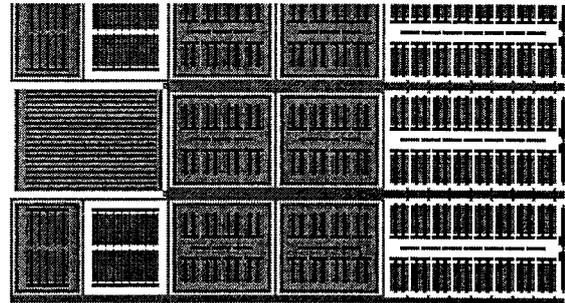


Abb. 3.2 : Analogmasterzelle

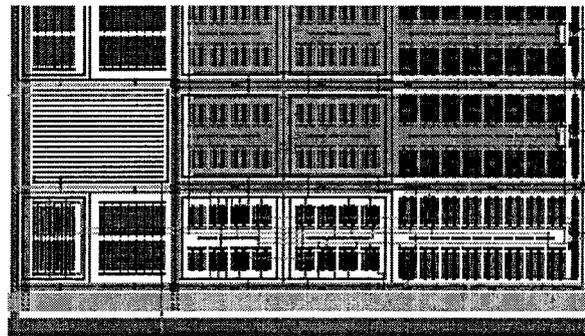


Abb. 3.3 : Analogmasterzelle mit Verdrahtung

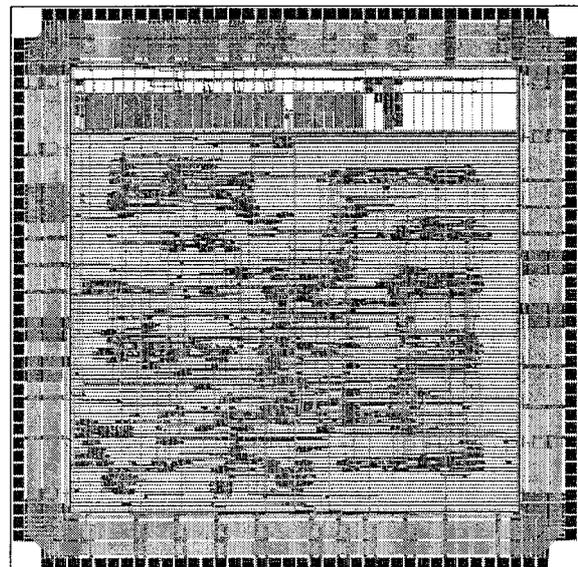


Abb. 3.4 : Verdrahtungslayout

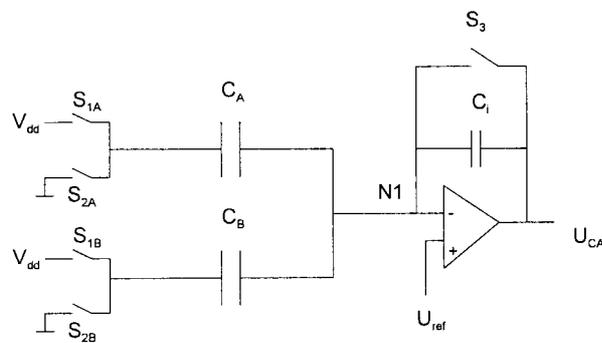
## 4. Kapazitätsmessung (analog)

Das Sensorprinzip basiert auf der kapazitiven Differenz zweier Kondensatoren mit nominell gleichem Wert. Eine Kapazität stellt die Referenzkapazität (Grundkapazität) dar, die andere die Messkapazität. Die Messkapazität wird so aufgebaut, dass deren elektrisches Feld durch Annäherung eines Objektes z.B. eines Finger verändert werden kann. Diese Kapazitätsänderung wird durch die Messschaltung im ASIC in eine Spannung gewandelt und dann digitalisiert.

Die Messung basiert auf dem Prinzip der Ladungsintegration. Durch schließen des Schalters S3 stellt sich N1 auf  $U_{ref}$  ein. Bei gleichen Kapazitäten  $C_A = C_B$  gleichen beim Umpolen von  $N_A$  und  $N_B$  die eingekoppelten Ladungen auf N1 aus. Ist  $C_A \neq C_B$  so ergibt sich auf N1 eine Ladungsüberschuss, der über eine Spannungsänderung an  $U_{CA}$  über  $C_1$  gemäß Formel 4.1. kompensiert wird.

$U_{ref}$  ist ein gewandelter Digitalwert und ergibt die Ausgangsspannung des OPs  $U_{CA}$  wenn  $C_A = C_B$ .  $U_{ref}$  wird genutzt um Unterschiede der Grundkapazitäten  $C_A$  und  $C_B$  zu korrigieren z.B. wenn der Sensor nicht aktiviert ist, aber eine Abweichung vom Sollwert auftritt. Somit können Schwankung in der Produktion und andere äußere Einflüsse kompensiert werden, die die eigentliche Messung stören würden.

Das S&H-Glied am Ausgang des Operationsverstärkers (Abb. 4.2) nimmt den Wert auf und stellt ihn für die Digitalisierung bereit.



$$U_{CA} = U_{ref} + V_{DD} (C_A - C_B) / C_1$$

$$\text{mit: } 0,2 V_{DD} \leq U_{CA} \leq 0,8 V_{DD}$$

$$|(C_A - C_B)| \leq 0,4 * C_1$$

Abb. 4.1 : Schema des Ladungsverstärkers

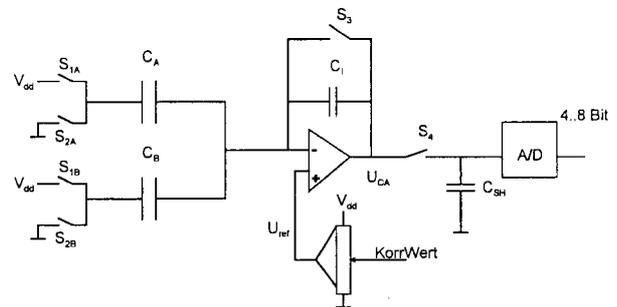


Abb. 4.2 : Ladungsverstärkers mit Digitalisierung

Anhand der Simulation (Abb. 4.3) erkennt man sehr gut, wie bei einer Referenzkapazität  $C_b$  von 10 pF sich die Spannungswerte am Ausgang bzgl. der Messkapazität  $C_a$  verhalten.

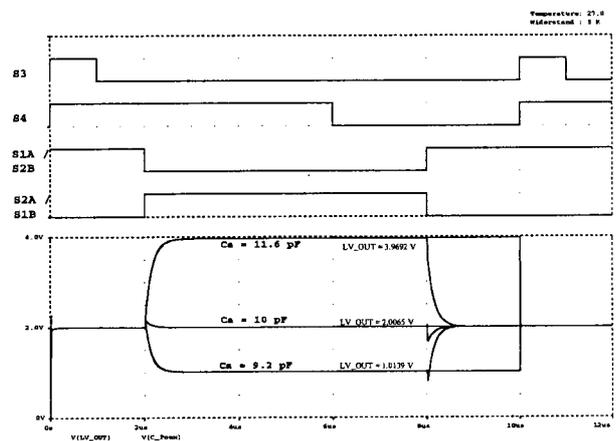


Abb. 4.3 : Simulation des Ladungsverstärkers

Diese Schaltung wurde größtenteils mit Standard-elementen aus der Gate Forest Bibliothek realisiert. Um die Ladungseinkopplung beim Schaltvorgang zu minimieren, ist der Anlogschalter S4 durch spezielle Transistoren (sind standardmäßig vorhanden) optimiert worden.

## 5. A/D-Wandlung

Der A/D-Wandler dient zur Digitalisierung des Spannungswertes am S&H. Der D/A-Wandler dient gleichzeitig zur Wandlung eines Digitalwertes, der als Referenzspannung für den OP bei der Kapazitätsmessung dient. Als Verfahren kommen die sukzessive Approximation und die R2R-Ketten zum Einsatz. Beide stehen als Baukasten-Bibliothekselemente zur Verfügung und mussten entsprechend zusammengesetzt und mit Steuerlogik versehen werden.

Anhand der Schaltplandarstellung (Abb. 5.1) wird die Funktion der sukzessive Approximation verdeutlicht. Ein n-stelliger Digitalwert D wird, beginnend mit der höchstwertigsten Stelle, bitweise auf 1 gesetzt. Dieser Digitalwert wird durch einen DA-Wandler dem Komparator als Spannung  $V_{\text{Vergleich}}$  bereitgestellt. Der Komparator vergleicht nun die bereitgestellte Spannung mit der zu digitalisierenden Spannung  $V_{\text{mess}}$  und gibt eine „1“ aus, wenn  $V_{\text{Vergleich}} < V_{\text{mess}}$  ist. Dieser Wert wird an die zuletzt geänderte Stelle des Digitalwertes D gesetzt. So werden alle Stellen durchlaufen.

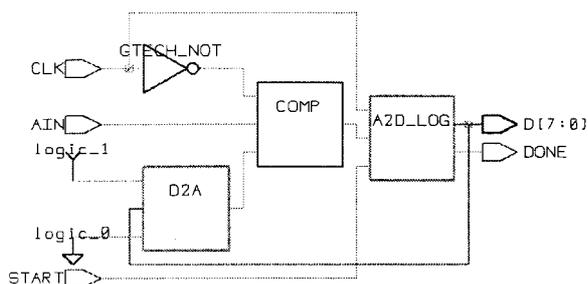


Abb. 5.1 : Schaltplandarstellung der sukzessive Approximation

Für den OP der Kapazitätsmessung muss eine Referenzspannung erzeugt werden. Diese liegt digital vor und muss DA-gewandelt werden. Ein DA-Wandler steht durch den A/D-Wandler der Digitalisierung schon zur Verfügung. Durch eine geeignete Beschaltung und einer zeitlichen Abstimmung, kann dieser DA-Wandler verwendet werden.

Somit konnten viele Schwierigkeiten von Anfang an vermieden werden :

Durch produktionsbedingte Unterschiede sind die Widerstände nie gleich, es können unter Umständen sogar erhebliche Unterschiede vorhanden sein. Zwei DA-Wandler werden somit kaum dieselbe Spannung liefern und können entscheidende Probleme erzeugen.

Wenn nun zwei D/A-Wandler unterschiedliche Spannungen für einen Digitalwert erzeugen, ist es nachzuvollziehen, dass bei einem Abgleich (siehe vorhergehendes Kapitel (Korrektur von  $U_{\text{ref}}$ )) sich der vorgesehene Wert nie einstellen wird. Um dieses Problem zu umgehen, müssten zwei Digitalwerte verwendet werden, die über eine zusätzliche Steuerung miteinander abgeglichen wird. Dies bedeutet einen erheblich höheren Schaltungsaufwand.

Gleichzeitig ist der Strombedarf auf einen DA-Wandler begrenzt

## 6. Steuerlogik und SPI-Schnittstelle (VHDL)

Für den Entwurf der Steuerlogik und der SPI-Schnittstelle wurde VHDL verwendet. VHDL ermöglicht eine schnelle und umfangreiche Entwicklung digitaler Schaltungen durch ihre Verhaltensbeschreibung. Ein Synthesetool übersetzt die Sprache in Gatterstrukturen, die dann in der jeweiligen Technologie gefertigt werden kann.

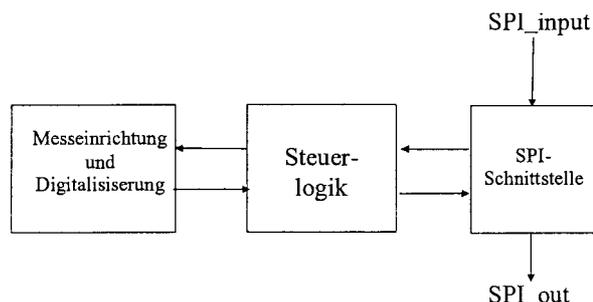


Abb. 6.1 : Schema der CSAS-ASIC Kommunikation

Die SPI-Schnittstelle ist von Gunther Feucht entworfen worden und dient der Kommunikation mit dem äußeren Gesamtsystem.

Die Steuerlogik steuert die Kapazitätsmessung und die Digitalisierung und regelt den Spannungsabgleich von  $U_{\text{ref}}$ . Über die SPI-Schnittstelle erhält die Steuerlogik Befehle zur Funktionsreihenfolge und stellt der SPI-Schnittstelle die gewonnenen Daten zur Verfügung.

## 7. Testfunktionen

Bei jedem Entwurf wird eine Schaltung mit einer Simulation überprüft, ob die notwendige Funktionalität gewährleistet ist. Jedoch kann selbst die beste Simulation nicht garantieren, dass der Entwurf auch in der Realität funktioniert. Insbesondere Produktionsschwankungen aber auch ungenaue Bauteilmodelle können dazu führen, dass die Schaltung nicht so arbeitet wie die Simulation erwarten ließ.

Deswegen werden für die Schaltungsverifikation spezielle Teststrukturen in die Schaltung eingefügt, wie z.B.: zusätzliche Ein- und Ausgangs-Pads, Schaltungslogik. Hierfür wird die Schaltung in Funktionsblöcke unterteilt und gezielt mit Teststrukturen versehen. Ziel ist, diese Funktionsblöcke einzeln und in gewissen Kombinationen testen zu können und gegebenenfalls die Fehlerlokalisierung zu vereinfachen.

Jedoch hat auch die Einführung solcher Teststrukturen auch ihre Nachteile. So kann z.B. der Stromverbrauch steigen, womit ein Abschaltung der Komponenten im Normalbetrieb notwendig wird, oder dass ein Einfluss auf bestehende Signale verübt wird. Mit solchen Einflüssen kann die ganze Funktionalität der Schaltung gefährdet sein. Hinzu kommt, dass jede Teststruktur Platz benötigt.

Je nach Einsatzzweck des ASICs, bei diesem Projekt als Bare-Die, kann nur ein Test auf dem Wafer durchgeführt werden. Dies schränkt die Testmöglichkeiten ein, da keine Kondensatoren (oder andere externe Elemente) an die Eingänge des ASICs angeschlossen werden können. Somit wurden Kondensatoren nur zu Testzwecken in den ASIC eingebaut.

Da zurzeit nur ein Digitaltester zur Verfügung steht, müssen wesentliche Funktionen digital stimuliert werden. Vereinfachend ist, dass die Ausgänge des Testers generell digital sind.

## 8. Systemsimulation

Für die Einzelkomponenten eines Systems werden getrennt geeignete (analoge/digitale) Simulationen durchgeführt. Wenn die Funktion sichergestellt ist, werden sie zusammengesetzt. Für den rein digitalen oder analogen Bereich geht dies meist problemlos. Erst bei der Kombination beider Bereiche, muss man eine gemeinsame Basis für die Simulation schaffen.

Analoge Komponenten (z.B. A/D-Wandler) können durch VHDL-Verhaltensbeschreibungen zum Teil sehr gut beschrieben und simuliert werden. Schwierig wird es z.B. bei direkten Rückkoppelungen. Hier wird dann die VHDL-Erweiterung AMS interessant.

Am Beispiel des A/D-Wandlers sollen Verhaltensmodelle (Box 8.1) sowie Simulation (Abb. 8.2) dargestellt werden.

### • Verhaltensmodell Komparator

```
entity COMP is
  port(CLOCK : in std_logic;
        IN1   : in analog;
        IN2   : in analog;
        C     : out std_logic);
end COMP;
architecture BEHAVE of COMP is
begin
  SEQ : process(CLOCK)
  begin
    if CLOCK'event and CLOCK = '1' then
      if IN1 >= IN2 then
        C <= '1' after 10 ns ;
      end process SEQ;
    end BEHAVE;
```

Box 8.1

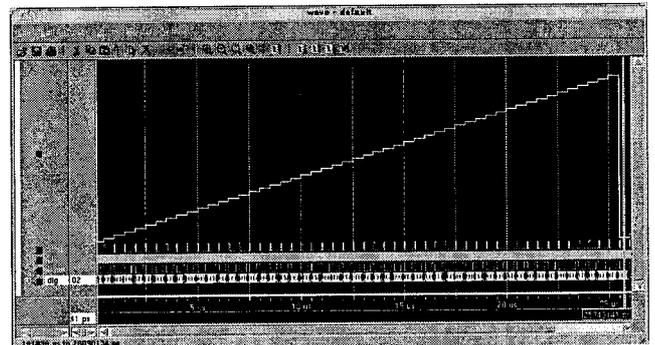


Abb. 8.2 : Simulation eines A/D-Wandlers

Die Systemsimulation ist wichtig, da die Kommunikation zwischen den Einzelkomponenten sichergestellt werden muss, besonders wenn sie von unterschiedlichen Entwicklern kommen.

Durch den modularen Aufbau der Gate Forest Bibliotheken können auch die entwickelten Verhaltensbeschreibungen, wie die Schaltpläne, bei Bedarf wieder verwendet werden. Somit können auch die Entwicklungszeit immer weiter verkürzt werden.

## 9. Zusammenfassung

Der modulare Aufbau der Gate Forest ermöglicht eine Vielzahl von Einsatzgebieten. Die Kombination von analogen und digitalen Schaltungen auf einem ASIC, können den weiteren Umgang mit anfallenden Daten um vieles vereinfachen. Durch die Integration z.B. der Digitalisierung und der Einbindung von digitaler Peripherie (SPI-Schnittstelle) wird der Umgang mit analogen Signalen praktischer, Platz sparender und günstiger.

Literatur:

{1}

Karsten Warkentin

Diplomarbeit :

Entwicklung eines Mixed-Signal-ASICs für einen kapazitiven Näherungssensor zur Anwendung in einem Braille-Display für Blinde

Fachhochschule für Technik Esslingen Fachrichtung Technische Informatik

{2} Verbandsprojektblatt

<http://www.mstonline.de/foerderung/verbuende/2002/brailledis.pdf>

{3} IMS Gate Forest Technologie

<http://www.ims-chips.de/content/09/media/gate.pdf>

[http://www.ims-chips.de/content/09/media/GFN120\\_Data\\_Book.pdf](http://www.ims-chips.de/content/09/media/GFN120_Data_Book.pdf)

# Digital Polar-to-Cartesian and Cartesian-to-Polar Transformers

Ireneusz Janiszewski, Hermann Meuth  
 Fachhochschule / University of Applied Sciences Darmstadt  
 Schöfferstraße 3, 64295 Darmstadt  
 Tel.: 06151-168268  
 E-mail: {janiszew, meuth}@fh-darmstadt.de

**ABSTRACT:** The paper presents novel architectures of digital polar-to-Cartesian (i.e. phase-to-Sine) and Cartesian-to-polar (i.e. Sin/Cos-to-phase/magnitude) transformers. Starting from well established CORDIC and look-up table schemes, optimum new hybrid configurations are derived. Via fully synthesizable HDL models, portability and reusability is ensured.

## 1. Introduction

The implementation of algorithms for rotating a two-dimensional (2-D) Cartesian coordinate system is essential in the fields of communication technologies, signal and image processing, for instrumentation and analyzing time varying systems. Essentially all wireless and many new wire-bound communication technologies depend for the transmission channel on sinusoidal signal generation and extraction. Both the continued tendency toward compact and mobile applications and fully digital architectures in the base band, highly precise, configurable and agile, and thus digital signal generation and extraction will experience an ongoing demand for the foreseeable future. Spread-spectrum, frequency/phase-hopping, or phase shift-keying modulation techniques may stand as examples. Similar needs will arise from modern instrumentation techniques, where ubiquity, mobility yet combined with precision and immunity, plays an increasing role, as in environmental and medical applications.

Coordinate transformations may be performed either by using look-up tables for low-latency, low-resolution applications or by algorithmic procedures for medium latency, high precision designs. Though digital coordinate transformers have been available in hardware for some fifty years, only the recent dramatic progress in semiconductor technology enabled high performance, high precision implementations with several 100 MHz clocks and extremely

high resolution, on the cost of less than 1 mm<sup>2</sup> of silicon in a deep submicron CMOS process. With the emerging availability and their effective interplay of i) these recent semiconductor technologies, ii) the capability of large scale design and simulation provided by hardware description languages (HDLs), and iii) synthesis tools with ever increasing efficiency, such long-standing architectural yet highly complex solutions ought to be revisited to explore and develop novel design methodologies and to combine (possibly opposing) architectural approaches within one single framework, to allow for systematic studies and all-encompassing optimization procedures. Only with such methodologies in hand flexibly configurable, yet optimized large scale and complex designs are feasible and eventually economically reasonable. The primary focus of our ongoing research work is thus to facilitate the implementation of transformation methods among polar and Cartesian coordinate systems (cf. Fig. 1) and related hardware algorithms by both new architectures and by new design methodologies. Frequently, hardware performing both transformations is referred to as *Coordinate Transformer*.

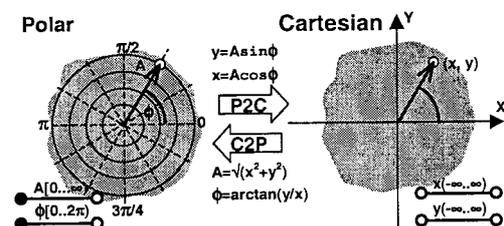


Figure 1. The transform among Cartesian and polar coordinate systems.

The basic idea of the work reported here, was to combine the algorithmic as well as the look-up table approach into a unified hybrid hardware model. This approach induces new optimization potential and hence allows for a flexible adjustment of the design with respect to accuracy, die size, power consumpti-

on, latency and clock speed by exploring the associated design tradeoffs on the basis of appropriate cost functions. Pure look-up or algorithmic approaches fall far beyond the features obtained with hybrid architectures. The hybrid models obtained so far are synthesizable and may be ported on arbitrary technologies as a functional block in a system on a chip design. Moreover novel modeling approaches were developed, in which parts of the HDL code of the final hardware model itself were "synthesized" using HDL simulations of appropriate HDL code and TEXTIO functions. The quality of the various design solutions was judged on the basis of analytical expansions of the defining equations as well as via bit accurate HDL simulations in the pre- and post-layout phase. A test chip containing a number of differing low power or high performance implementations, was produced in 0.35  $\mu\text{m}$  CMOS and has confirmed the design quality and the usefulness of the approach.

## 2. How does the CORDIC work

Sinusoidal digital signal generation, also referred to as direct digital frequency synthesis (DDFS) regularly requires, in addition to a time-advancing 'phase accumulator', a polar-to-Cartesian transformation (P2C), or simpler yet, phase-to-Sine at constant magnitude ( $\Phi 2S$ ), illustrated in Fig. 2.a and 2.b respectively.

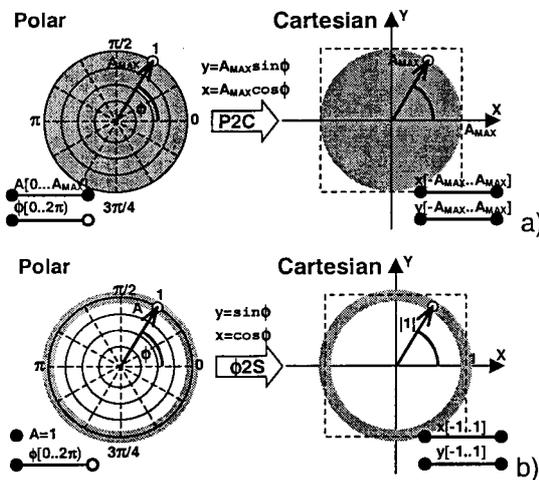


Figure 2. a) polar-to-Cartesian, and b) phase-to-Sine at constant magnitude coordinate transformation.

Signal detection and information extraction, in turn, implies a Cartesian-to-polar (magnitude and phase) co-ordinate transformation (C2P), illustrated in Fig. 3.

Dedicated hardware implementations for these tasks is the only choice, if signal and information

bandwidths, agility, size, power considerations and real-time put-through rule out software-based standard signal processing schemes. Aside from direct signal-value look-up from table, hardware algorithms, like **CO**ordinate **R**otation **D**igital **C**omputer (CORDIC), may meet these novel needs for high precision digital sinusoidal signal generation from a phase input or, inversely, phase and magnitude extraction from received quadrature (sine and cosine) signals.

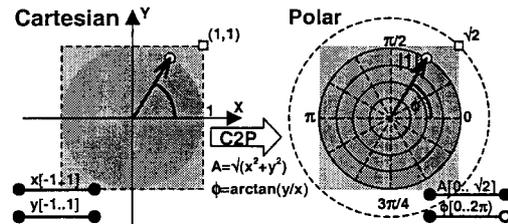


Figure 3. The Cartesian- to-polar coordinate transform.

The CORDIC algorithm may operate in either a vector rotation mode, or an angle accumulation mode, so-called *rotating* and *vectoring* mode respectively. In its *rotating* mode, frequently referred to only as CORDIC, CORDIC establishes both sine (or y) and cosine (or x) values for a given input phase angle  $\phi$ . In contrast, the CORDIC in *vectoring* mode, frequently referred to only as VECTORIZING, determines both magnitude  $A$  and  $\phi$  from the orthogonal input values  $x$  and  $y$ .

The **CO**ordinate **R**otation **D**igital **C**omputer (CORDIC) algorithm was developed by Jack E. Volder and dates back to the 1956 [1]. The initial application of the algorithm was in a military navigation computer. Since the analog computer-driven navigation system of the world's first supersonic bomber B-58 had limited accuracy, the aeroelectronics department of Convair, Fort Worth, decided to find a digital substitute. At a time, when transistors were rather novel, the real-time determination of aircraft position on a spherical earth was a big challenge, logic electronics being limited to clock frequencies of about 250 kHz. The major parts utilized in the navigation computer were analog resolvers capable of performing either a rotation of input coordinates, i.e. in *rotating* mode, or inversely, determining magnitude and angle of the input vector, when operating in *vectoring* mode. Jack Volder replaced these analog parts by basic angle summing blocks. He found that if  $\tan(\phi) = 2^{-n}$ , then:

$$\begin{aligned} K_n R \sin(\theta \pm \phi) &= R \sin(\theta) \pm 2^{-n} R \cos(\theta) \\ K_n R \cos(\theta \pm \phi) &= R \cos(\theta) \mp 2^{-n} R \sin(\theta), \end{aligned} \quad (1)$$

where  $K_n = \sqrt{1 + 2^{2n}}$ . The equations (1) rotate the vector  $R$  in orthogonal coordinates by an angle

equal to  $\tan(2^n)$ . The vector  $R$  can thus be rotated through any desired angle via a sequence of rotations of angle steps of magnitude  $\tan(2^n)$  with increasing powers of  $n$ . A first technical description of the algorithm was reported at the March meeting 1959 of the Western Joint Computer Conference, [2]. Not much later, the WJCC paper was reprinted in the IRE Transactions on Electronic Computers, [3],[4].

Even though it was noted in the initial technical accounts on CORDIC that the algorithm may be used for the sequential computation of various functions, the first detailed publication on this subject is credited to John Stephen Walther [5], who showed how to extend CORDIC from trigonometric and hyperbolic functions to functions like  $\exp x$ ,  $\ln x$ ,  $\sqrt{x}$ . First, he presented the general Unified CORDIC equations. This permits to design a general purpose CORDIC processor, capable of performing computations in either circular, hyperbolic or linear coordinate systems. The history of how the Unified CORDIC algorithm was developed, is described by in [6].

Following equation (1), both *rotation* and *vectoring* CORDIC modes invoke the same set of iterative equations:

$$\begin{aligned} x_{i+1} &= x_i - \sigma_i y_i 2^{-i} \\ y_{i+1} &= y_i + \sigma_i x_i 2^{-i} \\ z_{i+1} &= z_i - \sigma_i \alpha_i \end{aligned} \quad (2)$$

Executing this algorithm thus amounts, geometrically, to successive rotations by decreasing angle steps  $\alpha_i = \arctan(2^i)$ . Arithmetically, it amounts to successive summation and binary shifts (i.e. divisions by 2), i.e. a very hardware-efficient scheme involving no multiplication. The positive/negative sense of each rotation must be chosen such that the procedure converges. Convergence is assured by the parameter  $\sigma_i$ , which for the *rotating* mode is defined as  $\sigma_i = \text{sign}(z_i)$ , where  $\text{sign}(x) = 1$  if  $x \geq 0$ , else  $\text{sign}(x) = -1$ , implying that the iteration converges against  $z_\infty \rightarrow 0$ . For the *vectoring* mode,  $\sigma_i$  is defined as  $\sigma_i = -\text{sign}(y_i)$ , implying that the iteration converges against  $y_\infty \rightarrow 0$ , i.e. the x-axis.

After  $N$  iterations, CORDIC in its *vectoring* mode will provide both magnitude (x-path) and phase (z-path) of the input Cartesian coordinates. It thus works then as a Cartesian-to-Polar transformer.

$$\begin{aligned} x_{out} &\approx G_N \sqrt{x_{in}^2 + y_{in}^2} \\ y_{out} &\approx 0 \\ z_{out} &\approx z_{in} + \arctan(y_i / x_i) \end{aligned} \quad (3)$$

In *rotation* mode, CORDIC provides the transform in reversed direction. If the value of the x input is 1, and of the y input is 0 with the initial z being an angle, CORDIC will, in this mode, just calculate cosine (x-path) and sine (y-path) of this angle.

$$\begin{aligned} x_{out} &\approx G_N (x_{in} \cos z_{in} - y_{in} \sin z_{in}) \\ y_{out} &\approx G_N (x_{in} \sin z_{in} + y_{in} \cos z_{in}) \\ z_{out} &\approx 0 \end{aligned} \quad (4)$$

Both, magnitude as well as sine and cosine in equ. (4) are obtained by the so called CORDIC *algorithm gain* factor  $G_N = 1/K_N$ , where  $K_N$ , in the literature is referred frequently to as *distortion* or *scaling factor*, defined by equ. (5).

$$K_N = \prod_{i=0}^{N-1} \sqrt{1 + 2^{-2i}} \quad (5)$$

More generally, the factor resulting from iterations starting at index  $m$  and ending with index  $n$ , is defined by equ. (6).

$$K_{m,n} = \prod_{i=m}^n \sqrt{1 + 2^{-2i}} \quad (6)$$

Note, that this scaling factor does not depend on the actual value sequence of  $\sigma_i \alpha_i$ , i.e.  $K_{m,n}$  is the same factor for all iteration paths with given starting index  $m$  and ending index  $n$ .

### 3. Phase-to-Sine at constant magnitude transformer

The CORDIC algorithm in the *rotating* mode is suitable for sinusoid signal generation, cf. eqs. (4). Direct Digital Frequency Synthesis (DDFS) based on Numerically Controlled Oscillators (NCO) is an established method for generating quasi-periodic sinusoid signals whenever high frequency resolution, fast changes in frequency and phase, and high spectral purity of the output signal are required. Applications range from instrumentation to modern communication systems, including spread-spectrum and phase shift-keying modulation techniques.

Here, an NCO is a digital block, which renders digital word sequences in time at a given clock frequency  $f_{CLK}$ , which thereafter must be converted into analog signals to serve as an oscillator. The required digital-to-analog converter (DAC) will not be considered here. Fig. 4 shows a block diagram of an NCO system generating sine and cosine functions.

The overflowing phase accumulator (PA), clocked with  $f_{CLK}$ , generates the phase sequence  $\Omega(n)$ . The

phase summing block (PSB) may, if desired, perform in-flight phase jumps, and the function generator (FG) produces the sine and cosine amplitude values for the actual phase  $\Omega(n)$ . In each clock cycle, the frequency input word,  $f$ , of resolution FW bits, is added in the PA. Hence the output frequency equals to  $f_{CLK} \cdot f / 2^{FW+1}$  and the frequency resolution is given by  $f_{CLK} / 2^{FW+1}$ . Via the PSB, the PA output addresses the FG, which in most applications is a look-up table (LUT), yielding amplitudes of the bit width FGO. The resolution AW of the internal phase,  $a$ , is generally much coarser than the FW precision (phase truncation), but must be in line with the amplitude precision, FGO, i.e.  $AW > FGO+1 + \log_2(\pi)$ .

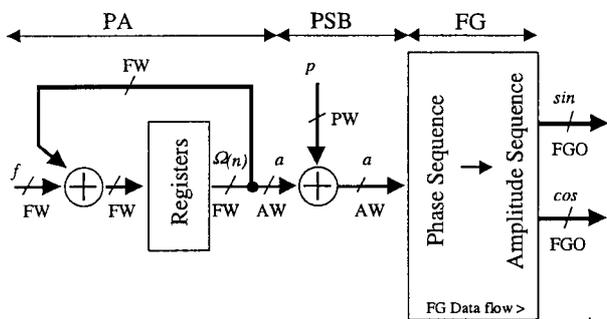


Figure 4. Block Diagram of an NCO.

A DDS based oscillator is thus a straight feed-forward computer algorithm without any feedback or resonance typically employed in traditional frequency generators, as Voltage Controlled Oscillators (VCO). The resulting signal stability is therefore solely dependent upon the quality of the time reference used (a high-Q quartz crystal oscillator clock), which in turn is determined only by crystal quality.

With increasing resolution, LUTs for sine/cosine amplitudes may become prohibitively large. For a given amplitude resolution FGO, the LUT capacity is  $\sim FGO \cdot 2^{AW}$  bits; standard specs, as  $FGO = 16$ , require an 8-Mbit ROM. Regarding chip area, power budget and performance, LUTs thus represent bottlenecks in NCO design. As all occurring amplitude values for sine and cosine are already contained within  $0 \leq \Omega \leq \pi/4$ , the LUT entries may be restricted to the first octant of the unit circle. LUT size may be further be compressed [9], implying additional hardware, which also may introduce additional spurious contributions to the output spectrum. High-resolution FGs may be implemented with LUT-free hardware, by means of CORDIC algorithms [1]-[8]. However CORDIC is an iterative algorithm, its obvious drawback being the delay or latency in pipelined implementation. A solution for the drawback could be a CORDIC/LUT hybrid architecture [10]-[12],[15].

The CORDIC iterations of equs. (2) start with index  $i_{start} = 0$ , thereby scanning the polar angle space between  $-\pi/2$  and  $\pi/2$ . Due to symmetry, only phase values from the first octant have to be considered, from which sine and cosine values of the remaining octants may be deduced. The three most significant bits of the input phase word  $a$  determine the actual octant. Exploiting symmetry corresponds to two iterations, leading to a starting index  $i_{start} = 2$ . By further restricting the CORDIC iterations to a binary-fraction segment of the first octant, fewer iterations and fewer pipeline stages are required to achieve a given accuracy in the amplitude outputs.

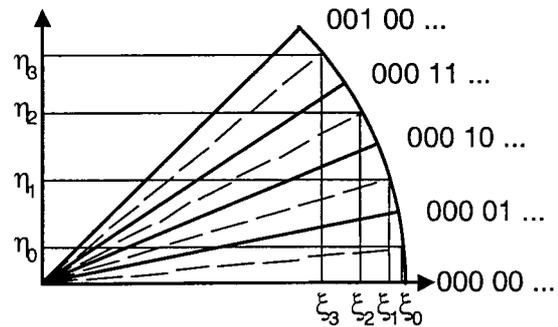


Figure 5. The initial x- and y-path values ( $\xi$ ,  $\eta$ , resp.) in four 1/32 segments of the unit circle. Segments are selected by the fourth and fifth MSB of the phase input word  $a$  (e.g. 000 00..., 000 01..., etc.).

The algorithm then has to be started in the respective wedge by suitable x and y starting values, denoted in Fig. 5 by  $\xi$  and  $\eta$ . These values must be provided by an additional LUT. The addresses for the required LUT starting values for each wedge are obtained from the bits following the first three most significant phase bits. Thus  $2^{i_{start}-2}$  CORDIC stages may be replaced by  $(1/2)^{i_{start}-2}$  octant fraction iterations to increase the index to  $i_{start} > 2$ . Each new binary octant fractional wedge requires the corresponding  $2^{i_{start}-2}$  initial value pairs for x and y. Generally, the relevant addresses for the required LUT starting values are obtained by decoding the bits from position AW-4 to AW-FS-1 of the FG input phase word  $a$ . Here, FS is the index number  $i_{start}$  of the first activated CORDIC stage.

For illustration, we subdivide the octant into four wedges, cf. Fig. 5. Then the fourth and fifth bit addresses the four pairs of LUT entries,  $\xi_n$  and  $\eta_n$ , for  $n = 0...3$ , which are the starting values for the FG for the respective angle wedge 'n'. Here, the first activated CORDIC stage carries the index  $i_{start} = 4$ .

As size and power budgets for LUTs on one hand and CORDIC on the other scale differently with amplitude resolution, there is potential for optimizing

hybrid NCO designs by suitably balancing LUT size against the number of CORDIC stages.

Figure 6 shows a block diagram of such a *hybrid function generator*. The relevant addresses for the required LUT starting values are obtained by decoding the corresponding bits from position AW-4 to AW-FS-1 of the FG input phase word (see inlay in Figure 6). Two look-up tables LUT\_X and LUT\_Y, provide the inputs  $\xi$  and  $\eta$  for the first activated CORDIC stage. The final amplitudes from x- and y-paths are mapped to the target octant by XY\_CONTROL.

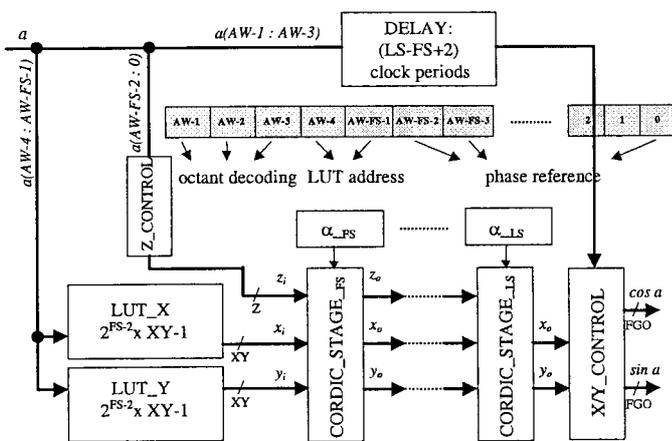


Figure 6. Hybrid FG block scheme based on CORDIC in *rotating* mode. The inlay shows the bit assignment for  $a$  in the case of FS = 4. Leading bits contain the octant information, the next two bits reference one of the 1/32-segments (see Fig. 5), all remaining bits define the angle target value.

For such a systematic and consistent optimization scheme, a synthesizable VHDL model was developed to control the architecture via VHDL generics and appropriately set constants.

#### 4. Polar-to-Cartesian transformer

The CORDIC algorithm in *vectoring* mode is suitable for sinusoid signal extraction, cf. equs. (4). While the CORDIC algorithm may result in arbitrary precision, although at the expense of pipeline latency and internal bit resolution overhead, the alternative of using standard Look-Up Table (LUT) solutions leads to a silicon area rapidly increasing with bit-resolution, although with only moderate or no latency, as was discussed in detail for the rotation mode in [10]-[12],[15]. For the *vectoring* mode, requiring a two-dimensional input for  $x$  and  $y$ , the resulting more complex LUT approach quickly grows out of proportion. A pure LUT scheme, as is frequently used for the simpler (one-dimensional) rotation

mode, is thus realistic only whenever a lower resolution of converted coordinate data may suffice, [14].

Due to the higher LUT complexity needed for the *vectoring* mode, the hybrid scheme cannot simply be carried over from the *rotation* scheme, but had to be substantially modified, to reap also in this case the respective advantages of precision with latency reduction at moderate area or power consumption. As the LUT must serve as the input to the subsequent CORDIC, a conventional look-up scheme in  $x$  and  $y$  resulting in phase and magnitude is ruled out. Rather, the look-up scheme must provide here refined values for  $x$  and  $y$  whence to iterate in a smaller region with less iterations needed to maintain the same accuracy.

Now, generally starting the CORDIC iterations (2) with an initial iteration at index  $i=0$ , the region of convergence covers the first and the fourth quadrant of the Cartesian coordinate space, cf. the shaded region in Fig. 7.a. Input coordinate data from outside this region have to be mapped back into these two quadrants, prior to executing the algorithm. In the Fig. 7, e.g., an initial coordinate pair, say  $(\xi, \eta)$  from within the sixth octant, is mapped into the CORDIC region of convergence, i.e. onto the new coordinate pair  $(\xi', \eta')$ . It may simply be done by 'inverting'  $\xi$ . Correspondingly, the data paths should be initialized with  $\xi'$  for the x-path, with  $\eta' (= \eta)$  for the y-path, and with  $-\pi$  for the z-path. CORDIC iterations then yield, via the x-path, the magnitude, again scaled by the factor (6), and, via the z-path, the inverted phase.

Next, starting the CORDIC iterations (2) with the initial iteration index  $i=1$ , i.e. eliminating one iteration step, the algorithm's required range of convergence will be reduced by half, covering only the first and the eighth octant, cf. the shaded region in Fig. 7.b. Simply inverting  $\xi$  for mapping will no longer suffice for all the octants. Rather, both coordinates must be inverted and also interchanged or only interchanged, depending on the octant, within which the initial coordinate set will fall. The initial value for the z-path must also suitably be modified.

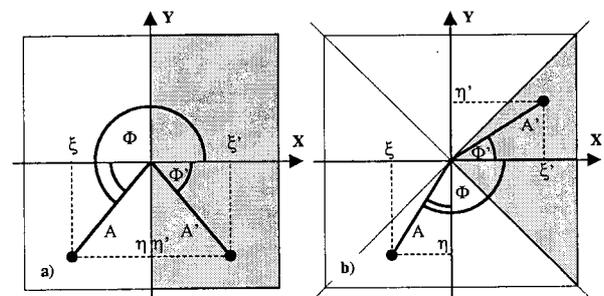


Figure 7. Converge area of the CORDIC algorithm in *vectoring* mode for initial iteration index a)  $i=0$  and b)  $i=1$

Next, starting the CORDIC iterations (2) with an initial iteration index  $i=2$ , i.e. eliminating two iterations, the algorithm's convergence range is then reduced again by half, covering the first and the 16<sup>th</sup> sector of coordinate space, cf. the shaded region in Fig. 8.a. Neither inversion, nor interchanging the coordinates will map the pair  $(\xi, \eta)$  into the convergence region. Instead, the axis, against which the iteration should converge, may be changed to the diagonal  $y=x$  (i.e.  $y \rightarrow x$ ), requiring now, during each iteration stage, to determine the difference  $y_i - x_i$ , as needed for  $\sigma_i = \text{sign}(x_i - y_i)$ . The value for the sign coefficient  $\sigma_i$  must be available within the same iteration stage, i.e. at the time this iteration step is to be executed, implying a critical iteration stage delay determined by two summations in sequence.

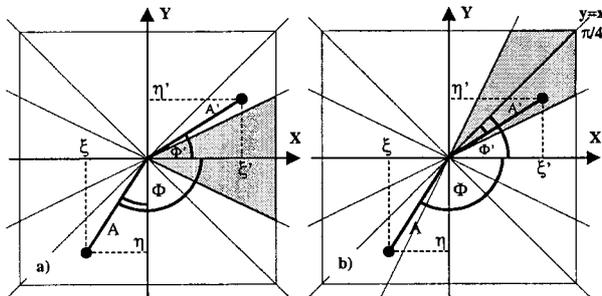


Figure 8. Converge area of the CORDIC algorithm in vectoring mode for initial iteration index  $i=2$ , and converge axis a)  $y=0$  ( $0\pi$ ) and b)  $y=x$  ( $\pi/4$ )

The novel solution, presented here as a hybrid VECTORING scheme, utilizes a principal axes transformation, cf. Fig. 9, [13]. Considering the standard equations for coordinate rotation around the origin, by the angle  $\Psi$ , and introducing the variable  $\mu$ , one obtains the new rotated coordinate pair  $(x', y')$  defined by (8). The CORDIC equations (2) remain invariant under these transformations. These transformations are to be performed prior to executing the CORDIC algorithm, as visualized in Fig. 10. More generally, the first octant may be divided into  $2^{\text{FS}-2}$  'wedges', bounded by constant arctangent values. This permits to disentangle the two-dimensional character both in  $(x, y)$  and in  $(A, \phi)$  of the needed look-up procedure. Here, FS stands for the first/initial, actually computed iteration stage of CORDIC algorithm. It also amounts to the number of first stages of the algorithm, which may be eliminated by the principal axes rotation.

It should be noted, that the shortcut taken by this axes transform prior to starting CORDIC may be implemented both algorithmically or through look-up, the latter being more efficient in hardware implementations and will be the method followed here.

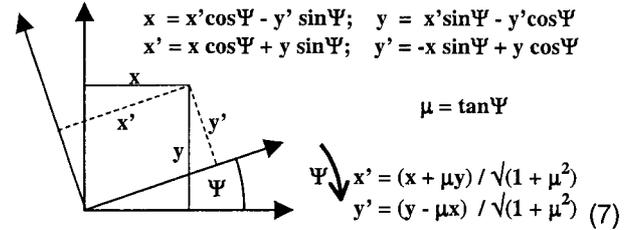


Figure 9. The principal axes transform

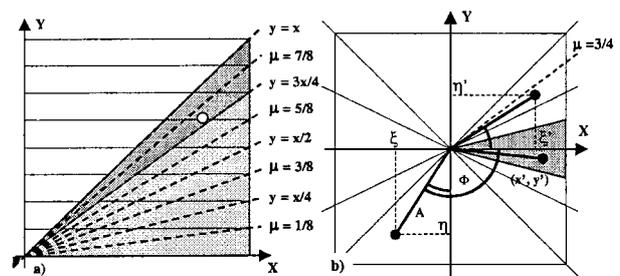


Figure 10. The principal axes transformation used for hybrid VECTORING; a) example of rotated wedge selection when eliminating four initial stages, b) steps of transformation:  $(\xi, \eta)$  to the 1st octant mapping  $\rightarrow (\xi', \eta')$ , wedge selection and rotation  $\rightarrow (x', y')$

The new Cartesian coordinates  $x'$  and  $y'$  will now serve as initial values for the CORDIC algorithm. To be easily and effectively implemented in hardware, they should be readily computed in a binary way. The normalization denominator in (8), however, does rule this out. As the CORDIC procedure is not length conserving, we may drop the normalization here to incorporate it into the scaling factor (6), thus getting the new coordinates

$$\begin{aligned} x' &= x + \mu y \\ y' &= y - \mu x \end{aligned} \quad (8)$$

The new scaling factor is now given by

$$K'_{m,n} = \sqrt{1 + \mu^2} \cdot \prod_{i=m}^{i=n} \sqrt{1 + 2^{-2i}} \quad (9)$$

This scaling factor is no longer the same for all input coordinates, because it depends on the initial angle rotation variable  $\mu$ , different for each wedge. This requires to store in an LUT the scaling factors (9) for each wedge. To obtain the final phase values, the values resulting from CORDIC must be corrected by the rotation angle  $\Psi = \text{arctg}(\mu)$ . Again, these angle values have to be stored, one for each rotated wedge, in a separate LUT, to be used e.g. as initial values for the CORDIC z-path. The entire hybrid pipelined VECTORING architecture is presented in Fig. 11.

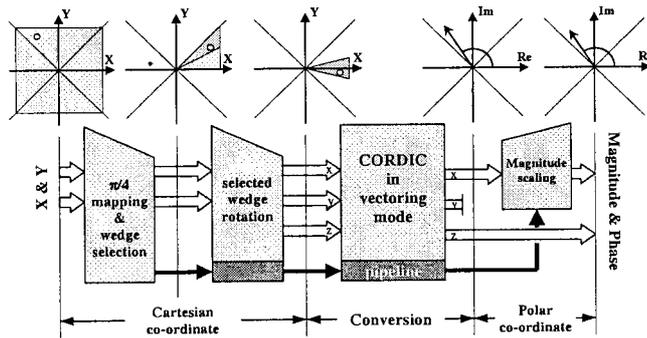


Figure 11. The pipelined architecture of the hybrid VECTORING implementation.

A synthesizable VHDL model was developed to control the architecture of the novel hybrid VECTORING via VHDL generics and appropriately set constants.

## 5. Conclusions

Our evaluation of hybrid implementations showed that this approach outperforms traditional pure algorithmic (CORDIC) as well as pure look-up table solutions (LUT) in terms of layout/FPGA area and power budget, especially for fast-switching designs. The hybrid schemes essentially improve on the latency of an pipelined implementation, as well as on obtainable switching speeds.

## Literature

- [1] J. E. Volder, "Binary computation algorithms for coordinate rotation and function generation," *Internal technical report IAR-1.148*, Aeroelectronics Department of Convair, Fort Worth, June 15 1956.
- [2] J. E. Volder, "The CORDIC computing technique," in *Proc. of the Western Joint Computer Conference*, pp. 257–261, Mar. 1959.
- [3] J. E. Volder, "The CORDIC trigonometric computing technique," *IRE Transactions on Electronic Computers*, vol. EC-8, pp. 330–334, Sept. 1959.
- [4] J. E. Volder, "The birth of CORDIC," *Journal of VLSI Signal Processing Systems*, vol. 25, pp. 101–105, June 2000.
- [5] J. S. Walther, "A unified algorithm for elementary functions," in *Proc. of the Spring Joint Computer Conference*, pp. 379–385, May 1971.
- [6] J. S. Walther, "The story of unified CORDIC," *Journal of VLSI Signal Processing Systems*, vol. 25, pp. 107–112, June 2000.
- [7] Timmermann, D., Rix, B., Hahn, H., and Hosticka, B. J., "A CMOS Floating-Point Vector-Arithmetic Unit," *IEEE J. Solid State Circuits*, vol. 29, pp. 634–639, 1994.
- [8] T. Lang and E. Antelo, "CORDIC vectoring with arbitrary target value," *IEEE Trans. on Computers*, Vol. 47, Issue 7, pp. 736-749, July 1998.
- [9] Bellaouar, A., O'brecht, M. S., Fahim, A. M., and Elmasry, M. I., "Low-Power Direct Digital Frequency Synthesis for Wireless Communications," *IEEE J. Solid State Circuits*, vol. 35, pp. 385- 390, 2000.
- [10] M. Dachroth, B. Hoppe, H. Meuth, and U. H. Steiger, "High-Speed Architecture and Hardware Implementation of a 16-bit 100-MHz Numerically Controlled Oscillator," *Proc. of ESSCIRC'98*, pp. 456-459, (Den Haag, Holland), 1998.
- [11] I. Janiszewski, B. Hoppe, and H. Meuth, "Precision and Performance of Numerically Controlled Oscillators with Hybrid Function Generators," *Proceedings of the 2001 IEEE International Frequency Control Symposium & PDA Exhibition*, pp. 744-752, (Seattle, WA, USA), June 6-8, 2001.
- [12] I. Janiszewski, B. Hoppe, and H. Meuth, "VHDL Based Design and Design Methodology for Reusable High Performance Direct Digital Frequency Synthesis," *Proceedings of the 38<sup>th</sup> Design Automation Conference (DAC)*, pp. 573-578, (Las Vegas, NV, USA), June 18-22, 2001.
- [13] I. Janiszewski, H. Meuth, and B. Hoppe, "Pipeline-efficient hybrid vectoring implementation," in *Proc. of the IEEE International Frequency Control Symposium and PDA Exhibition*, pp. 643–648, (New Orleans, LA, USA), May 29–31 2002.
- [14] I. Janiszewski, H. Meuth, and B. Hoppe, "Hardware implementation issues of Cartesian-to-Polar coordinate transformation," *Proc. of 9th International Conference Mixed Design of Integrated Circuits and Systems (Mixedes)*, pp. 291-296, (Wroclaw, Poland), June 20-22, 2002.
- [15] I. Janiszewski, B. Hoppe, and H. Meuth, "Numerically controlled oscillators with hybrid function generators," *IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control*, vol. 49, pp. 995–1004, July 2002.





# Eine neue HF-Mischstufe

Prof. Dr.-Ing. Hans A. Sapotta, FH Karlsruhe

## Abstract

Mixer Circuits play a dominant role in today's wireless communication. Whenever or wherever a signal has to be converted into another frequency region, a mixer does that job. A short estimation says that there are about 8 billions of mixer circuits actually working on earth (about 5 billion in audio equipment, 2 billions in tv sets and 1 billion in mobile phones). The Gilbert Cell is the standard mixer circuit. In the past, the Gilbert Cell appeared to be superior to any other types of mixers in most applications, although it is still the bottleneck in the signal path. It offers more noise and more intermodulation than a standard amplifier.

In this paper, a new access to the mixer problem is presented. For the first time, a real analog multiplication of two voltages is possible at high frequencies, at low noise and with superior intermodulation behavior. The new circuit operates at low voltage supply levels, making it well suited for battery operated systems. It uses standard Mosfet-transistors.

## 1. Einführung

Die Mischstufe ist eine Schaltung von zentraler Bedeutung in der heutigen drahtlosen Kommunikation. Seit der Erfindung des Superhet-Prinzips Ende der 20er Jahre in den USA findet man Mischstufen in nahezu jedem Empfänger weltweit vor. Ausnahmen bilden nur Funkuhren mit Geradeausempfängern und einfache Fernbedienungen in den USA, die mit Pendelempfängern arbeiten. Daher kann man eine untere Schranke der verwendeten Mischstufen mit der Zahl der weltweit betriebsfähigen Empfänger angeben. Das sind rund 5 Milliarden Radios mit mindestens einer Mischstufe (tatsächlich in der Regel deren 3), 2 Milliarden Fernsehgeräte und nochmals etwa 1 Milliarde Mobiltelefone. Es sind also mindestens 8 Milliarden Mischstufen weltweit im Einsatz.

Die Mischstufe hat die Aufgabe, eine analoge Multiplikation zweier Signale im Hochfrequenzbereich durchzuführen.

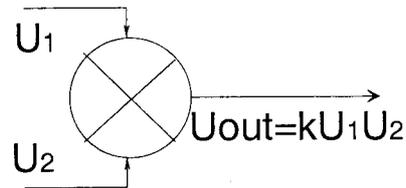


Bild 1: Grundsätzliche Funktion einer Mischstufe

Setzt man jeweils eine Cosinus-Schwingung für die beiden Eingangsspannungen an, so erhält man

$$U_{\text{out}} = k \cdot U_1 \cdot U_2 = k \cdot \hat{U}_1 \cdot \cos \omega_1 t \cdot \hat{U}_2 \cdot \cos \omega_2 t$$

$$U_{\text{out}} = k \cdot \hat{U}_1 \cdot \hat{U}_2 \cdot \frac{1}{2} \cdot (\cos(\omega_1 - \omega_2)t + \cos(\omega_1 + \omega_2)t)$$

Durch ein nachgeschaltetes Filter kann eine Ausgangsspannung auf einer anderen Frequenz herausgefiltert werden, deren Amplitude proportional zu einer Eingangsspannung ist. Die andere Eingangsspannung kann dabei normiert werden. Der Proportionalitätsfaktor  $k$  bestimmt die Verstärkung und hat die Einheit  $1/V$ .

Bisher war keine Schaltung bekannt, die eine formal korrekte, analoge Multiplikation zweier Eingangsspannungen ermöglichte. Diese formal korrekte Multiplikation bietet die Digitale Signalverarbeitung im niederfrequenten, digitalen Bereich - einer von vielen Gründen für das Vordringen der digitalen Signalverarbeitung. Der formal korrekten analogen Multiplikation recht nahe kommt die Gilbert-Zelle.

## 2. Die Gilbert-Zelle

Die Standard-Mischerschaltung heutzutage ist die Gilbert-Zelle. Sie wurde 1969 von Brad Gilbert zum Patent eingereicht. Das Patent wurde jedoch niemals erteilt, da die Schaltungstopologie bereits zuvor identisch als ECL-Exor-Gatter veröffentlicht worden war. Die Gilbert-Zelle begann ihren weltweiten Siegeszug mit der Einführung integrierter Hochfrequenzschaltungen ab Mitte der 80er Jahre, die komplette Tuner mit geringer Außenbeschaltung auf einem Chip realisierten.



Die Gilbert-Zelle erwies sich dabei allen anderen Schaltungskonzepten in mehrfacher Weise überlegen.

Bild 2 zeigt das Schaltbild der derzeit angewendeten Gilbert-Zelle.

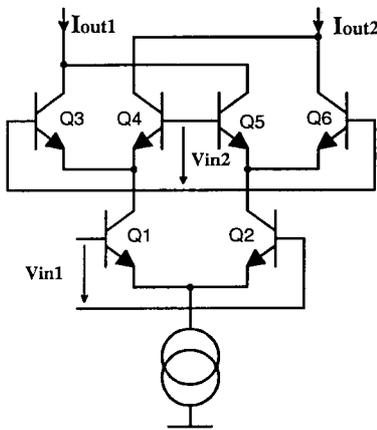


Bild 2: Schaltbild der Gilbert-Zelle

Die beiden unteren Transistoren Q1 und Q2 bilden einen Differenzverstärker, der das Eingangssignal  $V_{in1}$  verstärkt. Mit dem Quartett von 4 Schaltertransistoren Q3..Q6 kann in Abhängigkeit der 2. Eingangsspannung  $V_{in2}$  der Ausgangsstrom des Differenzverstärkers invertiert werden.

In Superhetstrukturen wird der Gilbert-Zelle in der Regel an den Eingang  $V_{in1}$  das verstärkte und bandbegrenzte Antennensignal angeboten, am Eingang  $V_{in2}$  liegt das Oszillatorsignal an.

Die Vorteile der Gilbert-Zelle gegenüber anderen bekannten Mischerstrukturen sind:

- die gesamte Struktur ist in einer Technologie integrierbar (auch in MOS)
- es sind nur geringe Oszillatorpegel notwendig, die Oszillatorabstrahlung in Richtung Antenne wird damit beherrschbar
- das Oszillatorsignal auf der Grundwelle wird sowohl Richtung Antenne als auch Richtung ZF-Verstärker unterdrückt, auf der doppelten Oszillatorfrequenz als Gleichtaktsignal jedoch in Richtung Ein- und Ausgang abgegeben
- die Gilbert-Zelle ermöglicht eine hohe Verstärkung, unterdrückt somit das Nachrauschen des ZF-Verstärkers bzw. ermöglicht die Verwendung von ZF-Filtern mit hoher Einfügedämpfung (SAW-Filter)
- die Gilbert-Zelle ist ein sogenannter 4-Quadranten-Mischer. Das heißt, sowohl  $V_{in1}$  als auch  $V_{in2}$  können positive wie negative Werte annehmen.

### 3. Nachteile der Gilbert-Zelle

Die zahlreichen Vorteile der Gilbert-Zelle haben dazu geführt, dass sie der Standard für Mischerschaltungen geworden ist. Vielfach wird sie sogar als Benchmark bei Vorstellungen neuer Technologien gewählt. Leider stehen diesen Vorteilen auch Nachteile gegenüber, die mangels Alternativen aber bisher hingenommen wurden. Da die Gilbert-Zelle die Basis eines jeden Superhet-Empfängers ist, sind die Anforderungen an die Gilbert-Zelle auch primär die Anforderungen, die an Empfänger gestellt werden. Dies sind (in der Reihenfolge der Bedeutung):

1. Dynamik
2. Dynamik
3. Dynamik

Die Forderung zu empfangen tritt hinter der Forderung, nicht zu empfangen (auf anderen als der gewünschten Frequenz) in den Hintergrund. Unter Dynamik sei hier zum einen ein geringes Rauschen, zum anderen ein hoher Intercept-Punkt verstanden. Leider stellt die Mischstufe in Bezug auf Dynamik in heutigen Empfängerkonzepten den Flaschenhals der Signalverarbeitung dar.

Das Verstärkungselement der Gilbert-Zelle ist der Differenzverstärker. Folglich bestimmt auch das bekannte Intermodulationsverhalten des Differenzverstärkers die Großsignalfestigkeit. Die Differenz der Ausgangsströme folgt statisch der Tangens-Hyperbolicus-Kurve.

Bild 3 zeigt die Kennlinie einer Gilbert-Zelle mit der Spannung  $V_{in2}$  als Parameter

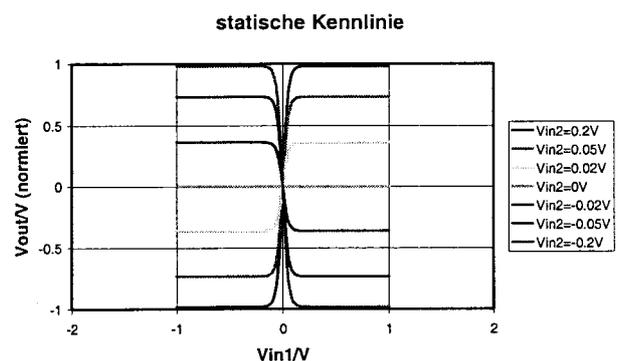


Bild 3: statische Kennlinie der Gilbert-Zelle

Wie man erkennt, ist der lineare Bereich der Kennlinie auf etwa  $\pm 20\text{mV}$  um  $V_{in1}=0$  beschränkt. Durch Einfügen von Emitterwiderständen im Differenzverstärker ist es möglich, den linearen Bereich auszudehnen. Dadurch verschiebt sich allerdings der optimale Generatorwiderstand für



minimale Rauschzahl zu Werten, die in Hochfrequenzschaltungen meist nicht mehr realisiert werden können. Das bedeutet, dass die Einfügung von Emittierwiderständen zwar ein probates Mittel ist, um den Dynamik-Bereich zu verschieben. Eine Vergrößerung des Dynamik-Bereichs geht damit leider meist nicht einher.

Die Ermittlung der Rauschzahl einer Mischstufe ist ein Kapitel für sich, das mehrere derartige Vorträge füllen könnte. Die Probleme sollen hier nur qualitativ behandelt werden.

Wie man aus Bild 3 sehen kann, ist es möglich, die Verstärkung der Gilbert-Zelle durch Variation von  $V_{in2}$  im Bereich von (normiert)  $\pm 1$  zu variieren. Da die einzelnen Transistoren jeweils statistisch unkorrelierte Rauschquellen darstellen, geht das Ausgangsrauschen der Schaltung für  $V_{in2}=0$  nicht im gleichen Maße wie die Verstärkung gegen 0. Somit tendiert die Rauschzahl in den Momenten des Nulldurchgangs von  $V_{in2}$  gegen unendlich. Es macht also Sinn, die Dauer des Nulldurchgangs zu minimieren und die Dauer der maximalen Verstärkung der Mischstufe zu maximieren. Anders ausgedrückt,  $V_{in2}$  sollte eine Rechteckfunktion sein.

Leider geht damit ein anderer Effekt einher. Wenn  $V_{in2}$  eine Rechteckspannung ist, so besitzt diese auch Oberschwingungen, die ihrerseits einen Mischvorgang einleiten. Somit wird das Rauschen des Generatorwiderstands aus Frequenzbereichen, die sonst niemals interessiert hätten, nun in die Zwischenfrequenzebene transformiert werden. Dieser Effekt, auch Oberwellenmischung genannt, erhöht die Rauschzahl der Gilbert-Zelle.

Ebenfalls wird das Rauschen auf der Spiegelfrequenz in die Zwischenfrequenzebene transformiert, was die Einseitenbandrauschzahl einer Mischstufe grundsätzlich um 3 dB gegenüber einem vergleichbaren Verstärker vergrößert.

Die Mischstufe lebt letztendlich von ihrer Nichtlinearität. Somit ist das Rauschen der Mischstufe nicht stationär. Das sehr beliebte Instrument der Schaltungssimulation mit Spice (bzw. deren Derivaten) versagt hier. Wie man aus Bild 3 erkennen kann, ist durch eine Variation der als Gleichspannung angenommenen Spannung  $V_{in2}$  eine Abregelung der Verstärkung möglich. Somit kann durch diesen Trick die Schaltung stationär betrieben werden und man erhält in Bild 4 die Rauschzahl einer Gilbert-Zelle als Funktion der Abregelung. Damit ist zumindest eine qualitative Aussage über das Rauschverhalten möglich.

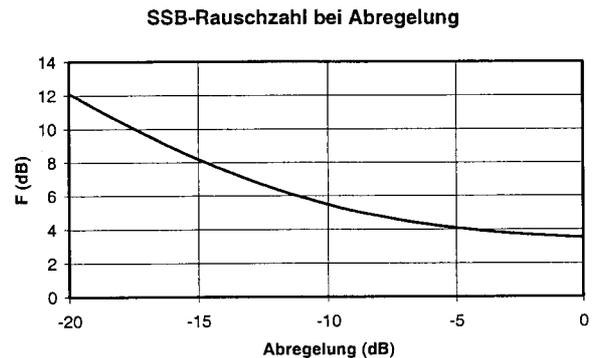


Bild 4: Rauschzahl einer Gilbert-Zelle bei Abregelung

#### 4. Eine neue Mischer-Schaltung – Kafemix

Betrachtet man die Veröffentlichungen zum Thema Mischerschaltungen der letzten Jahre, so findet man im wesentlichen den technologischen Fortschritt im Halbleiterbereich umgesetzt auf die Gilbert-Zelle. Nur ganz wenige Veröffentlichungen beziehen sich auf fundamental neue Schaltungsstrukturen (z.B. der sehr interessante „Bulk driven Mixer“). In diesem Bereich schien die Schaltungstechnik bisher weitestgehend ausgereizt. Die Entwickler haben sich mit den Vor- und Nachteilen der Gilbert-Zelle arrangiert.

Man hätte gern eine Schaltung, die formal korrekt multipliziert, dabei wenig rauscht und hochfrequenztauglich ist. Dies war bisher Illusion.

Der hier vorzustellende neue Ansatz geht von einem Feldeffekttransistor im Widerstandsbereich aus, wie er in Bild 5 mit den zugehörigen Strom- und Spannungszählpfeilen gezeigt ist.

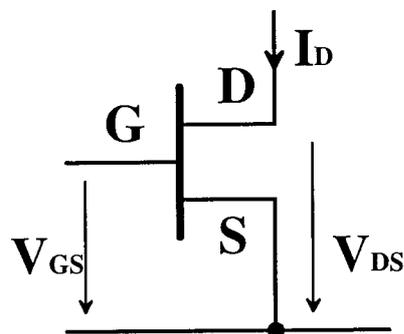


Bild 5: ein FET mit Zählpfeilen

Dies kann sowohl ein klassischer Junction-FET als auch ein MOSFET sein, wie er in integrierter Technik häufig angewendet wird. Dieser Transistor



kennt 3 Arbeitsbereiche, den Sperrbereich, den Widerstandsbereich und den Sättigungsbereich. Im Widerstandsbereich folgt der Transistor der Beziehung

$$I_D = B_0 \cdot \left( V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) \cdot V_{DS}$$

Hierbei kennzeichnet  $B_0$  den sogenannten Transkonduktanzfaktor, in den die Gateoxiddicke und die Beweglichkeit der Ladungsträger eingehen.  $V_{TH}$  ist die Schwellspannung des Transistors.

Als nächstes betrachten wir 2 FETs im Widerstandsbereich, die gemäß Bild 6 verschaltet sind.

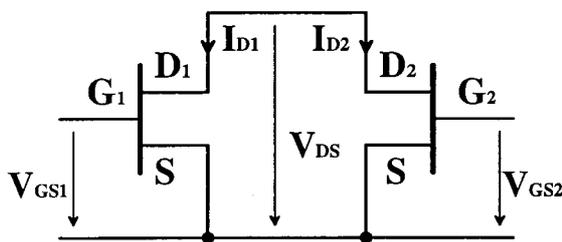


Bild 6: Verschaltung zweier Feldeffekttransistoren

Diese beiden FETs sollen gepaart sein, d.h. gleichen Transkonduktanzfaktor  $B_0$  und gleiche Schwellspannung  $V_{TH}$  haben. Beide Transistoren werden mit einer identischen Drain-Source-Spannung  $V_{DS}$  betrieben. Also kann man für die Drain-Ströme schreiben:

$$I_{D1} = B_0 \cdot \left( V_{GS1} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS} \text{ und}$$

$$I_{D2} = B_0 \cdot \left( V_{GS2} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS}$$

Bildet man die Differenz beider Drain-Ströme, so erhält man

$$I_{D1} - I_{D2} = B_0 \cdot V_{DS} \cdot (V_{GS1} - V_{GS2})$$

Nun kann man diese Stromdifferenz als Ausgangsgröße betrachten, die Spannung  $V_{DS}$  und die Differenz der Gate-Source-Spannungen seien die Eingangsgrößen  $V_{in1}$  und  $V_{in2}$ . Dann erhält man den Ausgangsstrom zu

$$\Delta I_D = B_0 \cdot V_{in1} \cdot V_{in2}$$

Somit ist eine formal korrekte Multiplikation zweier Spannungen möglich. Dieses Prinzip muss jetzt in Schaltungstechnik umgesetzt werden. Dazu bietet

sich zunächst eine Schaltung nach Bild 7 an. Sie besteht aus 3 in Serie geschalteten Blöcken. Im untersten Block sind 2 Feldeffekttransistoren im Widerstandsbereich wie beschrieben miteinander verschaltet. Darüber befinden sich 2 Bipolartransistoren (FETs sind auch möglich, als N-Kanal-MOSFETs in integrierter Technik ist allerdings der Body-Effekt störend) als Spannungsfolger, die die identische Drainspannung beider FETs bereitstellen. Der Drain-Strom der FETs wird von den Spannungsfolgern in eine Stufe zur Stromdifferenzbildung weitergeleitet. Dies kann wie gezeichnet ein Stromspiegel sein, andere Konstellationen sind hier möglich.

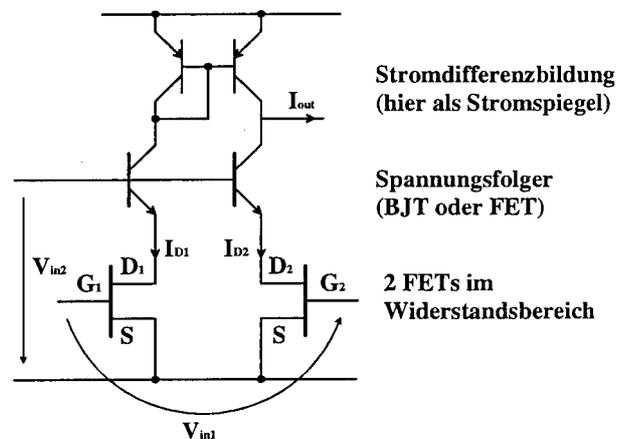


Bild 7: Die neue Mischer-Struktur

Auf der Suche nach einem Namen für diese Struktur wurde die Bezeichnung Kafemix (**K**arlsruher **F**ET-**M**ixer) kreiert. Sie ermöglicht zum ersten Mal eine formal korrekte Multiplikation zweier Analogspannungen. Die Schaltung arbeitet linear, solange die Voraussetzung Widerstandsbereich für beide Feldeffekttransistoren erfüllt ist. Dies belegt die Simulation der statischen Kennlinie, die in Bild 8 gezeigt wird.

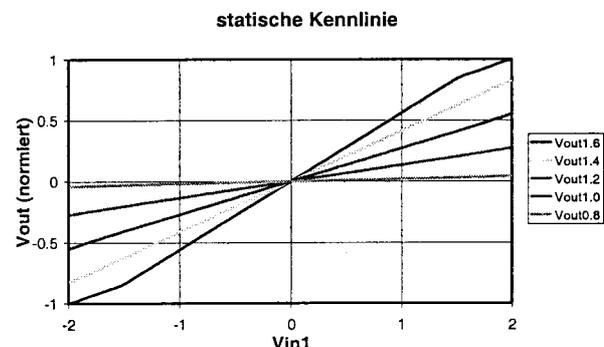


Bild 8: statische Kennlinie der Kafemix-Schaltung



Diese Simulation mit dem Level1-Modell von Pspice besagt zunächst nur, dass korrekt gerechnet wurde. Pspice macht in Level1 nichts anderes, als die Gleichungen der statischen Kennlinie ungesehen zu übernehmen. Dennoch zeigt Bild 8 eindrucksvoll die Möglichkeiten dieser neuen Schaltung. Der Linearitätsbereich beträgt nicht mehr nur wenige Millivolt, vielmehr erstreckt er sich über mehrere Volt. Gleichzeitig wird auch ein Nachteil der Schaltung deutlich. Es handelt sich um einen sogenannten 2-Quadranten-Mischer, negative Werte von  $V_{in2}$  sind nicht zugelassen. In der Praxis muss dies nicht unbedingt von Nachteil sein. Man wird über den Eingang  $V_{in1}$  das Oszillatorsignal zuführen (wegen der LO-Abstrahlung ohnehin symmetrisch auszuführen) und über  $V_{in2}$  das verstärkte und gefilterte Antennensignal mit einer Vorspannung einspeisen. Nahezu alle verwendeten Filter haben einen asymmetrischen Ausgang, so dass dies sogar als Vorteil zu werten ist. Allerdings bietet diese Schaltung noch keine Oszillatorunterdrückung am Ausgang.

Zunächst interessiert die Frage, ob der Dynamikgewinn zu großen Eingangsleistungen mit einer Zunahme des Rauschens erkauft wurde. Dazu betrachten wir Bild 9 im Vergleich zu Bild 4, in dem eine Simulation der Rauschzahl gezeigt wird.

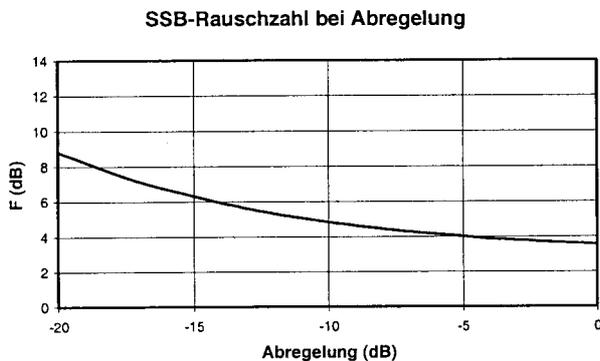


Bild 9: Rauschzahl der Kafemix-Schaltung bei Abregelung

Man erkennt, dass das Rauschen der Kafemix-Schaltung geringer als das Rauschen der Gilbert-Zelle ist. Konservativ geschätzt darf man ein vergleichbares Rauschen bei erheblich verbesserter Großsignalfestigkeit erwarten. Damit sollte ein Dynamikgewinn von ca. 40dB erreichbar sein.

Von besonderer Bedeutung in der heutigen Zeit ist der Gleichspannungsbedarf einer Schaltung. Empfänger dienen letztendlich der Mobilkommunikation. Mobilität setzt das Potenzial zur Batterieversorgung voraus. Auch hier schneidet die Kafemix-Schaltung besser als die Gilbert-Zelle ab. In der Gilbert-Zelle inklusive der Stromquelle muss der Gleichstrom 3 Transistoren in Serie

durchlaufen. Dem stehen vergleichbar 2 Transistoren in der Kafemix-Schaltung gegenüber, wobei die FETs im Widerstandsbereich nur ca. 100mV Spannungsbedarf haben (Die Differenzbildung wurde dabei in beiden Fällen nicht berücksichtigt, ist aber identisch).

In der Regel wird die Kafemix-Schaltung als 2-Quadranten-Mischer ausreichen. Falls ein 4-Quadranten-Mischer nötig sein sollte, so ist auch dies mit dieser Technik möglich. In Bild 10 ist eine entsprechende Schaltung gezeigt.

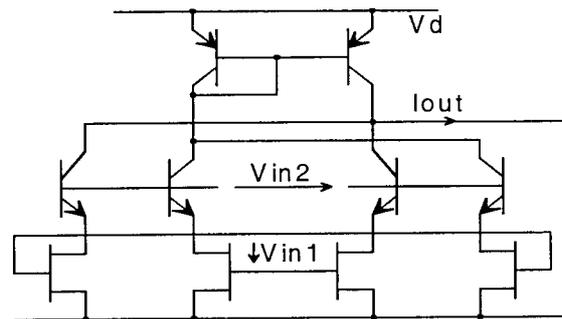


Bild 10: Kafemix als 4-Quadranten-Mischer

## 6. Stand der Untersuchungen und Ausblick

Die Kafemix-Schaltung wurde als Dienstleistung im Rahmen des neuen Arbeitnehmererfinderrechts zum Patent eingereicht. Ein erster Prüfungsbericht ist überfällig. Erste Messungen der statischen Kennlinie zeigen eine sehr gute Übereinstimmung mit der Simulation und lassen für dynamische Messungen auf gute Ergebnisse hoffen.



# GMSK – Demodulation mit einem FPGA

Dipl.-Ing. (FH) Alexej Kehl, Jörg Stuber, Prof. Gisbert Glasmachers  
 Fachhochschule Heilbronn, Max-Planck-Str. 39, 74081 Heilbronn

## Einleitung

Im Rahmen einer Diplomarbeit sollte ein FPGA-Design (Algorithmus und Implementierung) zur Demodulierung bzw. Decodierung von GMSK-Signalen entwickelt werden. Die Simulationsergebnisse des FPGA-Designs (Bitfehlerrate als Funktion des Signal-Rausch-Abstands) sollten in einer weiteren Diplomarbeit verifiziert werden. Hierzu war zunächst die Entwicklung einer Testumgebung nötig, mit deren Hilfe anschließend die Verifikation durchgeführt werden konnte.

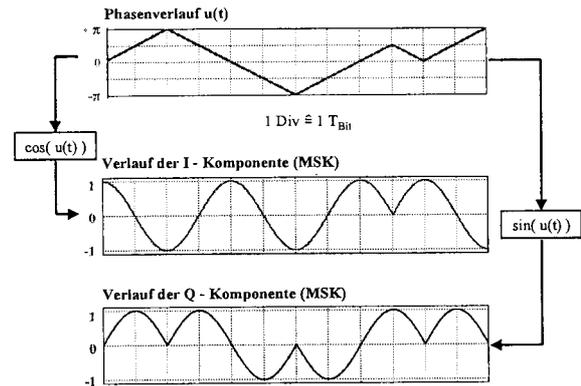


Abbildung 1.2: Phase und Signalkomponenten bei MSK

Aus den Signalverläufen in obiger Abbildung läßt sich erkennen, daß MSK-Modulation einen hohen Bandbreitenbedarf hat. Um den Bandbreitenbedarf zu reduzieren, wird das Datensignal mit einem sog. Gaußfilter gefiltert. Dabei handelt es sich um ein Tießpaßfilter, dessen Übertragungsfunktion die Form einer Gauß-Glockenkurve hat. In nachstehender Abbildung sind die gefilterten und ungefilterten Signalverläufe  $Datensignal \rightarrow Phasenverlauf \rightarrow (G)MSK$  am Beispiel der I-Komponente gezeigt.

## 1. GMSK- Modulation

Zunächst sollen die Grundlagen der GMSK-Modulation kurz erklärt werden: Aus einem beliebigen Datensignal läßt sich durch Integration der in Abbildung 1.1 dargestellte Phasenverlauf eines Trägers gewinnen.

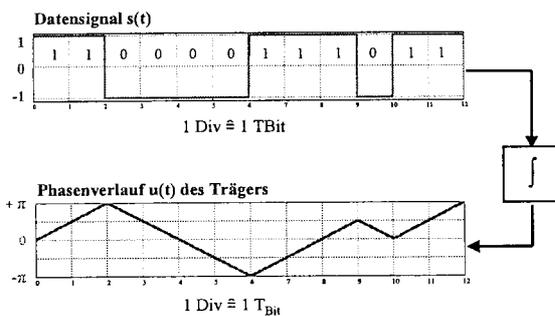


Abbildung 1.1 : Datensignal und Phase

Wendet man auf den oben dargestellten Phasenverlauf die  $\cos$ - bzw.  $\sin$ -Funktion an, erhält man die in Abbildung 1.2 dargestellten Signalverläufe der sog. I- und Q-Komponenten bei MSK-Modulation.

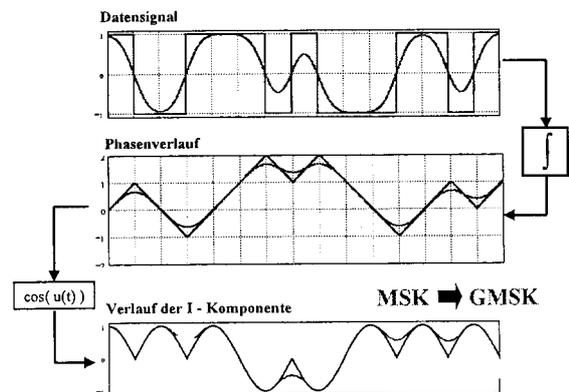


Abbildung 1.3: Gefilterte und ungefilterte Signalverläufe

Im Zusammenhang mit der Filterung ist der BT-Faktor von Bedeutung. Dieser ist das Produkt aus Kanalbandbreite und Bitdauer und kann als Filterfaktor angesehen werden.

## 2. Decodierung

### 2.1. Algorithmus

Um die Idee der Decodierung verstehen zu können, ist folgende Erkenntnis wichtig: Betrachtet man ein GMSK-Signal, so stellt man fest, daß sich jede beliebige Signalverlaufsform aus insgesamt 16 verschiedenen Teilverläufen zusammensetzen läßt. In Abbildung 2.1 z.B. wird das Signal während der letzten zwei dargestellten Bitperioden aus den Teilverläufen „A1“ und „B2“ gebildet:

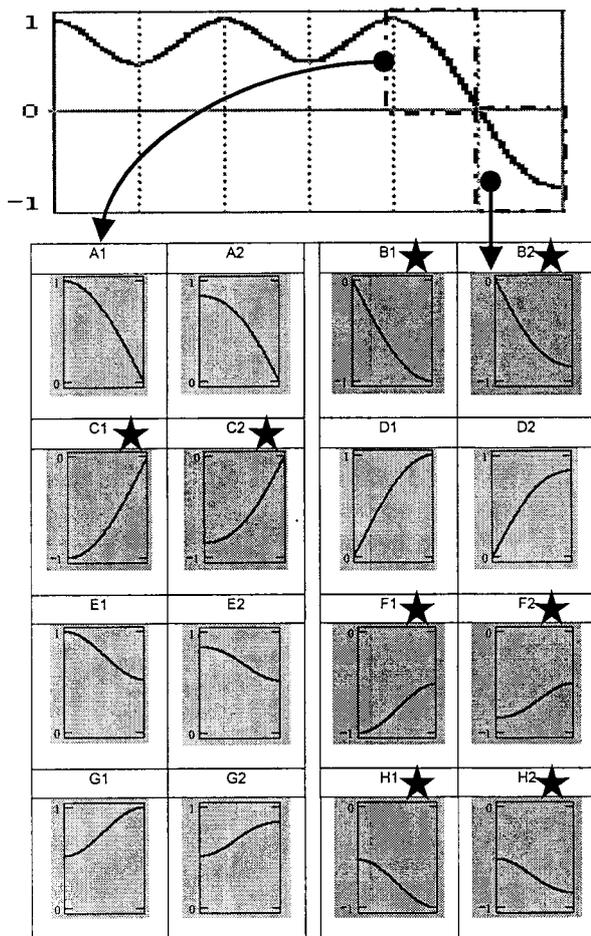


Abbildung 2.1: Mögliche Teilverläufe bei GMSK

Bei denen mit einem Stern gekennzeichneten Signal-Teilverläufen handelt es sich um solche mit negativem Vorzeichen (B,C,F und H). Die Teilverläufe A,D,E und G hingegen haben positives Vorzeichen. Da der Gesamtsignalverlauf stetig sein muß, können nur bestimmte Teilverläufe aufeinander folgen. Die zulässigen Verlaufskombinationen sind in Abbildung 2.2 dargestellt.

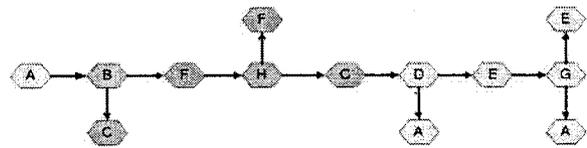


Abbildung 2.2: Zulässige Teilverlaufskombinationen

Ausgehend von den zulässigen Teilverlaufskombinationen ergibt sich der in Abbildung 2.3 gezeigte vollständige Verzweigungsbaum aller möglichen Verlaufskombinationen.

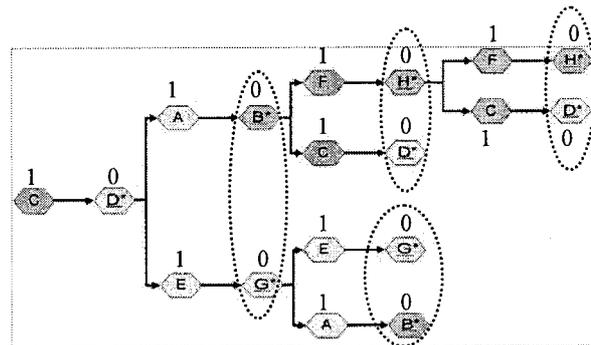


Abbildung 2.3: Verzweigungsbaum der möglichen Kombinationen

Anhand von Abbildung 2.3 erkennt man, daß für die Verlaufsrekonstruktion nur jeder zweite Teilverlauf erkannt werden muß. Das vorangegangene Verlaufsmuster ergibt sich dann zwangsläufig. Dazu ein Beispiel: Wurde Teilverlauf H erkannt, so muß diesem zwangsläufig der Verlauf F vorangegangen sein – es ergibt sich aus der Erkennung von H also die Rekonstruktion des Signalverlaufes F - H. Gleiches gilt für A-B (aus B), C-D (aus D) und E-G (aus G). Für die komplette Verlaufsrekonstruktion reicht es also aus, wenn lediglich zwischen H und D bzw. zwischen B und G unterschieden wird. Diese Unterscheidung läßt sich anhand der Signalpegelerkennung (pos./neg.) durchführen. Nochmals zur Wiederholung:

Positive Signalpegel: A, D, E, G

Negative Signalpegel: C, H, F, B

Wird also zum Zeitpunkt der Entscheidung ein positiver Signalpegel festgestellt, so handelt es sich entweder um D oder G. – Bei negativem Signalpegel entsprechend um H oder B. Um den Zeitpunkt zu bestimmen, an dem die Vorzeichenunterscheidung stattfinden soll, wird ein Zusatzsignal generiert, dessen Zustand mit jeder Symbolperiode zwischen den Zuständen logisch 0 und logisch 1 wechselt (→ Ziffern in Abbildung 2.3). Dieses Zusatzsignal läßt sich leicht aus dem zurückgewonnenen Symboltakt ableiten, der ein Achtel der Abtastfrequenz des GMSK-Signals beträgt.

Nun stellt sich noch die Frage, ob zwischen D und G sowie H und B noch eine Unterscheidung durchgeführt werden muß: Sieht man sich z.B. den Teilverlauf B an, so folgt diesem entweder der Verlauf C oder F. Auch nach H folgt eine Verzweigung entweder nach C oder F. Entsprechend ähnlich verhält es sich bei D und G, denn auch hier folgt in beiden Fällen die gleiche Verzweigung (nach A oder E). Das heißt, daß sowohl die Teilverläufe B und H als auch D und G jeweils die gleiche Information tragen und somit nicht weiter unterschieden werden müssen. Zur Verdeutlichung dient eine Gegenüberstellung von MSK-Signalen und den dazugehörigen GMSK-Signalen in Abbildung 2.4. Die GMSK-Signale gehen durch Tiefpaßfilterung aus den MSK-Signalen hervor; zwischen den beiden Signalformen besteht also ein eindeutiger Zusammenhang.

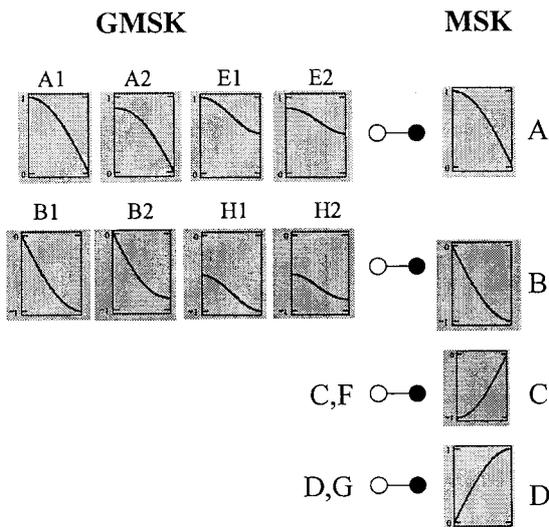


Abbildung 2.4: Gegenüberstellung GMSK - MSK

Die beiden GMSK-Verläufe B und H lassen sich gemeinsam auf den (ursprünglichen) MSK-Verlauf B zurückführen. Ebenso lassen sich D und G auf D zurückführen. In Abbildung 2.5 sind die in Abbildung 2.3 bereits gezeigten möglichen Verlaufskombinationen nochmals dargestellt, allerdings mit dem Unterschied, daß zusätzlich die zu den GMSK-Verläufen A-H gehörenden MSK-Verläufe A-D dargestellt sind.

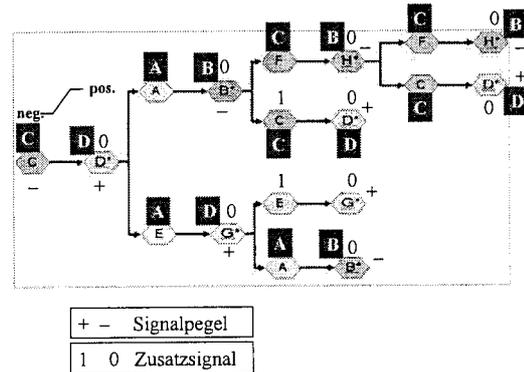


Abbildung 2.5: Verzweigungsbaum mit GMSK und MSK

Wie weiter oben bereits erwähnt, muß lediglich jede zweite Symboltaktperiode eine Pegelerkennung stattfinden. Das ist dann der Fall, wenn das Zusatzsignal den Zustand 0 hat. Für die vollständige Rekonstruktion des Signalverlaufs müssen immer zwei aufeinanderfolgende Auswertergebnisse herangezogen werden. Tabelle 2.1 zeigt die Kombinationen der Auswertergebnisse in Verbindung mit den daraus gewonnenen Informationen bezüglich der Signalverlaufsrekonstruktion, mit denen die Regenerierung der gesendeten Datenbitfolge geschieht.

Tabelle 2.1: Pegel und MSK-Signalverläufe

Pegel $t_{n-1}$	Pegel $t_n$	MSK-Signalverlauf
neg.	neg.	B – C – B
neg.	pos.	B – C – D
pos.	neg.	D – A – B
pos.	pos.	D – A – D

Die Signalverlaufsrekonstruktion hat sich also auf eine Signalpegelerkennung reduzieren lassen. Dies hat

eine weitreichende Konsequenz. Denn für die genaue Form des GSMK-Signals ist der BT-Faktor bei der Filterung des MSK-Signals von Bedeutung. Je nach BT-Faktor ergeben sich unterschiedliche Signalverläufe („runder“ oder „eckiger“) für GSMK. Läßt sich die Verlaufserkennung aber auf eine Pegelerkennung beschränken, wie dies hier der Fall ist, spielt der BT-Faktor bei der Decodierung keine Rolle mehr. Dieser Algorithmus kann daher universell zur Decodierung eines GSMK-Signals mit beliebigem BT-Faktor eingesetzt werden.

Für einen definierten Einstieg in den Verzweigungsbaum ist es notwendig, daß ein Verlaufsmuster *tatsächlich* erkannt wird. Betrachtet man Abbildung 2.5 näher, so fällt auf, daß ausschließlich bei der Verlaufskombination C-D ein Pegelwechsel von negativ nach positiv erfolgt. Der richtige Start kann also an eine Flankendetektion geknüpft werden.

## 2.2. FPGA – Design

In diesem Kapitel wird kurz auf das FPGA-Design eingegangen. Dabei werden die wichtigsten Funktionsblöcke in der obersten Design-Hierarchieebene angesprochen. Die folgende Abbildung zeigt das Blockschaltbild des FPGA-Designs.

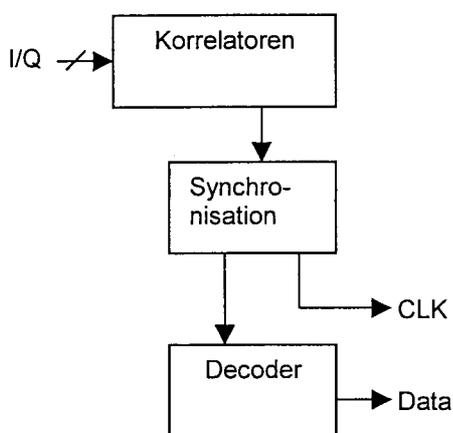


Abbildung 2.6: Blockschaltbild des FPGA-Designs

Am Eingang der Schaltung befinden sich Korrelatoren, die der Rauschfilterung dienen. Die Ausgangssignale der Korrelatoren sind Informationen über die Pegel des GSMK-Signals. Diese Informationen werden an den nachfolgenden Block „Synchronisation“ weitergegeben. Dieser hat folgende Aufgaben:

- Erkennen einer neuen Datentaktperiode
- Regenerierung des Datentaktes
- Weitergabe der Synchronisationssignale an den nachfolgenden Decoder

Der nachgeschaltete Decoder sorgt für die

- Auswertung der Korrelatorsignale (I-/Q-Vorzeichen) → neg = 0, pos = 1
- Erzeugung des Zusatzsignals
- taktsynchrone Weitergabe der I-/Q-Vorzeichen und des Zusatzsignals an den eigentlichen Decoder

## 3. Versuchsaufbau zur Verifikation

Mit dem vorliegenden FPGA-Design kann nun eine Decodierung von GSMK-Signalen stattfinden. Zuvor müssen die analogen Daten allerdings noch für den FPGA aufbereitet werden. Dafür steht eine eigens für diesen Zweck entwickelte Signalaufbereitung zur Verfügung, die es ermöglicht, die analogen Signale vor der AD-Wandlung noch additiv mit Rauschen zu überlagern. Darüber hinaus werden von der Signalaufbereitung noch das Abtasttakt- und Resetsignal für den FPGA zur Verfügung gestellt. Das Blockschaltbild der Signalaufbereitung ist in Abbildung 3.1 gezeigt.

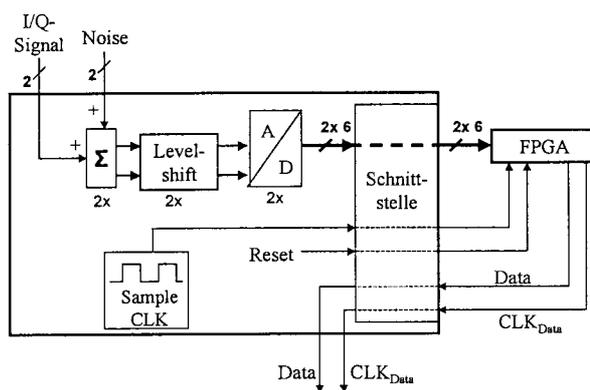


Abbildung 3.1: Blockschaltbild der Signalaufbereitung

Für die Versuchsdurchführung bei der Ermittlung der Bitfehlerrate in Abhängigkeit vom Signal-Rausch-Abstand ergibt sich aus der Zusammenschaltung von FPGA und Signalaufbereitung folgende Gesamtstruktur:

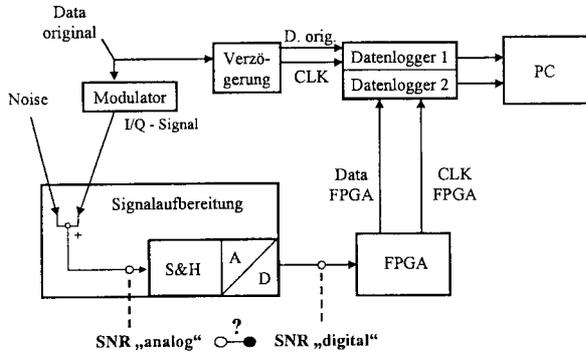


Abbildung 3.2: Gesamtversuchsaufbau

Bei der Verifikation, die mit obigem Versuchsaufbau durchgeführt wird, werden die Originaldaten nach Verzögerung in einen Datenlogger geschrieben. Die modulierten Daten, die dem FPGA über die Signalaufbereitung zugeführt werden, werden nach der Rückgewinnung durch den FPGA in einen zweiten Datenlogger geschrieben. Die beiden Datensätze werden anschließend von den Datenloggern an einen PC übertragen, wo die Offline-Weiterverarbeitung zur Feststellung der Bitfehlerrate erfolgt. In Abbildung 3.2 wird bereits das Problem angedeutet, das sich bei der Versuchsdurchführung ergibt. Nämlich der Zusammenhang zwischen dem Signal-Rausch-Abstand, der Grundlage ist für die Simulation und dem Signal-Rausch-Abstand, der "einfach" auf analoger Seite meßbar ist. Diese Fragestellung wird im nachfolgenden Kapitel behandelt.

## 4. Rauschleistungsmessung

### 4.1. Leistungen vor und hinter dem Sample/Hold-Glied

Das Sample/Hold-Glied kann als bandbegrenzendes Übertragungsglied mit Tiefpaßcharakteristik angesehen werden. Zur Veranschaulichung des Zusammenhangs zwischen dem SNR vor und dem SNR hinter dem S/H-Glied dient Abbildung 4.1.

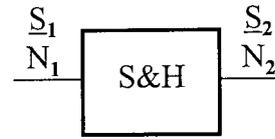


Abbildung 4.1: SNR vor und hinter dem S/H-Glied

Bezüglich des Nutzsignals findet eine vierfache Überabtastung statt, weshalb gilt:  $S_2 = S_1$ . Das Problem läßt sich also auf die Fragestellung reduzieren, wie die beiden Rauschleistungen  $N_1$  und  $N_2$  miteinander korreliert sind. Die Antwort auf diese Frage liefert Kapitel 4.2:

### 4.2. Systemtheoretische Betrachtung

Zwischen einem beliebigen Eingangssignal  $u$  und dem Ausgangssignal  $y$  bestehen die folgenden Zusammenhänge:

#### Zusammenhang im Zeitbereich

$$y(t) = u(t) * g(t) \quad (4.1)$$

Gleichung 4.1 sagt aus, daß das Ausgangssignal  $y(t)$  eines Systems das Resultat der **Faltung** des Eingangssignals  $u(t)$  mit der Impulsantwort des Systems  $g(t)$  **im Zeitbereich** ist.

#### Zusammenhang im Frequenzbereich

$$Y(\omega) = U(\omega) \cdot G(\omega) \quad (4.2)$$

Nach (4.2) ergibt sich das Spektrum des Ausgangssignals aus der **Multiplikation des Spektrums** des Eingangssignals mit dem Spektrum der Übertragungsfunktion. Für die weiteren Überlegungen gelten folgende Festlegungen:

- $G(\omega)$       Spektrum des S/H-Gliedes
- $U(\omega)$       Rauschspektr. vor dem S/H-Glied
- $Y(\omega)$       Rauschspektrum hinter dem S/H-Glied, also Rauschspektrum am Eingang des FPGA

Gleichung 4.2 läßt sich also folgendermaßen schreiben:

$$N_2(\omega) = N_1(\omega) \cdot G(\omega) \quad (4.3)$$

Da es sich bei  $N_1$  um weißes Rauschen handelt, gilt:

$$N_1(\omega) = \text{const} := k$$

Daraus ergibt sich für den Betrag des Rauschspektrums am Eingang des FPGA:

$$|N_2(\omega)| = k \cdot |G(\omega)| \quad (4.4)$$

mit

$$|G(\omega)| = \frac{T_A}{T_0} \cdot \left| \text{si} \left( \frac{\omega T_A}{2} \right) \right| \quad T_0=1\text{s} \quad (4.5)$$

Das Betragsspektrum am Eingang des FPGA ist also das gewichtete Betragsspektrum (Spaltsinuskfunktion) des S/H-Gliedes, wie Abbildung 4.2 zeigt:

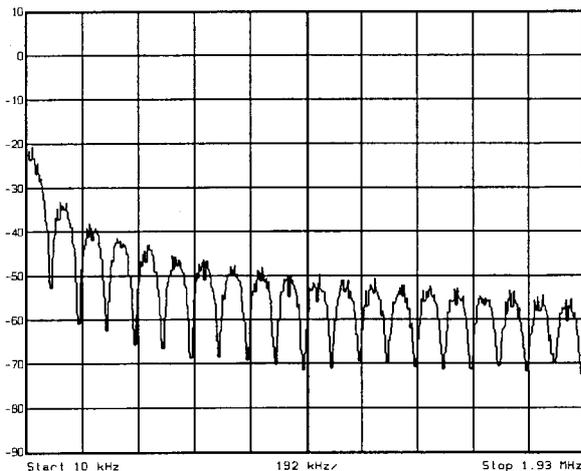


Abbildung 4.2: Rauschspektrum hinter dem S/H-Glied

Die Leistung des am FPGA anliegenden Rauschsignals erhält man durch Anwendung des Parsevalschen Theorems auf Gleichung 4.4:

$$N_2 = \frac{1}{2\pi} \int_{-\infty}^{\infty} |N_2(\omega)|^2 d\omega \quad (4.6)$$

Mit dem Ansatz aus (4.6) ist es also möglich, die Rauschleistung, die am Eingang des FPGA anliegt,

zu ermitteln. Die dabei erforderlichen aufwendigen mathematischen Operationen müssen nicht manuell, sondern können mit einem geeigneten Meßinstrument (z.B. Spektrumanalysator) durchgeführt werden, was eine relativ einfache Messung der Rauschleistung ermöglicht.

## 5. Verifikation und Ergebnisse

Die für die Verifikation benötigten Voraussetzungen sind nun geschaffen:

- Schaltungstechnische Testumgebung, bestehend aus Signalaufbereitung und Datenlogger
- Software zur Ermittlung der Bitfehlerrate
- Grundlagen / Verfahren zur Ermittlung der Leistung eines (unter-)abgetasteten Rauschsignals

Somit kann das eigentliche Vorhaben, die Verifikation der Simulationsergebnisse – die Ermittlung der Bitfehlerrate in Abhängigkeit vom Signal-Rausch-Abstand also – durchgeführt werden.

### 5.1. Simulationsparameter

Die Simulationsparameter sind bindend für die Verifikation. Diese wurden wie folgt festgelegt:

- BT - Faktor = 0,3
- Nutzsinalamplitude  $U_{N,SS} = 1000$  mV, entspr. 50% des Eingangsbereichs der AD-Wandler
- Rauschen: Weißes Rauschen

### 5.2. Ergebnisse

#### Simulationsergebnisse

Tabelle 5.1: Simulationsergebnisse

S/N	Anzahl der Fehler	Übertragene Bits	BER
1	0	8170	
0	2	8170	$2,44 \cdot 10^{-4}$
-1	22	16350	$1,35 \cdot 10^{-3}$
-2	30	8170	$3,7 \cdot 10^{-3}$

## Verifikationsergebnisse

Tabelle 5.2: Verifikationsergebnisse

S/N	Anzahl der Fehler	Übertragene Bits	BER
0	50	32767	$1,54 \cdot 10^{-3}$
- 0,5	87	32768	$2,64 \cdot 10^{-3}$
- 1,0	126	32767	$3,83 \cdot 10^{-3}$
- 1,5	178	32768	$5,44 \cdot 10^{-3}$
- 2,0	260	32767	$7,92 \cdot 10^{-3}$

## Graphische Darstellung

Die in den Tabellen 5.1 und 5.2 aufgelisteten Simulations- und Verifikationsergebnisse werden in der nachfolgenden Abbildung graphisch dargestellt und anschließend miteinander verglichen.

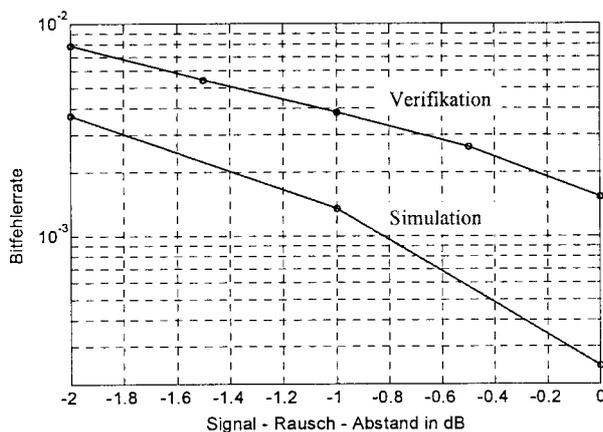


Abbildung 5.1: Graph. Darstellung der Simulations- und Verifikationsergebnisse

## Vergleich

Der Vergleich der beiden Kurven in Abbildung 5.1 zeigt, daß die Verifikationsergebnisse leider nicht mit den Simulationsergebnissen übereinstimmen. Im betrachteten Bereich des Signal-Rausch-Abstands in obiger Abbildung liegen die Bitfehlerraten der Verifikation um die Faktoren 2 (bei SNR = -2dB) bzw. 6 (bei SNR = 0dB) höher als die der Simulation. Vergleicht man die qualitativen Verläufe beider Kurven, so stellt man fest, daß die Bitfehlerkurve der Verifikation aus der Kurve der Simulation durch Rechtsverschiebung um ca. 1dB hervorgeht.

## 6. Zusammenfassung, Ausblick

Der eigentliche Decodieralgorithmus arbeitet zuverlässig: Bei Messungen mit einem Signal-Rausch-Abstand von 4dB wurde eine Bitfehlerrate von 0 erreicht. Ein weiteres Ziel besteht also in der Reduzierung der Bitfehlerrate durch Verwendung redundanter Übertragungsverfahren. Die derzeitige FPGA - Auslastung liegt bei ca. 7%, somit ist noch ausreichend Kapazität vorhanden, um weitere Algorithmen zur Bitfehlerkorrektur zu implementieren.



# VHDL-Entwurf eines I<sup>2</sup>C-Interfaces und Emulation mit einem Mikroprozessorkern auf FPGA

Daniel Bau, Prof. Dr. Dirk Jansen, ASIC Design Center  
 Fachhochschule-Offenburg, Badstrasse 24, D-77652 Offenburg  
 Tel. 0781/205-274

Ziel dieses Projektes ist es, unter Verwendung von VHDL ein Modul zum Betrieb des I<sup>2</sup>C-Busses zu realisieren. In Zusammenspiel mit dem Mikrokontrollersystem FHOP soll die I<sup>2</sup>C-Schnittstelle ansteuerbar sein und seriell Daten mit einem EEPROM austauschen.

## 1. Einleitung

Der I<sup>2</sup>C-Bus (Inter-Integrated-Circuit-Bus) ist eine Entwicklung der Firma Philips für den seriellen Datenaustausch zwischen einem Master und Slaves. Das I<sup>2</sup>C-Busprotokoll ist im Vergleich mit mehreren anderen Bussystemen einfach verständlich und leicht anwendbar. Die Realisierung des Datenverkehrs zwischen zwei miteinander kommunizierenden Schnittstellen über das I<sup>2</sup>C-Bussystems, wurde bisher per reiner Software-Implementierung über Assembler bewältigt. Um den Datentransfer zu beschleunigen, wird ein in VHDL programmierter I<sup>2</sup>C-Schnittstellen-Code entworfen.

Nach erfolgreicher Realisierung wird im späteren Verlauf ein Hardmacro der I<sup>2</sup>C-Schnittstelleneinheit für den AMI 0.35µm Prozess entwickelt. Mit Hilfe des Mikrokontrollersystems FHOP (First Homemade Operational Prozessor) soll der Datenaustausch über die I<sup>2</sup>C-Schnittstelle stattfinden. Der Mikrokontroller FHOP entstand im ASIC Design Center an der Fachhochschule Offenburg und findet seinen Einsatz in zahlreichen Anwendungen. Das Kontrollersystem besteht aus folgenden Komponenten: Prozessor FHOP, 8kByte großer Arbeitsspeicher, 4kByte großes ROM, serielle und parallele Schnittstelle, Chipselect-Einheit, Interruptcontroller, Watchdog, Timer und ein Acoustic Human Interface. Über die sich im ROM befindlichen BIOS-Routinen des Prozessors FHOP wird die I<sup>2</sup>C-Schnittstelle angesprochen, welche über zwei Busleitungen (SCL, SDA) seriell Daten mit Slaves bzw. I<sup>2</sup>C-Komponenten austauscht. Die Hauptkomponente soll hier ein serielles EEPROM sein. Bei einem Bootvorgang des Prozessors FHOP wird über den I<sup>2</sup>C-Bus das EEPROM angesprochen, die benötigten Anwendungsprogramme in den Arbeitsspeicher des FHOP's übertragen und dort ausgeführt. Abbildung 1-0 zeigt die grundsätzliche Master-Slave Kommunikation über das I<sup>2</sup>C-Interface.

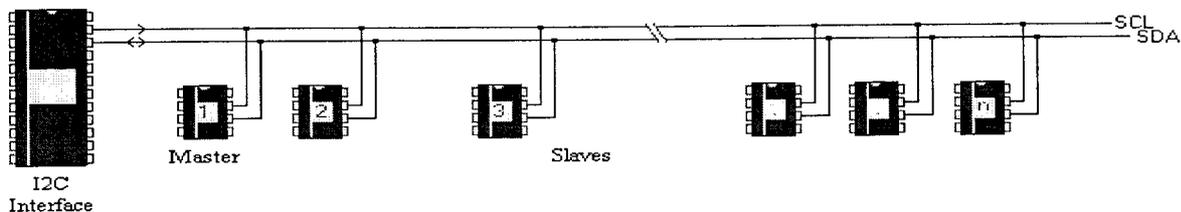


Abb. 1-0:  
 Master/Slave Implementierung über das I<sup>2</sup>C-Interface

## 2. I<sup>2</sup>C Grundlagen

Jedes I<sup>2</sup>C-Bauelement verfügt über eine eigene Adresse und kann in Abhängigkeit seiner Funktion als Sender (Transmitter) oder Empfänger (Receiver) arbeiten. Das I<sup>2</sup>C-Bussystem benutzt eine serielle Datenleitung (SDA, Serial-Data-Line) und eine serielle Taktleitung (SCL, Serial-Clock-Line) für den Datenaustausch. Beide Busleitungen sind bidirektional, was bedeutet, dass das I<sup>2</sup>C-Interface nicht nur als Treiber fungiert sondern auch von externen I<sup>2</sup>C-Komponenten getrieben werden kann.

Jedes I<sup>2</sup>C-Bauelement, das seine Kommunikation über die beiden Busleitungen aufnehmen will, muss über Open-Collector bzw. Open-Drain Ausgänge verfügen. Beide Busleitungen müssen über externe Pull-Up-Widerstände auf die positive Versorgungsspannung geschaltet sein.

Somit ergibt sich eine Wired-OR-Verknüpfung aller Busteilnehmer, welche in Abbildung 2-0 dargestellt ist.

Findet keine Busaktivität statt, sind beide I<sup>2</sup>C-Bus Leitungen in hochohmigem Zustand. Mit der OR-Verknüpfung über die SCL-Leitung findet eine synchronisierte Kombination der einzelnen Taktsignale statt, wodurch man unterschiedliche Taktraten am Bus verwenden kann. I<sup>2</sup>C-Komponenten können als Master, wobei mehrere Master über die Funktion der Bus-arbitration möglich sind, oder als Slaves in das Bussystem eingesetzt werden.

Mögliche Datenübertragungsraten von :

- 100 kbit/s im „Normal“ Betrieb
- 400 kbit/s im „Fast“ Betrieb
- 3,5Mbit/s im „High Speed“ Betrieb

Für den High Speed Betrieb werden spezielle IO's benötigt.

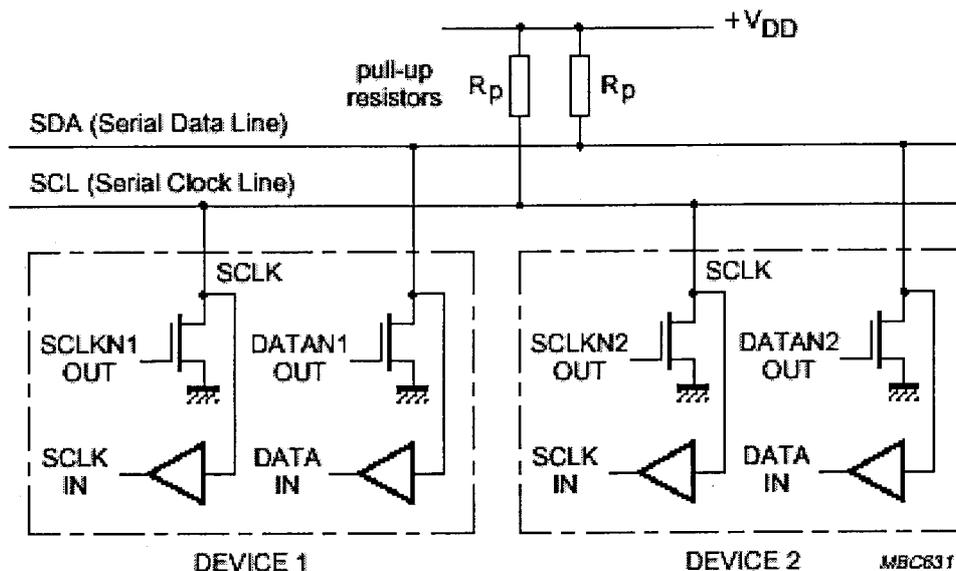


Abb. 2-0: Wired-OR-Verknüpfung der Busteilnehmer

## 2.1. Das I<sup>2</sup>C-Bus Protokoll

Die Datenübertragung zwischen einem Master und einem Slave erfolgt synchron zum SCL-Takt auf der SDA Leitung. Dabei wird byteweise übertragen, wobei jedes Datenbyte 8 Bit beinhaltet. Mit jedem Taktimpuls wird ein Bit übertragen, wobei das MSB zuerst auf die Datenleitung gegeben wird. Nach jedem übertragenem Datenbyte wird das Acknowledge-Bit abgefragt. Das Acknowledge-Bit teilt dem Empfänger mit, ob das übertragene Byte angekommen ist.

Jedes Bit wird während der High-Periode des SCL-Takt gespeichert. Der Zustand der Datenleitung darf nur während einer Low-Periode des SCL-Takts wechseln und muss, während sich SCL auf „High“ befindet, stabil gehalten werden. Ein Zustandswechsel von SDA, während SCL „high“ ist, wird als ein Start- oder Stopp-Kommando interpretiert.

Eine normale Standard Kommunikation besteht aus 4 Schritten:

- 1) Start-Signal generieren,
- 2) Slave-Adresse übertragen,
- 3) Daten übertragen,
- 4) Stopp-Signal generieren.

## 2.2. Dateiformat

Zusammenfassend ist hier in Abbildung 2-2 das Datentelegramm dargestellt. Eine Kombination aus Lese- und Schreibzugriffen ist ebenfalls möglich. Nach dem Stopp Signal folgt unmittelbar ein zweites Datentelegramm, welches ebenfalls dem Aufbau aus Abbildung 2-2 entspricht. Bei I<sup>2</sup>C-EEPROM's ist zu beachten das zwischen einem Stopp und einem erneuten Start eine Ruhezeit von ca. 10 ms einzuhalten ist, ansonsten sendet das EEPROM bei der Übertragung der Slave-Adresse kein Acknowledge.

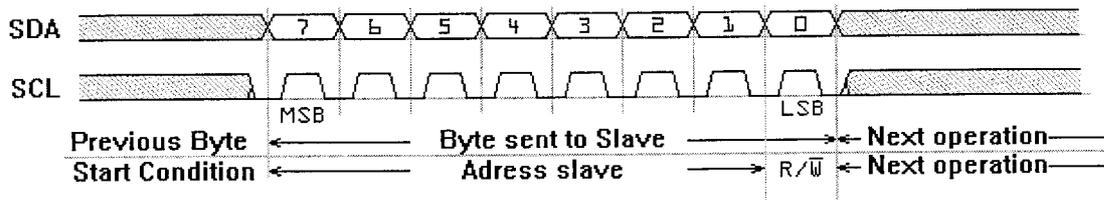


Abb. 2-1: Datenübertragung auf dem Bus

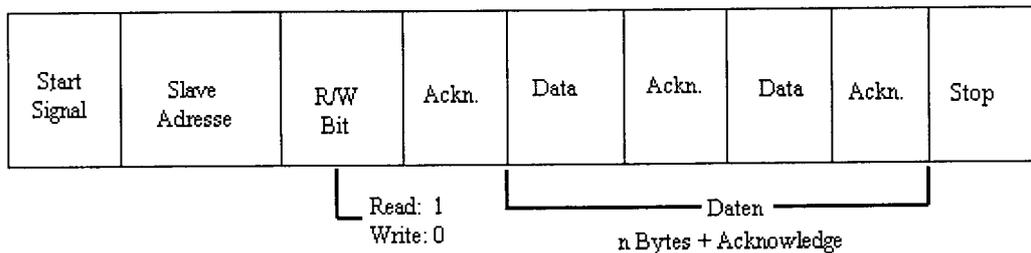


Abb. 2-2: Datenformat für Lese- und Schreiboperationen

### 3. Realisierung des I<sup>2</sup>C-Bus

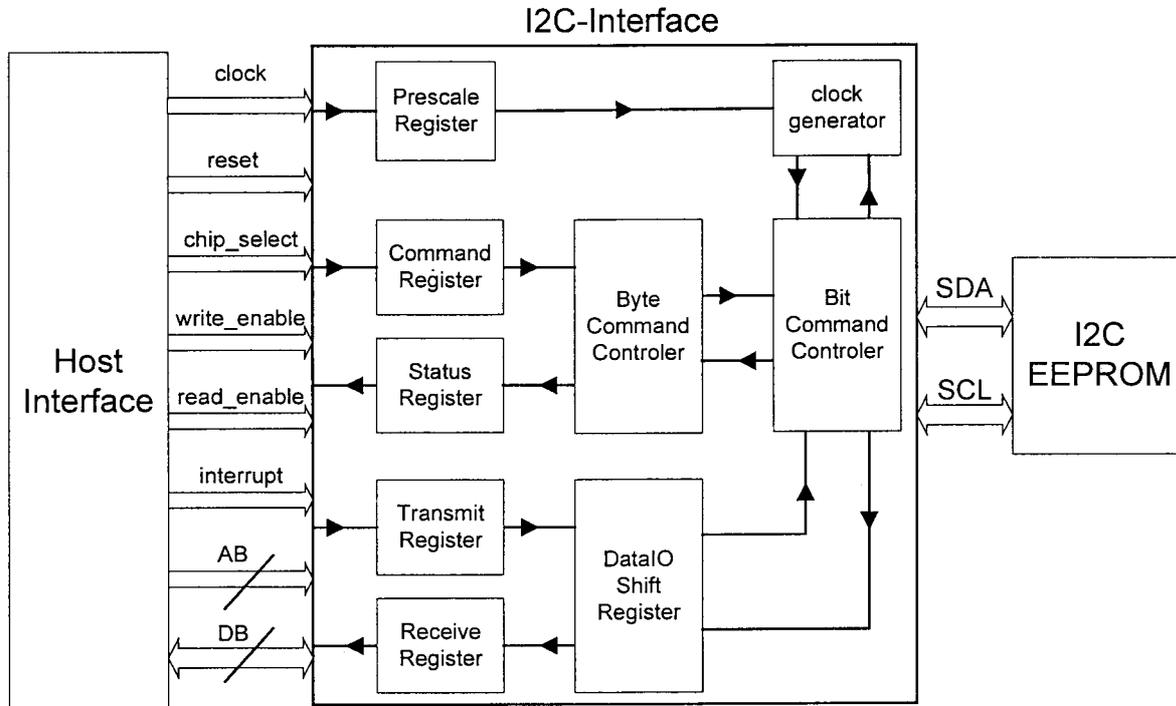


Abb. 3-0: Architektur des I2C-VHDL-Code

Das in Abbildung 3-0 gezeigte I<sup>2</sup>C-Modul ist in 4 primäre Blöcke unterteilt:

- Takt Teiler
- Byte Command Controller
- Bit Command Controller
- Shift Register

Die anderen Blöcke beschreiben die Steuer-Register, um temporäre Werte abzuspeichern, welche über das Host Interface gesendet werden. Als Host-Interface wurde das Mikroprozessorsystem FHOP verwendet, welches bereits als fertige Komponente vorlag.

Zum Austesten der I<sup>2</sup>C-Funktionalität wurde ein serielles I<sup>2</sup>C-EEPROM verwendet, welches über die beiden Busleitungen des I<sup>2</sup>C-Buses Daten austauscht. Um die Bidirektionalität der Busleitungen zu realisieren, werden die Datenleitung SDA und die Taktleitung SCL über Tristatetreiber angesteuert.

#### 3.1. Beschreibung der Funktionsblöcke

##### Takt Teiler:

Der Takt Teiler (clock generator) generiert aus einem 5-fach höherem Takt ein internes Enable-Signal, welches alle synchronen Elemente im Bit Command Controller triggert. Über das Prescale Register wird der Takt Teiler gesteuert und wird somit zur Einstellung der SCL-Takt Geschwindigkeit benutzt.

##### DataIO Shift Register:

Über das Shift Register werden die empfangenen bzw. gesendeten Bits je nach Übertragungsmodus eingelesen und in dem entsprechendem Register abgelegt. So werden z.B. während eines Lese-Vorgangs die Daten vom Datenbus SDA bitweise dem Shift Register übergeben. Nachdem das komplette Byte gelesen ist, wird der Inhalt des Shift Registers in das Empfangsregister kopiert.

Byte Command Controller:

Über den Byte Command Controller wird der „I<sup>2</sup>C-Verkehr“ byteweise geregelt. Über das Setzen entsprechender Bits im Command Register wird der Byte Controller gesteuert, welcher je nach gesetztem Bit eine Byte-Sequenz überträgt. Als Beispiel wird im Command Register das Start-, Write und Stopp Bit gesetzt. Der Byte Command Controller generiert nun ein Start Signal, überträgt ein Byte zum Slave und generiert das Stopp Signal. Dabei wird jedes Byte in separate Bits umgesetzt, welche dem Bit Command Controller zur Übertragung übergeben werden.

Bit Command Controller:

Der Bit Command Controller schaltet die aktuellen Daten, das Start-Signal, das Signal des wiederholten Starts und das Stopp-Signal auf die beiden Busleitungen. Der Byte Controller teilt dem Bit Controller mit, welche Operation er durchführen soll. Um z.B. ein Byte einzulesen, erhält der Bit Controller acht separate Kommandos.

## 4. Simulation und Synthese

Der I<sup>2</sup>C -Bus wurde mit der Software „ModelSim SE 5.5f“ der Firma Model Technology Inc programmiert und simuliert.

Damit die Simulation unter realen Bedingungen erfolgt, wurde das Mikrokontrollersystem FHOP und ein I<sup>2</sup>C-EEPROM stets mitsimuliert. Der Prozessor FHOP wird im I<sup>2</sup>C-Busverkehr als Master eingesetzt und enthält die BIOS Routinen, um das I<sup>2</sup>C-Interface anzusteuern.

Die BIOS-Routinen werden in Assembler programmiert und in das ROM an die Adresse „F000h“ geschrieben. Das compilierte Hex-File der BIOS-Routinen wird dann in den VHDL-Code miteingebunden. Der Simulationsausschnitt in Abbildung 4-0 zeigt den Datenverkehr, zwischen einem EEPROM und dem Prozessor FHOP, auf den beiden I<sup>2</sup>C-Busleitungen SDA und SCL.

Kommunikationsablauf:

- Generierung des Start-Signal (rote Makierung)
- Übertragung der Slave-Adresse (gelbe Makierung)
- 1 Byte Datenübertragung aus dem Arbeitsspeicher des Prozessors FHOP ins EEPROM (weiße Makierung)
- Generierung des Stopp-Signal um die Kommunikation zu beenden (rosa Makierung)

Die blauen Makierungen zeigen die Empfangsbestätigung des EEPROM's (Acknowledge).

Nach erfolgreicher Simulation wurde der VHDL-Code mit dem Synthese-Programm „Leonardo Spectrum Level 3“ synthetisiert. Die Syntheseanweisungen werden in einer Script-Datei festgelegt. Im Syntheseprogramm wird dann das erstellte TCL-Script aufgerufen, welches die Anweisungen automatisch abarbeitet.

Platzieren und Routen der mit Leonardo synthetisierten VHDL-Files wird mit dem Programm „Quartus II“ durchgeführt. Mithilfe des TCL-Scripts erfolgt der Programmaufruf und die Durchführung des Platzierens und Routens automatisch. Nachdem Quartus das Platzieren und Routen erfolgreich durchgeführt hat, erhält man als Ergebnis ein sogenanntes sof-File. Über das sof-File lässt sich das Layout der synthetisierten VHDL-Files auf den FPGA aufspielen.

Als Zieltechnologie wurde hier der FPGA-Chip der Firma Altera Cyclone „EP1C12“ verwendet.

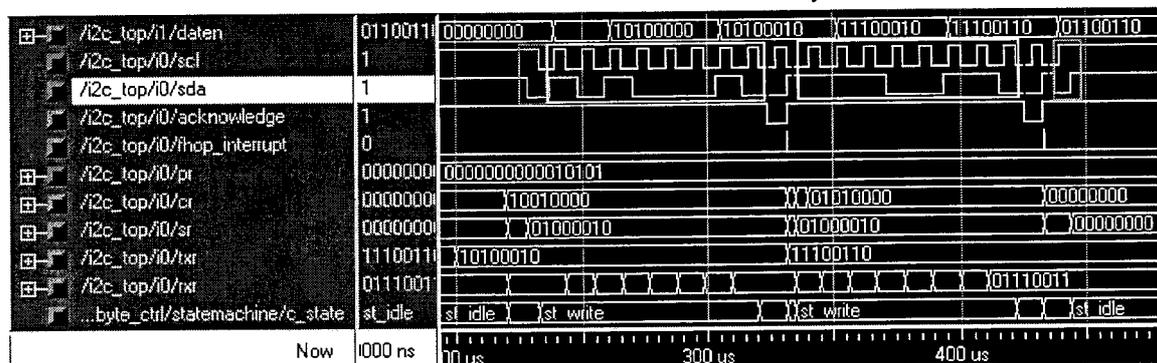


Abb.4-0:  
Simulationsausschnitt: Sendet ein Byte an das EEPROM

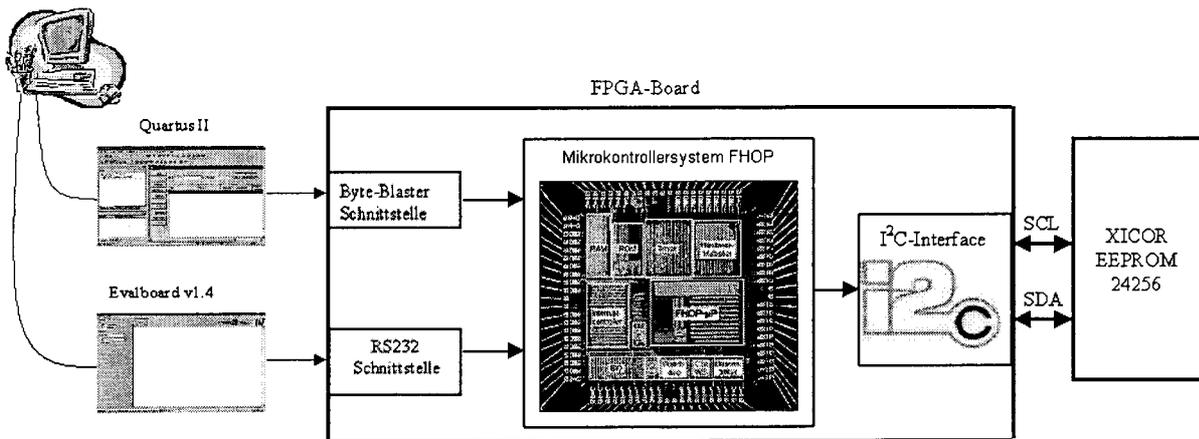


Abb.5-0: Testaufbau

## 5. Funktionsnachweis

Abbildung 5-0 zeigt den Testaufbau des FPGA-Boards. Das synthetisierte Design des Mikrokontrollersystem FHOP und des I<sup>2</sup>C-Interface wurde mit dem Programm „Quartus II“ auf den FPGA mit Hilfe des „Byte-Blasters“ programmiert. Der FPGA wird über die PC-Schnittstelle (RS232) angesteuert. Dabei werden die zur Ansteuerung des I<sup>2</sup>C-Interface benötigten BIOS-Routinen über die Monitor-Software „Evalboard“ in das RAM des Prozessors FHOP geschrieben und dort ausgeführt. Mit Hilfe der I<sup>2</sup>C-Bios-Routinen ist es nun möglich, einzelne Bytes von einem EEPROM zu lesen und zu schreiben oder ganze Programmseiten (256 Byte) vom EEPROM in den Programmspeicher des FHOP's zu kopieren. Beim Testaufbau wurde das von XICOR entwickelte EEPROM „24256“ verwendet, welches sich nicht auf dem FPGA-Board befindet und extern dazugeschaltet wurde. Die 5kΩ Pull-Up-Widerstände, welche die Taktleitung SCL und Datenleitung SDA benötigen, befinden sich auf dem externen XICOR-EEPROM. Die beiden Busleitungen zum EEPROM hin, wurden mit einem Oszilloskop aufgezeichnet und dokumentiert. Der Oszilloskopausdruck in Abbildung 5-1 zeigt, wie ein Byte ins EEPROM geschrieben wird. Dabei stellt das untere Signal die Datenleitung SDA dar, das obere Signal die Taktleitung SCL.

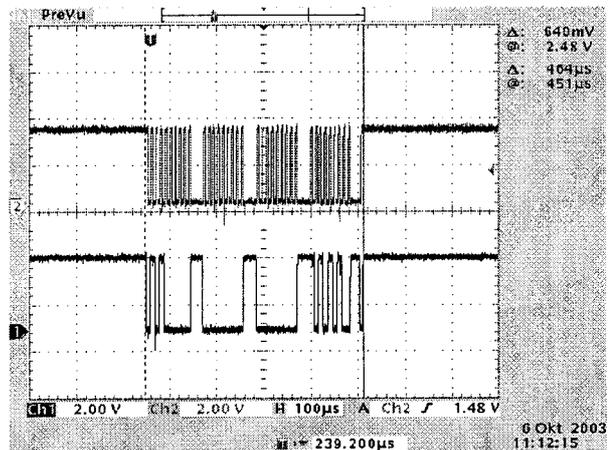


Abb. 5-1: Schreibt 1 Byte ins EEPROM  
(rotes Signal = SCL , blaues Signal = SDA)

Folgendes Zeitverhalten wurde bei der Datenübertragung mit einem XICOR 24256 EEPROM bei einer Übertragungstaktgeschwindigkeit von 100kHz gemessen:

Beschreibung	Übertragene Bytes	Durchlaufzeit
Speichert ein Byte im EEPROM ab	4	464 µs
Liest ein Byte vom EEPROM ein	5	574 µs
ladet eine Page vom EEPROM	260	26,7 ms
speichert eine Page im EEPROM	280	53,6 ms

## 6. Zusammenfassung

In dieser Arbeit wurde ein I<sup>2</sup>C-Interface für ein bestehendes Mikrokontrollersystem FHOP in der Hardwarebeschreibungssprache VHDL realisiert. Dabei wurde die Spezifikation des von der Firma Philips patentierten I<sup>2</sup>C-Busses realisiert. Die Takt-Geschwindigkeit des I<sup>2</sup>C-Taktsignals SCL ist variabel über ein Prescale-Register einstellbar. Dabei wurden Datenübertragungsraten von bis zu 400kbit/s erzielt. Beim VHDL-Entwurf wurde ein streng synchrones Schaltungsdesign verfolgt. Als Master auf dem I<sup>2</sup>C-Bus wurde der an der Fachhochschule Offenburg entwickelte Prozessor FHOP eingesetzt. Mithilfe der in Assembler erstellten I<sup>2</sup>C-BIOS-Routinen aus dem ROM des Prozessors wird das I<sup>2</sup>C-Interface gesteuert. Es wurden einzelne Bytes oder ganze Pages in beide Richtungen erfolgreich übertragen. Bei 100kHzTakt- frequenz ergibt beim Auslesen einer Page von 256 Byte aus dem EEPROM eine Übertragungszeit von 26,7 msec. Das Schreiben einer Page ins EEPROM benötigt wegen der internen Programmvorgänge doppelt so lang (53,6 msec).

Das komplette Design, bestehend aus dem Mikrokontrollersystem FHOP und I<sup>2</sup>C-Interface, wurde auf dem von Altera entwickelten FPGA Cyclone „EP1C12“ getestet. Dabei stand ein FPGA-Board zur Verfügung, welches zum Testen eine RS232 Schnittstellen beinhaltet. Mithilfe der Monitor-Software „Evalboard“, wurde vom PC aus mit dem Mikrokontrollersystem FHOP und dem I<sup>2</sup>C-Interface kommuniziert.

Zur Funktionsprüfung des I<sup>2</sup>C-Interface wurde dabei das RAM des Prozessors mit den I<sup>2</sup>C-BIOS-Routinen beschrieben und diese dort ausgeführt. Dabei wurde der Datenverkehr auf dem I<sup>2</sup>C-Bus mit einem Oszilloskop ausgemessen und protokolliert.

Die I<sup>2</sup>C-Busschnittstelle wird zum Booten des Prozessors, zum Ablegen von Programmen und Daten im EEPROM verwendet und kann zur Ansteuerung weiterer I<sup>2</sup>C-Bus-Komponenten wie A/D-Wandler effektiv eingesetzt werden.

## 7. Literaturverzeichnis

- [1] Handbuch der Electronic Design Automation  
Herausgegeben von Dirk Jansen
- [2] Netzliste vom FHOP-DESIGN-KIT V2.1
- [3] Philips Semiconductor „The I<sup>2</sup>C-Bus  
Specification“
- [4] Bussysteme : Parallele und serielle  
Bussysteme, lokale Netze, Herausgegeben  
von Georg Färber und verfasst von Bernd  
Wiemann
- [5] <http://www.esacademy.com/fag/i2c>  
I<sup>2</sup>C-Info-Homepage



# Kontroller-Baustein für den FHFtrain

Achim Bumüller  
Fachhochschule Furtwangen  
bumuellr@fh-furtwangen.de

Heinz Sauerburger  
Fachhochschule Furtwangen  
sauerburger@fh-furtwangen.de

6. Februar 2004

## Zusammenfassung

Entwicklung eines digitalen Logikbausteins, der zwischen einem PC/104 Single-Board Rechner und der Lokomotive einer Lehmann Grossbahn platziert ist. Der Kontrollerbaustein steuert den Motor der Lokomotive an, verarbeitet die Daten eines Drehratensensors, spricht ein LCD-Display an und kontrolliert digitale Ein- und Ausgangssignale. Die einzelnen Module werden von einer Finit-State-Machine kontrolliert. Die Schaltung ist komplett in VHDL geschrieben und auf dem Altera Baustein EPM7160SLC84 aus der MAX7000S Serie implementiert.

## 1 Einführung

Der FHFtrain ist eine Experimentierplattform im Bereich Ubiquitous Computing an der Fachhochschule Furtwangen. Dabei handelt es sich um eine vernetzte computergesteuerte Lehmann Großbahn Eisenbahnanlage. Mit dieser Anlage sollen wichtige Konzepte von Ubiquitous Computing wie die Datenhaltung und die Datenweiterleitung untersucht werden. Außerdem werden an der Anlage Energieversorgungskonzepte untersucht.

Auf der Lok selbst befindet sich ein PC/104 Rechner mit einem wireless LAN Interface und einer Infrarot-Schnittstelle. Mit dem LAN Interface kann die Lok über das Internet angesteuert werden. Mittels der Infrarot Schnittstelle kann die Lok mit den einzelnen Waggons kommunizieren. Im Führerhaus der Lok befinden sich eine analoge Platine, die die Energieversorgung der Lok sicherstellt, und eine digitale Platine, die den Kontroller-Baustein enthält. Die digitale Platine ist am Parallelport des Rechners angeschlossen. Somit kommuniziert der Kontroller-Baustein über den Parallelport mit dem Single-Board Rechner.

In den nachfolgenden Abschnitten wird der Kontroller-Baustein vorgestellt. Doch bevor auf die Schaltung näher eingegangen wird, ein paar Worte zum Entwurfsprozess.

## 2 Design Flow

Die gesamte Schaltung wurde mit Renoir von Mentor Graphics entworfen. In Renoir lassen sich Finite-State-Machines schnell, anschaulich und synthetisierbar entwerfen. Mit der Blockeingabe ist das Erstellen der Design Entities recht übersichtlich, da die VHDL Entity aus dem Blocksymbol generiert wird. Äusserst hilfreich ist Renoir auch beim Erstellen des Top Designs, da hier die einzelnen Module grafisch verdrahtet werden können. Die Simulation der einzelnen Blöcke und des Top Designs wurde mit Modelsim vorgenommen. Nachdem die Simulationsergebnisse korrekt waren, wurden die VHDL Daten in Leonardo eingelesen und auf die MAX7000S Bibliothek synthetisiert. Von der synthetisierten Schaltung wurde eine EDIF Datei rausgeschrieben und in MAXPLUSII, dem Entwurfstool von Altera, eingelesen. Nach der Platzierung und Verdrahtung in MAXPLUSII wurde die Programmierdatei erstellt und über den parallelen Port des PCs der Altera Baustein EPM7160SLC84 programmiert. Dabei befand sich der Alterabaustein schon auf der Lok. Da die Schaltung während des Design Prozesses öfters verändert wurde, wurde eine Konfigurationsdatei für die Platzierung und Verdrahtung dazugeladen, in der das Pinout festgelegt wurde. Auch die Synthese erfolgte über ein TCL-Skript.

## 3 Spezifikation

Der schematische Aufbau des Kontroller-Bausteins ist in Abbildung 1 dargestellt. Die Schaltung besteht aus dem Datenport (Data.port), dem Digitalen Input (Dig\_in), dem Vier-Quadranten-Dekoder (Four.q), dem Kontroller (Control), dem Digitalen Ausgang (Dig\_out) und der Motor-Ansteuerung (Mot\_man). Der Systemtakt für den Alterabaustein ist 4 MHz, die extern von einem Quarzoszillator erzeugt werden. Vom Parallelport des PC/104 Systems werden vier Steuersignale (strg) und acht Bit für den Adress- bzw. Datenbus (data) abgegriffen. Die Kodierung der Steuersignale ist in Tabelle 2 dargestellt.

Für die Adressen der einzelnen Module werden die

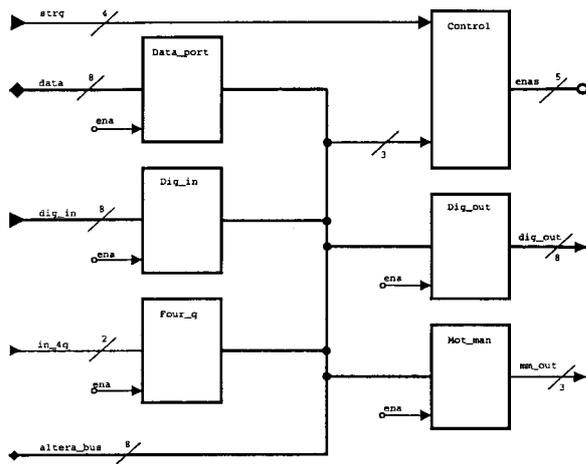


Abb. 1: Schematischer Aufbau des Kontroller-Bausteins

xxxxx001	Digitaler Eingang
xxxxx010	Vier-Quadranten Dekoder
xxxxx100	LCD Display
xxxxx101	Motor Ansteuerung
xxxxx110	Digitaler Ausgang

Tabelle 1: Zuordnung der Adressen

drei unteren Bits des acht Bit breiten Adress- und Datenbusses genommen. Die Zuordnung der Adressen ist in Tabelle 1 dargestellt.

Der acht Bit breite bidirektionale Transceiver am Eingang des Adress- und Datenbusses (Data\_port) ist nach der Initialisierung so geschaltet, daß er das Datum, das am Parallelport des PC/104 Systems anliegt, auf den internen Bus des Altera (altera\_bus) legt. An diesem internen Adress- und Datenbus, nachfolgend als Alterabus bezeichnet, sind die oben angeführten Module angeschlossen. Der Eingangstransceiver des externen LCD Displays greift die Signale direkt von den Pins des Alterabusses ab. Er verfügt über einen Enable Eingang, der von der Finite-State-Machine angesprochen wird. Wird der Transceiver nicht angesprochen, befinden sich seine Ports im hochohmigen Zustand. Dadurch, dass der Alterabus direkt an Ausgangspins geführt wird, ist es erst möglich, den Bus bidirektional und hochohmig zu betreiben.

### 3.1 Adressierung

Für die Adressierung wurde ein möglichst einfaches Protokoll verwendet. Die Adressierung erfolgt über den vier Bit breiten Steuerbus und den acht Bit breiten Adress- und Datenbus. Zur Veranschaulichung der Arbeitsweise des Kontroller-Bausteins wird in Tabelle 3

der Befehlsablauf dargestellt, um Daten vom Parallelport des PCs an die digitalen Ausgänge des Altera Bausteins zu legen.

Das Ergebnis der Simulation ist in Abbildung 5 dargestellt. Es ist deutlich zu sehen, dass der Alterabus und der Parallelport bis  $2.25\mu s$  die gleichen Daten besitzen. Um sicherzustellen, daß auf dem Alterabus die korrekten Daten liegen - es können auch Daten von einem internen Modul z.B. dem Vier-Quadranten-Dekoder auf den Bus gelegt werden - wird der Bus für eine Taktperiode (von  $2.25\mu s - 2.5\mu s$  auf den passiven hochohmigen Zustand geschaltet. In der Simulation ist dies dadurch zu erkennen, daß das Signal data\_en für eine Taktperiode auf logisch Null geht. Nach  $2.5\mu s$  geht das enable Signal des Ausgangslatch "dig\_out\_write\_en" auf logisch Eins, wodurch das Datum des Alterabusses in das Latch geschrieben wird. Nach  $3\mu s$  beendet der PC das Kommando mit dem Befehl "strg = xx00".

## 4 Einzelne Baugruppen

In den nachfolgenden Abschnitten werden die einzelnen Module vorgestellt. Der Ausdruck in Klammern in den jeweiligen Überschriften bezieht sich auf die Bezeichnung in Abbildung 1.

### 4.1 Steuerungslogik (Control)

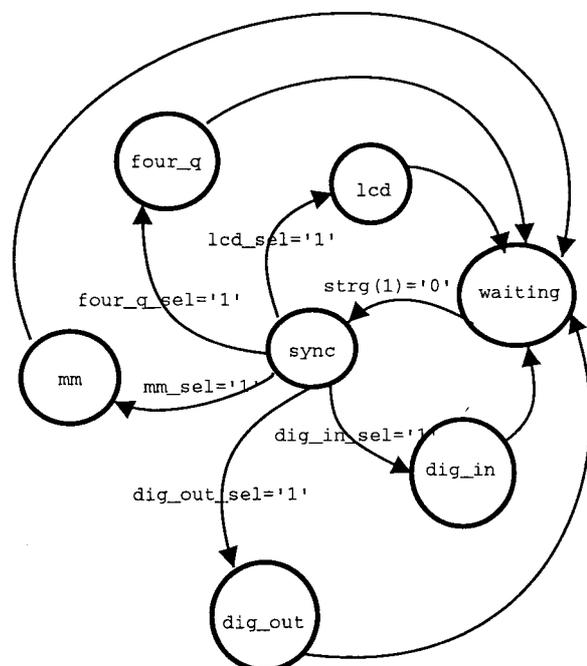


Abb. 2: Oberstes Zustandsdiagramm der Control-Einheit mit den wichtigsten Signalen

Die Steuerungslogik ist das Herz des Kontroller-Bausteins. Sie besteht aus einem Adressdekoder und einer Finite-State-Machine.

Der Adressdekoder dekodiert die Steuersignale des Steuerbusses und erzeugt fünf Selektssignale, die die Finite-State-Machine ansteuern. Das oberste Zustandsdiagramm ist in Abbildung 2 dargestellt.

Der Moore-Automat besitzt sieben Zustände, wobei die Zustände lcd, four.q, mm, dig\_out und dig\_in hierarchische Zustände sind. Die Zustände haben folgende Aufgaben:

- **waiting**  
Das ist der Start- und Standardzustand. Bis auf den Datenport hängen die Eingänge der Module passiv, d.h. im hochohmigen Zustand, am Alterabus. Damit der Baustein aber vom PC/104-System angesprochen werden kann, ist der Eingangstransceiver so eingestellt, dass er Daten vom Parallelport des PC direkt auf den Alterabus weiterleitet.
- **sync**  
Durch den Synchronisationszustand wird sichergestellt, dass die Befehle des PCs nach 250ns am Altera korrekt und konstant anliegen. In dieser Zeit berechnet auch der Adressdekoder die Selektssignale, mit denen die jeweiligen Module angesprochen werden.
- **Motorsteuerung, (mm)**  
Die Fahrstufe, die am Parallelport anliegt, wird auf den Alterabus gelegt, und das Steuerregister des Motorblocks übernimmt das Datenbyte. Im Motorblock werden dann die drei Signale erzeugt, mit denen die H-Brigde angesteuert wird.
- **Vier-Quadranten-Dekoder, (four-q)**  
Der Zählerstand des Vorwärts-Rückwärts-Zählers wird in das Positionsregister geschrieben und über den Tristate-Buffer auf den Alterabus gelegt. Die Daten auf dem Alterabus werden an den Parallelport weitergereicht.
- **Digitaler Ausgang, (dig\_out)**  
An das Latch des digitalen Ausgangs können einmal die Daten des Parallelports angelegt werden, oder es können die Daten dieses Ausgangslatches an den Parallelport zurückgeschrieben werden.
- **Digitaler Input, (dig\_in)**  
Die Daten des digitalen Input Buffers werden über den Alterabus auf den Parallelport des PCs geschrieben.
- **LCD Display, (lcd)**  
Der Transceiver des LCD Displays liest die Daten

des Parallelports ein oder schreibt sie über den Alterabus auf den Parallelport raus.

## 4.2 Motor-Ansteuerung (Mot\_man)

In diesem Modul werden die Signale erzeugt, die die H-Brigde benötigt, um den Motor der Lokomotive anzusteuern. Der prinzipielle Aufbau ist in Abbildung 3 dargestellt.

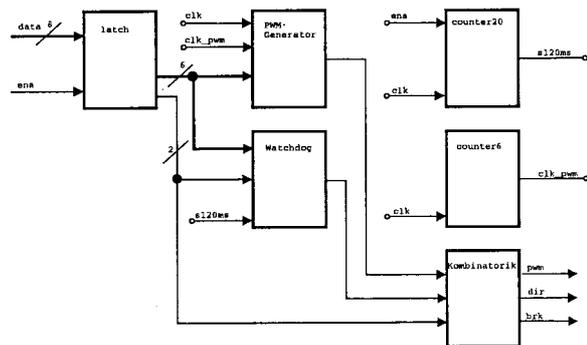


Abb. 3: Schematischer Aufbau des Motor-Ansteuerungs-Moduls

Die Motorsteuerung besteht aus einem Latch, einem PWM Generator, einer Watchdog Schaltung, einem Kombinatorik-Block und zwei Frequenzteilern. Die Fahrstufe, die die Geschwindigkeit des Zuges bestimmt, ist in den unteren sechs Bits kodiert. Die einzelnen Schaltungen haben folgende Funktion:

**Latch:** ist das Fahrsteuerregister. Es übernimmt das Byte vom Alterabus und speichert dieses solange, bis ein neues Byte oder das Reset Signal angelegt wird. Die unteren sechs Bits sind an den PWM Generator und die Watchdog Schaltung angeschlossen. Die letzten beiden Bits gehen direkt in den Kombinatorik Block.

**PWM-Generator:** ist ein ladbarer sechs Bit Abwärtszähler. Der Zähler wird nach dem Zurücksetzen mit den unteren sechs Bit des Fahrsteuerregisters geladen. Gleichzeitig wird eine logische Eins an den Ausgang gelegt. Erreicht der Zähler den Wert Null, wird eine logische Null an den Ausgang geschrieben. Durch die Länge des High-Pegels wird die Leistung des Motortreibers gesteuert.

**counter6:** ist ein sechs Bit Zähler, der den Systemtakt um den Faktor 64 herunterteilt.

**counter20:** ist ein zwanzig Bit Zähler, der das 120ms Signal erzeugt, das die Totmann-Schaltung benötigt.

**Kombinatorik:** erzeugt die drei Steuersignale, mit der die H-Brigade angesteuert wird.

**Watchdog:** entspricht der Totmann-Schaltung in der realen Welt. Stürzt das PC/104 System ab oder wird nicht innerhalb von 120 ms ein Wert ins Fahrsteuerregister geschrieben, dann wird der Nothalt ausgelöst. Der Watchdog kann nur zurückgesetzt werden, indem man eine Null ins Fahrsteuerregister schreibt und das Bremsbit - das ist das MSB - auf logisch Null legt.

### 4.3 Vier-Quadranten-Dekoder (Four\_q)

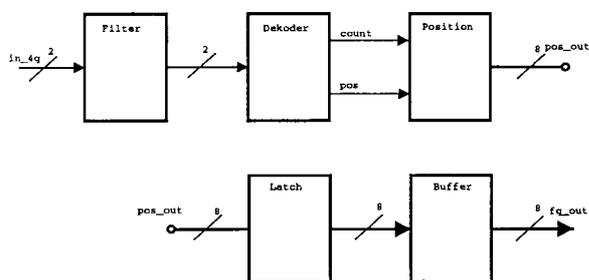


Abb. 4: Prinzipieller Aufbau des Vier-Quadranten-Dekoder

Mit dieser Baugruppe wird die Position der Lokomotive bestimmt. Der Schematische Aufbau ist in Abbildung 4 dargestellt. Sie besteht aus folgenden Funktionsgruppen:

**Eingangsfiler:** filtert die beiden vom Vier-Quadranten-Encoder gelieferten Signale in der Art, dass sie für mindestens drei aufeinanderfolgende Takte unverändert anliegen müssen, bevor sie an den Vier-Quadranten-Dekoder weitergereicht werden.

**Vier-Quadranten-Dekoder:** ist eine Finite-State-Machine, die sowohl die Drehrichtung als auch die Radumdrehungsimpulse ausgibt.

**Positions-Zähler:** ist ein acht Bit Vorwärts-Rückwärts-Zähler, dessen Zählrichtung durch die Fahrtrichtung bestimmt wird und der mit jedem Radumdrehungsimpuls weiter zählt.

**Latch:** liest den aktuellen Zählerstand aus und speichert diesen bis ein neuer Zählerstand ausgelesen wird.

**Tristate Buffer:** befindet sich normalerweise im hochohmigen Zustand. Bei Ansprache legt der Buffer den Zählerstand auf den Alterabus.

Bei einer maximalen Geschwindigkeit der Lok von  $v = 5 \frac{m}{s}$ , einem Raddurchmesser von  $d = 23mm$  und einer Auflösung von  $\frac{1}{60}$  einer Radumdrehung muss der Zählerstand nach spätestens 50ms ausgelesen werden.

### 4.4 Digitale Ein- und Ausgänge

Diese beiden Module dienen der Ansteuerung von Verbrauchern und zum Einlesen von z.B. Tastern.

#### 4.4.1 Digitaler Eingang (Dig\_in)

Die acht digitalen Eingangssignale werden an einen acht Bit breiten Tristate Buffer angelegt. Wird der Buffer angesprochen, legt er die Daten der Eingänge an den Alterabus. Ansonsten befindet sich der Buffer im Tristate Zustand. An das sechste Bit des Buffers ist ein internes Signal von der Watchdog Schaltung angeschlossen. Auf diese Weise ist es möglich, den Wert dieses wichtigen Signals vom PC auszulesen.

#### 4.4.2 Digitale Ausgänge (Dig\_out)

Die Ausgangssignale werden in ein acht Bit breites Latch geschrieben. In dieses Latch können Daten abgelegt aber auch zurückgelesen werden. Dadurch ist es mittels des Rechners möglich, den Zustand der Ausgänge zu überprüfen.

### 4.5 Datenport (Data\_port)

Der Datenport stellt das Bindeglied zwischen dem Parallelport des PC/104 Systems und dem Alterabus da. Der Datenport ist ein acht Bit breiter bidirektionaler Tristate Transceiver, der die Daten sowohl lesen als auch schreiben kann. Normalerweise ist der Transceiver so geschaltet, dass er die Daten des Parallelports auf den Alterabus schreibt. Damit wird sichergestellt, dass bei einem Zugriff auf den Altera Baustein die Adressen gleich auf dem Alterabus anliegen.

## 5 Fazit

Mit den verwendeten Werkzeugen - Renoir als komfortables VHDL-Frontend, Leonardo als Synthese Tool und MaxPlusII als Backend Tool zur Programmierung des Alterabausteins - ließ sich dieses Design recht schnell implementieren. Das Testen lief in zwei Stufen ab. In der ersten Stufe wurde die gesamte Schaltung in einer einfachen Testbench auf Verhaltensebene simuliert und auf logische Fehler überprüft. Die zweite Stufe war der Funktionstest direkt an der Lok. Da das Synthetisieren, das Platzieren und Verdrahten und das Programmieren recht schnell erfolgt, war das die beste Möglichkeit, den Chip in seiner Umwelt zu testen. Die Folge der Teststrategie war jedoch, daß die

Software auf dem PC/104 System mehrfach angepasst werden musste.

## 6 Ausblick

Um die Funktionssicherheit weiter zu erhöhen, ist in der ersten Ausbaustufe daran gedacht, das vorhandene sehr einfache Protokoll durch ein Protokoll mit Handshake-Signalen zu ersetzen.

Aufgrund der begrenzten Anzahl der Flipflops auf dem Altera EPM7160SLC84 - es befinden sich 160 Flipflops auf dem Baustein - mussten einige Funktionen begrenzt werden. Im Vier-Quadranten-Dekoder Modul soll ein weiterer Zähler eingebaut werden, mit dem die Laufleistung der Lok ermittelt werden kann. Dieser Zähler sollte mindestens sechzehn Bit groß sein.

Weiterhin ist daran gedacht, einen Barcode-Leser auf den Kontrollerbaustein zu implementieren.

strg(0)	Altera selektiert	0 = nicht selektiert, 1 = selektiert
strg(1)	Byte Modus	0 = Kommandobyte, 1 = Datenbyte
strg(2)	H/L	0 = low-Byte selektiert, 1 = high-Byte selektiert
strg(3)	R/W	0 = write <sup>1</sup> , 1 = read <sup>2</sup>

Tabelle 2: Kodierung der Steuersignale

Kommentar	Steuerbus	Datenbus
PC legt Adresse an (dig. Ausgang) Kommandobyte, Altera ausgewählt	xx01	xxxxx110
PC wartet 1µs <sup>3</sup>		
PC legt Datum an auf Alterabus schreiben, Datenbyte, Altera ausgewählt	0x11	01010101
PC wartet 1µs <sup>4</sup>		
Zyklus wird abgeschlossen, Altera wird deselektiert	xx00	

Tabelle 3: Befehlsablauf für das Schreiben auf den digitalen Ausgang

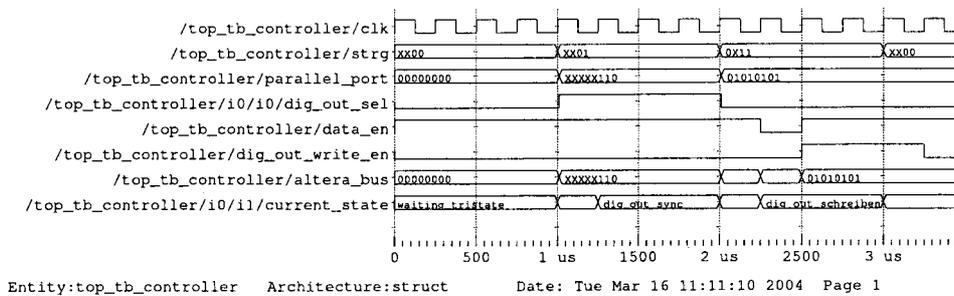


Abb. 5: Simulation der Ausgabe von Daten am Digitalen Ausgang

<sup>1</sup>Daten vom Parallelport des PCs werden auf den internen Alterabus geschrieben  
<sup>2</sup>Daten auf dem Alterabus werden vom Parallelport ausgelesen  
<sup>3</sup>Nach max. 250ns sind die Daten vom Kontroller-Baustein übernommen worden.  
<sup>4</sup>Die Daten am Parallelport liegen für mindestens 1µs konstant an.

# Einfache Ersatzschaltbilder beim Entwurf analoger Schaltungen

Prof. i. R. Dipl.-Ing. Wolfgang Steimle  
Hochschule für Technik und Wirtschaft Reutlingen  
Studiengang Elektronik

## Kurzfassung:

Der Entwurf analoger Schaltungen ist ein iterativer Prozeß. Einfache Ersatzschaltbilder für die Transistoren beschleunigen ihn, weil sie die Intuition bei nötigen Schaltungsmodifikationen fördern. Daher werden einige derartige Gleich- und Wechselstrom-Ersatzschaltbilder für bipolare Transistoren vorgestellt.

Nach der Bestimmung der Arbeitspunkte kann man alle interessierenden Systemfunktionen berechnen und durch ihre Pole und Nullstellen charakterisieren.

Dieser Ansatz liefert Informationen über den Grad der Systemfunktionen und die Lage ihrer Pole und Nullstellen, somit auch über besondere Eigenschaften wie Stabilität und Minimalphasigkeit.

Ausgehend von der T-förmigen Struktur des Bipolartransistors wird ein Pi-förmiges Ersatzschaltbild ähnlich dem von Giacoleto für die Emitterschaltung hergeleitet, das nach einer unbedeutenden Vernachlässigung nur noch Systemfunktionen vom 2. Grad ergibt.

Die erhaltenen Ergebnisse sind so einfach, daß bei Einzelstufen ein Taschenrechner zur Auswertung genügt. Bei mehrstufigen Schaltungen empfiehlt sich der Einsatz von bekannten Simulationsprogrammen. Dabei ergeben sich kurze Rechenzeiten, vor allem bei der Berechnung von Frequenzgängen, weil keine Gleichströme und Nichtlinearitäten zu berücksichtigen sind.

Inhalt	Seite
<b>1. Einleitung</b> .....	1
<b>2. Arbeitspunkt</b>	
2.1 Grundlagen .....	2
2.2 Berechnung bei gegebener Schaltung (Analyse) .....	4
2.3 Ermittlung der Widerstände (Synthese) .....	5
2.4 Einfluß auf die Wechselstrom-Eigenschaften .....	5
<b>3. Wechselstrom-Ersatzschaltbilder</b>	
3.1 Einfachstes Wechselstrom-Ersatzschaltbild .....	6
3.2 Frequenzabhängigkeit der Stromverstärkung .....	6
3.3 T-Ersatzschaltbild mit Rückwirkungskapazität .....	7
3.4 Pi-Ersatzschaltbild für die Emitterschaltung .....	7
<b>4. Anwendung der Ersatzschaltbilder</b>	
4.1 Eingangsimpedanz einer Emitterstufe .....	9
4.2 Spannungsverstärkung und obere Grenzfrequenz einer Emitterstufe .....	11
4.3 Eingangsimpedanz einer Kollektorstufe .....	12
4.4 Instabilität bei Kollektorstufen .....	16

## 1. Einleitung

Als die Transistoren erfunden waren, entstand das Problem, ihre Eigenschaften den Anwendern verständlich zu machen. Diese waren und sind in erster Linie Elektrotechniker bzw. Nachrichtentechniker, die ihre Produkte in der Regel durch grafische Symbole - die Schaltzeichen - beschreiben, die beliebig miteinander verknüpft sein können. Man nennt das "Schaltbild", "Stromlaufplan" oder einfach "Schaltung". Die Schaltzeichen beschreiben physikalische Effekte, wie z. B. den Widerstand, den ein elektrischer Leiter der Bewegung von Ladungsträgern entgegensetzt, oder elektrische oder magnetische Felder.

Alle Schaltzeichen sind Idealisierungen, besonders die für den Ohmwiderstand  $R$ , die Kapazität  $C$  und die Induktivität  $L$ , da sie jeweils nur **einen** Effekt beschreiben, der streng genommen nie allein auftritt. Aber gerade die Vereinfachungen ermöglichen erst die theoretische Untersuchung sehr komplizierter Anordnungen.

Schaltzeichen für **Transistoren** beschreiben mit **einem** grafischen Symbol eine Fülle von physikalischen Effekten und Eigenschaften. Sie zu verstehen oder dieses Verständnis anderen Personen weiterzugeben erfordert einige Anstrengung. Da ist es sehr hilfreich, wenn es gelingt, eine Anordnung aus einfacheren Schaltelementen zu finden, die das Verhalten des Transistors hinreichend genau beschreibt, denn auf diese Anordnung, die wir "Ersatzschaltbild" oder kurz "Ersatzbild" nennen, kann der Elektrotechniker bekannte und eingeübte Verfahren anwenden.

Daher gab es zwischen 1950 und 1960 zahlreiche Veröffentlichungen, die sich mit solchen Ersatzbildern beschäftigten. Leider hatten sie wegen der Vielzahl der vorgeschlagen Ersatzbilder meist den Nachteil, daß die Zahlenwerte der verwendeten Schaltelemente nicht allgemein bekannt waren bzw. von den Transistorherstellern in den Datenblättern nicht angegeben wurden. Das ist heute noch so und zum Teil auch bei den hier vorgestellten Ersatzbildern der Fall. Diesem Mangel werde ich aber besondere Aufmerksamkeit widmen.

Meine Erfahrungen mit Bipolartransistoren habe ich 1984 in einem zweibändigen Werk niedergelegt, das mittlerweile vergriffen ist. Leider hat es in neueren Lehrbüchern nur wenig Niederschlag gefunden, weil das Gebiet der Ersatzbilder in der Wissenschaft schon lange nicht mehr bearbeitet wird.

Deshalb trage ich gerne bei jeder Gelegenheit darüber vor. Wenn ich dabei ein wenig missionarisch wirke, so sehen Sie mir das bitte nach.

Betrachten Sie meinen Vortrag weniger unter wissenschaftlichen als vielmehr unter didaktischen Gesichtspunkten. Ich möchte Ihnen einen Ansatz vorstellen, wie man Studierende der Nachrichtentechnik vielleicht am einfachsten zum kreativen Entwurf analoger Schaltungen mit bipolaren Transistoren befähigt.

Zunächst ist zu überlegen, wie eine Schaltungsentwicklung eigentlich abläuft. In der Praxis steht man vor einer Synthesaufgabe: Die Eigenschaften sind vorgegeben, gesucht ist die Schaltung. Was man an Hochschulen lernt, ist aber das Gegenteil davon: Die Analyse **gegebener** Schaltungen. Bild 1 [2, S. 11] zeigt, was in aller Regel tatsächlich geschieht. Die Analyse einer gewählten Schaltung ergibt meist, daß diese die Anforderungen **nicht** erfüllt. Man modifiziert sie und analysiert wieder, u.s.w. Die Anzahl der Schleifendurchläufe hängt stark davon ab, wie geschickt die Modifikationen vorgenommen werden. Ich bin davon überzeugt, daß einfache Ersatzbilder dabei die Intuition fördern. Manche Schleifendurchläufe lassen sich sogar im Kopf durchführen.

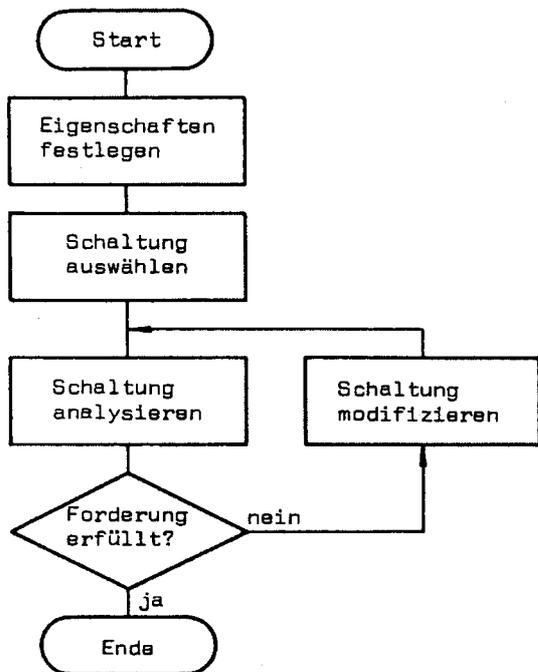


Bild 1: Ablauf einer Schaltungsentwicklung.

Beim Entwurf einer Anlogschaltung muß man zunächst die Arbeitspunkte der Transistoren bestimmen, also Gleichstromprobleme lösen. Danach untersucht man die Wechselstromeigenschaften bei mittleren und tiefen Frequenzen. Ist der Frequenzgang schließlich in Ordnung, ist vielleicht das Rauschen zu groß oder es treten zu starke nichtlineare Verzerrungen auf. Dann geht alles wieder von vorne los.

In der Konsequenz müssen wir uns erst kurz mit den Gleichstromeigenschaften beschäftigen. Ich gehe aber davon aus, daß Ihnen diese weitgehend bekannt sind und fasse mich da möglichst kurz.

## 2. Arbeitspunkt

Der Arbeitspunkt - charakterisiert durch den Emitterstrom und die Kollektor-Emitter-Spannung - ist wichtig, weil er die Wechselstromeigenschaften stark beeinflusst. Bevor ich auf seine Berechnung eingehe, muß ich kurz einige Grundlagen behandeln.

### 2.1 Grundlagen

Die Ersatzbilder, die ich bevorzuge, orientieren sich eng an der physikalischen Struktur des Bipolartransistors, der bekanntlich aus 3 Schichten mit abwechselndem Leitfähigkeitstyp besteht (Bild 1).

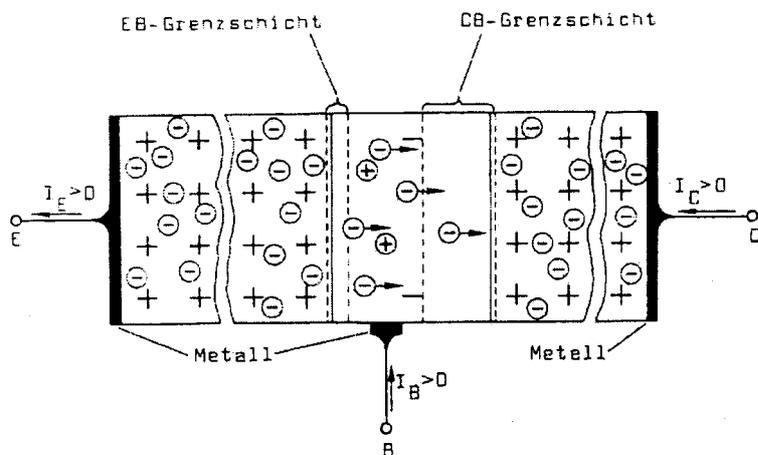


Bild 2: Physikalisches Modell des npn-Transistors [1, S. 22].

Wenn man sich auf den aktiven Bereich beschränkt, läßt sich der Transistor für Arbeitspunktberechnungen durch das Gleichstrom-Ersatzbild in Bild 3 darstellen.

Der Faktor B ist die Gleichstromverstärkung in Emitterschaltung, die als Funktion des Kollektorstroms aus dem Datenblatt des Transistors zu entnehmen ist. Es gilt:

$$B = \frac{I_C}{I_B} \quad (1)$$

B nimmt um etwa 1% pro Grad mit der Temperatur zu:

$$\frac{1}{B} \cdot \frac{dB}{dT} \approx 0,01/K \quad (2)$$

Die Strom/Spannungs-Kennlinie der Basis-Emitter-Diode ist - bis auf den Emitterbahnwiderstand  $r_0$  - die Kennlinie des physikalisch idealen pn-Übergangs:

$$U_{BE} = U_T \ln \left( \frac{I_E}{I_S} + 1 \right) + r_0 I_E \quad (3)$$

Darin ist

$$U_T = \frac{kT}{e} \quad (4a)$$

die sog. "Temperaturspannung". Sie ergibt sich mit der Boltzmann-Konstante

$$k = 1,38 \cdot 10^{-23} \text{ Ws/K} \quad (4b)$$

und der Elementarladung

$$e = 1,6 \cdot 10^{-19} \text{ As} \quad (4c)$$

bei der absoluten Temperatur  $T = 300 \text{ K}$  zu  $26 \text{ mV}$ .

Der Sperrsättigungsstrom  $I_S$  ist in keinem Datenblatt direkt zu finden und läßt sich auch nicht messen (bei Raumtemperatur), da er von anderen Sperrströmen [1, S. 53] überdeckt wird. Er bestimmt aber den Verlauf der Kennlinie im Durchlaßbereich. Daher läßt er sich aus (3) eliminieren, wenn man **einen** Punkt A der Basis-Emitter-Kennlinie kennt. Diesen wiederum findet man in der Regel angegeben, oft sogar mit garantierten Toleranzen. Seine Koordinaten seien  $U_{BEA}, I_{EA}$  (Bild 4).

Wenn man bei der Eliminierung von  $I_S$  aus (3) die Eins in der Klammer vernachlässigt, erhält man die folgende bequemere Form der Kennliniengleichung:

$$U_{BE} = U_{BEA} + U_T \ln \frac{I_E}{I_{EA}} + r_0 (I_E - I_{EA}) \quad (5)$$

Mit (5) kann man die Kennlinie berechnen, wenn man nur den einen Punkt A kennt; sie geht exakt durch den Punkt A, aber **nicht** durch den Nullpunkt: Durch die oben erwähnte Vernachlässigung wird sie um den Wert von  $I_S$  nach oben verschoben. Dieser Fehler ist angesichts des Zahlenwerts von  $I_S$  von weniger als  $1 \text{ pA}$  im Durchlaßbereich unbedeutend. Nur wenn die Kennliniengleichung in ein Rechenprogramm eingebaut wird, sollte man besser die Form (3) verwenden.

Sollten im Datenblatt für  $U_{BEA}$  und  $I_{EA}$  keine Zahlenwerte angegeben sein, so nimmt man ersatzweise die folgenden:

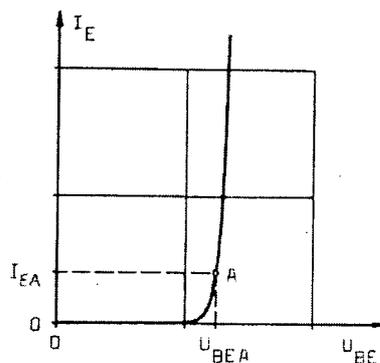
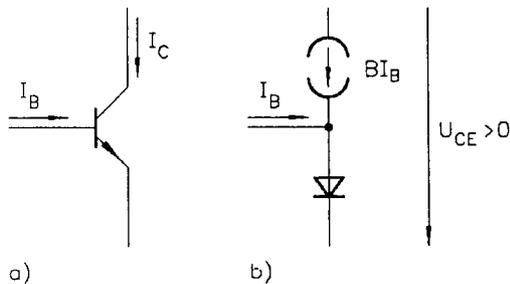


Bild 4: Basis-Emitter-Kennlinie mit Punkt A (Vorsicht! A ist nicht der Arbeitspunkt!).



$$U_{BEA} = 600 \text{ mV} \pm 100 \text{ mV bei } I_{EA} = 1 \text{ mA} \quad (6)$$

Die Richtigkeit von (5) und (6) wurde durch Messungen [1, S. 42] nachgeprüft. Der Emitterbahnwiderstand  $r_o$  bewegt sich bei Kleinsignaltransistoren im Bereich 0,5 .. 1  $\Omega$ . Ihn muß man aus dem Abbiegen der Kennlinien bei hohen Strömen von dem in halblogarithmischer Darstellung geraden Verlauf bestimmen.

Bild 3: Schaltzeichen (a) und Gleichstrom-Ersatzbild (b).

Die Temperaturabhängigkeit der Basis-Emitter-Spannung läßt sich ebenfalls recht genau angeben; sie ergibt sich zu [1, S. 46]

$$\frac{dU_{BE}}{dT} = \frac{U_{BE} - \Delta U_G}{T} - \frac{k}{e} \left( s + \frac{r_o I_E}{U_T} \right) \quad (7a)$$

Darin ist  $\Delta U_G = 1,248 \text{ V} \quad (7b)$

der Bandabstand zwischen Valenz- und Leitfähigkeitsband bei Silizium und

$$s = 1,5 \quad (7c)$$

eine Technologiekonstante.

Auch bei der Temperaturabhängigkeit der Basis-Emitter-Spannung stimmen Rechnung und Messung sehr gut überein [1, S. 48]. Es ist daher nicht verwunderlich, daß man eine Formel herleiten kann, welche die Basis-Emitter-Spannung als Funktion des Emitterstroms **und** der Temperatur angibt [1, S. 50]. Sie ist besonders in Rechnerprogrammen sehr nützlich.

Damit sind die Grundlagen für die Berechnung des Arbeitspunkts gelegt, und wir können uns diesem Thema zuwenden. Auch dies soll nur kurz geschehen.

## 2.2 Berechnung bei gegebener Schaltung (Analyse).

Als die am besten geeignete Methode zur Stabilisierung des Arbeitspunkts einer Einzelstufe hat sich eine Schaltung herauskristallisiert, die ich als "Gleichstrom-Grundschtung" bezeichne, weil sie in allen drei Wechselstrom-Grundschtungen angewendet wird. Der Emittergleichstrom  $I_{E\bullet}$  im Arbeitspunkt läßt sich mit den oben angegebenen Grundlagen iterativ beliebig genau berechnen. Dasselbe gilt für seine Temperaturabhängigkeit [1, S. 59]. Das ist nichts Neues.

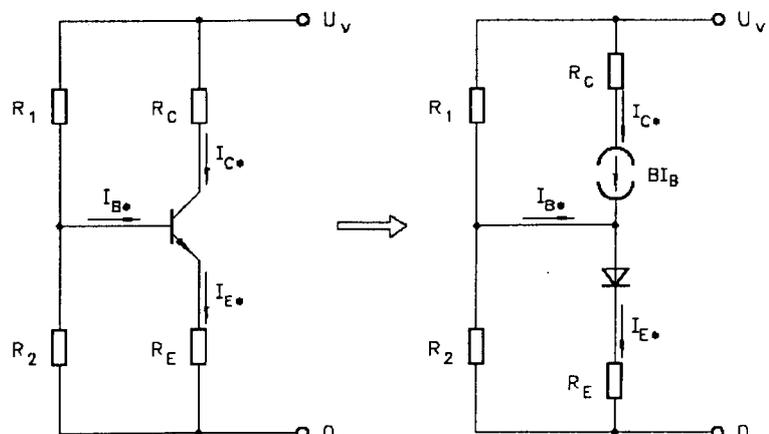


Bild 5: Gleichstrom-Grundschtung.

Interessanter ist vielleicht, daß es mir gelungen ist, ein Syntheseverfahren zu finden, mit dessen Hilfe man die Widerstände der Gleichstrom-Grundschialtung exakt berechnen kann, wenn man bestimmte Forderungen an die Toleranz des Emitterstroms stellt.

### 2.3 Ermittlung der Widerstände (Synthese)

Wie bei allen Syntheseverfahren ist es entscheidend, in welcher Weise die Forderungen an die Eigenschaften der Schaltung formuliert werden.

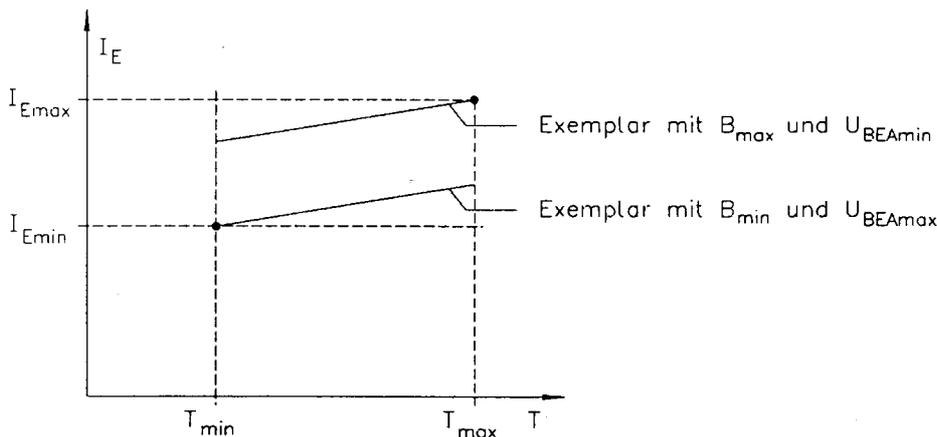


Bild 6: Schranken für den Emitterstrom in einem vorgegebenen Temperaturintervall.

Mit den in Bild 6 dargestellten Angaben bezüglich der Grenzen, in denen der Emitterstrom liegen darf, lassen sich geschlossene Formeln für die Widerstände  $R_1$ ,  $R_2$  und  $R_E$  herleiten. Dabei müssen die Toleranzen der Stromverstärkung  $B$  und der Basis-Emitter-Spannung  $U_{BE}$  in dem gegebenen Temperaturintervall bekannt sein [1, S. 65]. Der Kollektorwiderstand  $R_C$  ist primär ohne Einfluß auf den Kollektorstrom, erst auf dem Umweg über die Eigenerwärmung spielt er eine Rolle. Damit scheint mir das Problem der Arbeitspunktbestimmung vollständig gelöst zu sein.

### 2.4 Einfluß des Arbeitspunkts auf die Wechselstrom-Eigenschaften

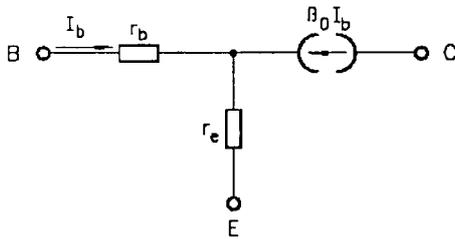
Wie später gezeigt werden wird, ist die Wechselstromsteilheit  $S$  direkt proportional zum Emitterstrom und die Eingangsimpedanz des Transistors in Emitterschaltung umgekehrt proportional; dies ist zweifellos eine starke Abhängigkeit. Weniger stark, aber ebenfalls nicht vernachlässigbar, ist die Abhängigkeit der Wechselstromverstärkung  $\beta$  und der Transitfrequenz  $f_T$  vom Emitterstrom. Von der Kollektor-Emitter-Spannung hängen nur die Kollektor-Basis-Kapazität  $C_{cb}$  und die Transitfrequenz deutlich ab.

## 3. Wechselstrom-Ersatzbilder

Es lohnt sich, für die verschiedenen Probleme spezialisierte Ersatzbilder zu verwenden. Die wichtigste Unterscheidung ist die, Probleme an der oberen Grenze des Frequenzbereichs von denen bei mittleren und tiefen Frequenzen zu trennen

### 3.1 Einfachstes Wechselstrom-Ersatzbild

Aus dem Gleichstrom-Ersatzbild nach Bild 2 leitet man einfach durch Differentiationen im Arbeitspunkt das in Bild 7 dargestellte Wechselstrom-Ersatzbild ab. Es reicht aus für die Berechnung der Eigenschaften bei tiefen und mittleren Frequenzen in Stufen, bei denen es auf die Spannungsrückwirkung nicht ankommt.



Auf das Ersatzbild zur Berücksichtigung der Spannungsrückwirkung bei tiefen Frequenzen kann ich hier nicht eingehen, obwohl es gerade da einige interessante Zusammenhänge zu berichten gäbe [1, S. 79]; man benötigt es z.B. bei Stufenverstärkungen über etwa 100.

Bild 7: Einfachstes Wechselstrom-Ersatzbild.

Der differentielle Emitterwiderstand  $r_e$  folgt aus der Kennliniengleichung (5) der Basis-Emitter-Diode durch Differenzieren nach  $I_E$ :

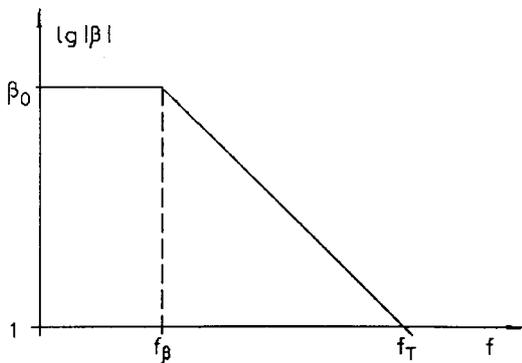
$$r_e = \frac{U_T}{I_E} + r_0 \quad (8)$$

Der Basisbahnwiderstand  $r_b$  ist bei diesen Frequenzen zu vernachlässigen. Als Anhaltspunkt kann der Wert  $50\Omega$  dienen. Genaueres im Abschnitt 3.4.

### 3.2 Frequenzabhängigkeit der Stromverstärkung

Es gibt zwei wesentliche physikalische Effekte, welche die Eigenschaften der Transistoren bei hohen Frequenzen bestimmen: Die Trägheit der Diffusion und die elektrische Ladung in der Kollektor-Basis-Sperrschicht. Erstere läßt sich durch die Frequenzabhängigkeit der Wechselstromverstärkung  $\beta$  hinreichend genau beschreiben. Dabei genügt die Annäherung durch eine Tiefpaßfunktion 1. Grades; das ist durch Messungen gut nachgewiesen:

$$\beta(s) = \frac{\beta_0}{1 + \frac{s}{\omega_\beta}} \quad (9)$$



Diese Frequenzabhängigkeit läßt sich ganz einfach in das Ersatzbild einführen, indem man in Bild 7  $\beta_0$  durch  $\beta(s)$  ersetzt.

In Simulationsprogrammen ist es allerdings erforderlich, dazu eine vom Ersatzbild getrennte Zusatzschaltung einzuführen, weil diese Programme meist keine frequenzabhängigen gesteuerten Stromquellen zur Verfügung stellen. Diese besteht aus einer vom Basisstrom  $I_b$  im Ersatzbild gesteuerten Stromquelle ohne Frequenzabhängigkeit, de-

Bild 8: Bodediagramm des Frequenzgangs der Stromverstärkung.

ren Strom durch ein paralleles RC-Glied fließt. Der Strom durch den Widerstand des RC-Glieds steuert dann die Stromquelle im Ersatzbild. Damit ergibt sich der in Bild 8 gezeigte Frequenzgang der Stromverstärkung.

Die Frequenz, bei welcher der Betrag der Stromverstärkung 1 wird, bezeichnet man als die "Transitfrequenz"; sie ergibt sich wegen des frequenzproportionalen Abfalls zu

$$f_t = \beta_0 f_B. \quad (10)$$

Die Berücksichtigung der Frequenzabhängigkeit der Stromverstärkung allein genügt aber nicht zur Berechnung der Hochfrequenzeigenschaften einer Schaltung. Der Einfluß der Kollektor-Basis-Kapazität  $C_{cb}$  ist der zweite wesentliche Effekt. Um ihn einzubeziehen, bedarf es einer Erweiterung des Ersatzbilds, die Thema des nächsten Abschnitts sein wird.

### 3.3 T-Ersatzbild mit Rückwirkungskapazität

Bild 9 zeigt ein Ersatzbild, in dem auf den ersten Blick nur die Kollektor-Basis-Kapazität  $C_{cb}$  neu erscheint. Bemerkenswert ist jedoch, daß die Stromquelle nicht mehr von dem Basisstrom am **Eingang** gesteuert wird, sondern vom **inneren** Basisstrom  $I_{b'}$ . Das ist erforderlich, weil der Strom durch die Kollektor-Basis-Kapazität nichts zur Umladung der Basis beiträgt [3].

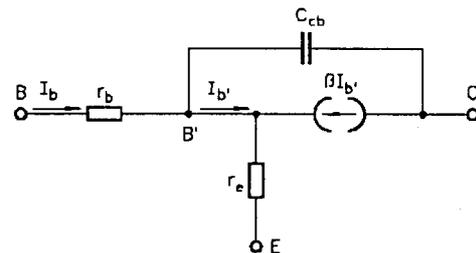


Bild 9: Erweitertes T-Ersatzbild mit Rückwirkungskapazität.

Das Ersatzbild läßt sich in allen drei Wechselstrom-Grundsaltungen im gesamten Frequenzbereich, also etwa bis zur Transitfrequenz, zur Berechnung des Hochfrequenzverhaltens einsetzen. Leider liefert es Systemfunktionen 3. Grades, zu deren Auswertung man schon einen programmierbaren Rechner einsetzen muß.

Speziell in der Emitterschaltung kann man es aber in ein vereinfachtes pi-förmiges Ersatzbild umwandeln, mit dem man noch im Kopf ohne Rechner arbeiten kann, weil die Systemfunktionen lediglich vom 2. Grade sind. Diese Umwandlung möchte ich Ihnen anhand des nächsten Bildes vorführen.

### 3.4 Pi-Ersatzbild für die Emitterschaltung

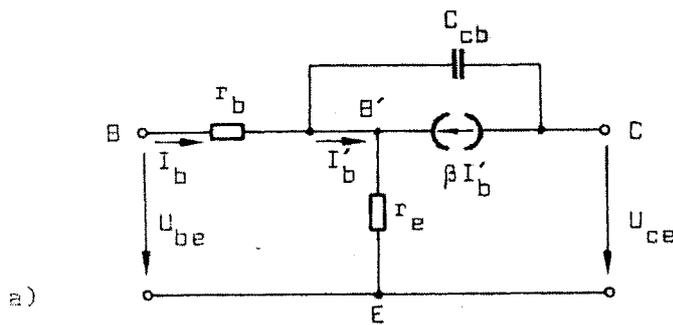
Ausgangspunkt ist das T-Ersatzbild mit Rückwirkungskapazität. Es wird zunächst in mehreren Schritten äquivalent umgewandelt. Sodann machen wir eine geringfügige Vernachlässigung, die aber zu einer entscheidenden Vereinfachung führt.

Wir gehen in folgenden Schritten vor:

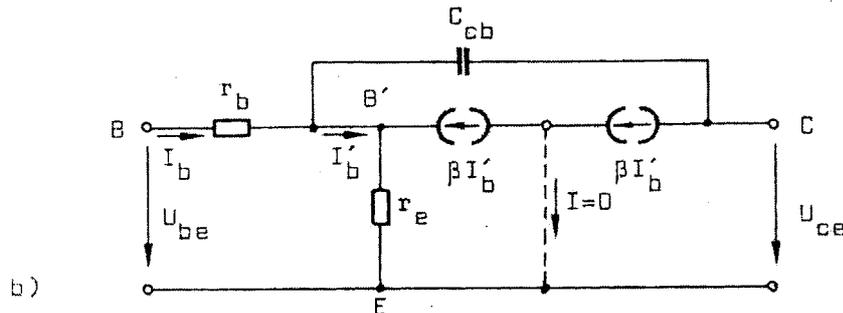
- a) - b): Wir verdoppeln die gesteuerte Stromquelle. Da der Verbindungspunkt per definitionem stets stromlos sein muß, dürfen wir ihn an jedem beliebigen Punkt der Schaltung anschließen. Wir legen ihn an Masse und erhalten so zwei Stromquellen, von denen die eine nur auf den Ausgang wirkt, die andere nur auf den Eingang (Schaltung c).
- c) - d): Die parallel zum differentiellen Emitterwiderstand  $r_e$  liegende Stromquelle können wir weglassen, wenn wir dafür den Emitterwiderstand  $r_e$  mit dem Faktor  $\beta$  multiplizieren.

d) - e): Die Frequenzabhängigkeit von  $\beta$  berücksichtigen wir, indem wir einen den Widerstand  $\beta r_e$  durch einen frequenzunabhängigen Widerstand  $\beta_0 r_e$  parallelgeschaltet mit einer Kapazität ersetzen. Diese Kapazität ergibt sich nach einer kleinen Umrechnung mit (9) zu

$$C_d = \frac{1}{\beta_0 \omega_T r_e} = \frac{1}{\omega_T r_e} \quad (10)$$

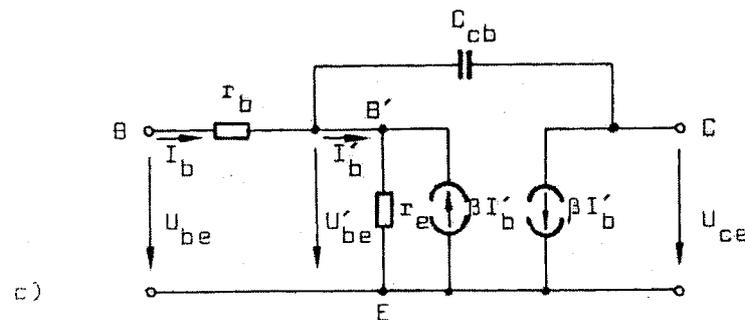


Sie ist bekannt als "Diffusionskapazität". Man kann sie also angeben, wenn man die Transitfrequenz  $f_T$  und, gemäß (8), den Arbeitspunkt kennt.

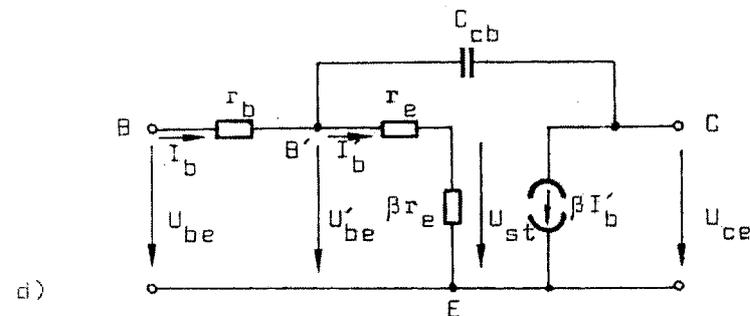


Im Schaltbild e) wird die Stromquelle nicht mehr durch den inneren Basisstrom  $I'_b$ , sondern durch die Spannung  $U_{be}$  gesteuert. Der Steuerfaktor  $S'$  ergibt sich aus der Beziehung

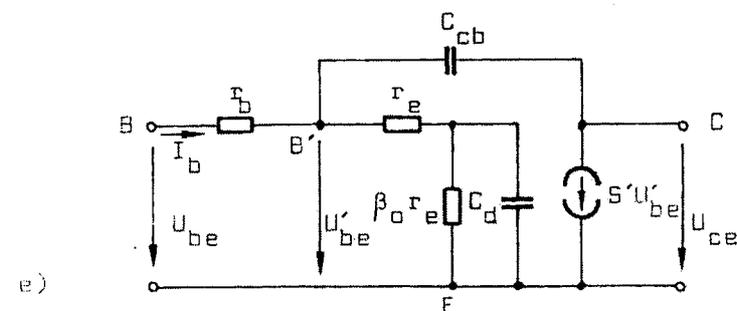
$$U_{st} = \beta I'_b r_e$$



zu  $S' \approx \frac{1}{r_e} \quad (11)$



Dabei wurde die innere Steuerungsspannung  $U_{st}$  mit der Spannung  $U_{be}$  gleichgesetzt. Das ist gleichbedeutend mit dem Weglassen des Längswiderstands  $r_e$  in der Schaltung. Man vernachlässigt dabei eine Tiefpaßfunktion mit einem Pol bei  $-\omega_T$ . (In [1, S.87] ist das genauer erläutert.) Die Transitfrequenz  $f_T$  ist aber ohnehin die Grenze der Brauchbarkeit der Ersatzbilder.

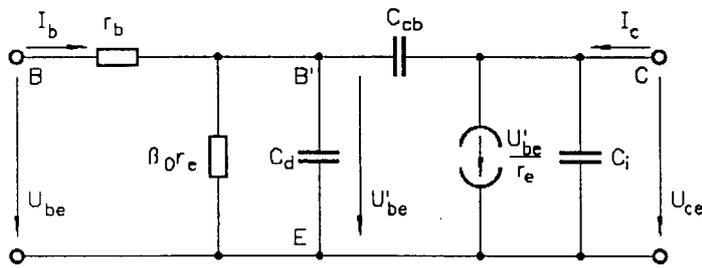


So kommt man zu dem vereinfachten Pi-Ersatzbild in Bild 11, das dem von Giacometto angegebenen sehr ähnlich ist. Wie jenes liefert es nur Systemfunktionen vom 2. Grad, weil ein Dreieck aus 3 Kapazitäten nur 2 unabhängigen Energiespeichern entspricht. Es hat den Vorteil, daß alle wesentlichen benötigten Parameter in normalen Datenblättern zur Verfügung stehen. Problematisch ist dabei allerdings der Basisbahnwiderstand  $r_b$ , über den nur selten Angaben zu finden sind, weil er vom Gleichstrom

Bild 10: Umwandlung des T-Ersatzbilds in ein Pi-Ersatzbild.

essentlichen benötigten Parameter in normalen Datenblättern zur Verfügung stehen. Problematisch ist dabei allerdings der Basisbahnwiderstand  $r_b$ , über den nur selten Angaben zu finden sind, weil er vom Gleichstrom

und von der Frequenz abhängt. Erfahrungsgemäß kann man mit etwa  $50 \Omega$  rechnen. Außerdem liegt vor der Basis häufig noch ein Schwingenschutzwiderstand, so daß Unsicherheiten von  $r_b$  weniger stark ins Gewicht fallen.



Mit diesem Ersatzbild läßt sich in der Emitterschaltung gut arbeiten. Externe Emittterwiderstände lassen sich in den differentiellen Emittterwiderstand einrechnen. Dabei ist nur zu beachten, daß die parasitäre Kapazität  $C_i$  stets auf Masse bezogen ist.

Bild 11: Vereinfachtes Pi-Ersatzbild für die Emitterschaltung.

#### 4. Anwendung der Ersatzbilder

Nachdem wir nun unser Handwerkszeug zur Verfügung haben, wollen wir es benutzen, um einige kleinere Probleme bei Einzelstufen zu lösen. Mehrstufige Anordnungen lassen sich ebenfalls ohne Netzwerkanalyseprogramm behandeln, wenn man stufenweise vorgeht. Dazu ist es dann erforderlich, die Ein- und Ausgangsimpedanzen jeder Stufe zu kennen. Daher beginne ich mit der Aufgabe, die Eingangsimpedanz einer Emittterstufe zu untersuchen.

##### 4.1 Eingangsimpedanz einer Emittterstufe

Die Schaltelemente, die für die Einstellung des Arbeitspunkts erforderlich sind, lassen wir weg und betrachten nur den nackten Transistor. Da der Transistor bei höheren Frequenzen nicht rückwirkungsfrei ist, muß man die Lastimpedanz berücksichtigen.

Als einfachste Näherung für diese Impedanz möge die Parallelschaltung eines Lastwiderstands  $R_L$  mit einer Kapazität  $C_L$  dienen. In der Praxis reicht das meist aus.

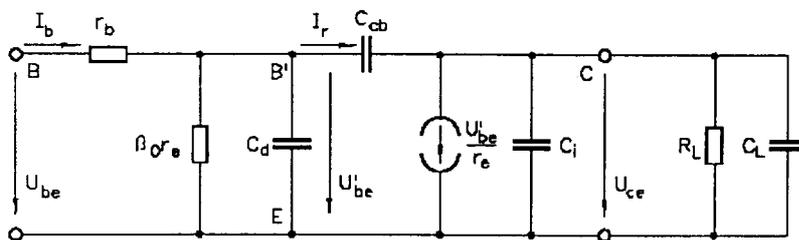


Bild 12: Ersatzschaltung einer Emittterstufe mit Lastimpedanz

Ein Teil der Eingangsimpedanz ist schon durch die Herleitung des Pi-Ersatzbilds bekannt. Es ist der Eingangswiderstand  $\beta_0 r_e$  bei tiefen Frequenzen und die durch die Trägheit der Diffusion bedingte Kapazität  $C_d$ . Hinzu kommt die kapazitive Rückwirkung, die durch die Kollektor-Basis-Kapazität verursacht wird. Sie ist als "Miller-Effekt" bekannt, wird aber meist nur bei mittleren Frequenzen betrachtet, wo die Spannungsverstärkung unabhängig von der Frequenz ist.

Will man die Eingangsimpedanz auch bei höheren Frequenzen berechnen, muß man den Frequenzgang der Spannungsverstärkung mit berücksichtigen. Zu diesem Zweck berechnen wir zunächst die **innere** Spannungs-

verstärkung 
$$\frac{U_{ce}}{U_{b'e}} = v'(s) \quad (12)$$

Sie ergibt sich aus Bild 12 ohne Vernachlässigungen zu

$$v'(s) = - \frac{R_L}{r_e} \cdot \frac{1 - sC_{cb}r_e}{1 + s(C_{cb} + C_i + C_L)R_L} \quad (13)$$

Wie man sieht, verursacht die Kollektor-Basis-Kapazität  $C_{cb}$  eine **rechts**liegende Nullstelle: Auf diese kommen wir später bei der Berechnung der Spannungsverstärkung noch zurück.

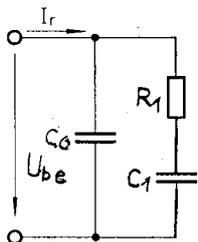
Der Rückwirkungsstrom durch  $C_{cb}$  ist

$$I_r = sC_{cb}(U_{b'e} - U_{ce}) = sC_{cb}U_{b'e}(1 - v') \quad (14)$$

Mit (13) folgt aus (14) die Eingangsimpedanz zwischen den Punkten B' und E:

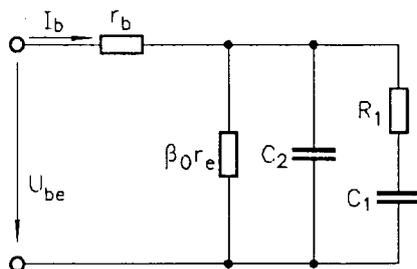
$$Z'(s) = \frac{U_{b'e}}{I_r} = \frac{1}{sC_{cb}} \cdot \frac{1 + s(C_{cb} + C_i + C_L)R_L}{1 + \frac{R_L}{r_e} + s(C_i + C_L)R_L} \quad (15)$$

Diese positiv reelle Funktion läßt sich durch die in Bild 13 dargestellte Ersatzschaltung interpretieren.



Bemerkenswert daran ist vor allem das niederohmige RC-Glied aus  $R_1$  und  $C_1$ , dessen 45°-Frequenz bei der Grenzfrequenz der Spannungsverstärkung  $v'$  liegt.

Bild 13: Durch die kapazitive Rückwirkung verursachter Teil der Eingangsimpedanz einer Emitterstufe.



Zusammen mit der durch die Diffusion verursachten Impedanz ergibt sich die in Bild 14 gezeigte Ersatzschaltung der Eingangsimpedanz. Wenn die Spannungsverstärkung der Stufe einigermaßen groß ist, ist  $C_1 \gg C_2$ .

Bild 14: Ersatzschaltung der gesamten Eingangsimpedanz einer Emitterstufe.

Die Schaltelemente ergeben sich zu:

$$R_1 = R_L \frac{\frac{C_a}{C_{cb}}}{\frac{R_L}{r_e} + \frac{C_{cb}}{C_a}} \quad (16a)$$

$$C_1 = C_{cb} \left( \frac{R_L}{r_e} + \frac{C_{cb}}{C_a} \right) \quad (16b)$$

$$C_2 = C_{cb} \frac{C_i + C_L}{C_{cb} + C_i + C_L} \quad (16c)$$

Konkrete Zahlenbeispiele finden sich in [1, S. 101...103].

Ich habe mich übrigens lange mit der Frage beschäftigt, unter welchen Bedingungen solche Ersatzschaltungen aus frequenzkonstanten Schaltelementen für die Eingangsimpedanz von Verstärkern überhaupt **existieren**. Das Ergebnis war sehr einfach: Immer wenn die Ortskurve der Spannungsverstärkung - hier:  $v'(s)$  - im ersten und zweiten Quadranten bleibt, gibt es eine solche Ersatzschaltung.

#### 4.2 Spannungsverstärkung und obere Grenzfrequenz einer Emitterstufe

Aus Bild 12 ergibt sich die Spannungsverstärkung  $v_e(s)$  der gesamten Stufe zu

$$v_e(s) = \frac{U_{ce}}{U_{be}} \approx - \frac{\beta_0 r_e}{r_b + \beta_0 r_e} \cdot \frac{1 - s C_{cb} r_e}{(1 + s C_2 r_b)(1 + s C_1 R_1) + s C_1 r_b} = v_e(0) \cdot \frac{1 - \frac{s}{z_1}}{\left(1 - \frac{s}{p_1}\right)\left(1 - \frac{s}{p_2}\right)} \quad (17)$$

Die Näherung in (17) bezieht sich darauf, daß  $1 + \beta_0 \approx \beta_0$  gesetzt wurde. Das ist eine Folge der Vernachlässigungen bei der Herleitung des vereinfachten Pi-Ersatzbilds.  $C_1$  und  $C_2$  sind oben schon angegeben worden.

(17) zeigt auch, daß jede Emitterstufe einen Allpaß enthält, weil die Nullstelle positiv ist. Das kann zu Schwierigkeiten bei gegengekoppelten Verstärkern führen, wenn man es nicht berücksichtigt.

Berechnet man aus dem Nenner von (17) die Pole von  $v_e(s)$ , so ergeben sich unübersichtliche Ausdrücke. Oft interessiert man sich jedoch nur für den Pol mit dem kleineren Betrag, weil er die obere Grenzfrequenz ergibt, und die Analyse zahlreicher konkreter Zahlenbeispiele hat ergeben, daß die beiden Pole stets mindestens um den Faktor 10 auseinanderliegen.

Daher kann man die quadratische Gleichung näherungsweise nach der bekannten Beziehung

$$\sqrt{1 + x} \approx 1 + \frac{x}{2} \quad (18)$$

lösen und von den beiden Wurzeln diejenige mit dem kleineren Betrag nehmen. Auf diese Weise kommt man zu einem Ergebnis für die obere Grenzfrequenz der Spannungsverstärkung, das interpretierbar ist und sich sogar im Kopf behalten läßt:

$$f_{oE} \approx \frac{-p_1}{2\pi} \approx \frac{1}{2\pi} \cdot \frac{1}{r_b \left[ C_{cb} \left( 1 + \frac{R_L}{r_e} \right) + \frac{1}{\omega_T r_e} \right] + R_L (C_{cb} + C_i + C_a)} \quad (19)$$

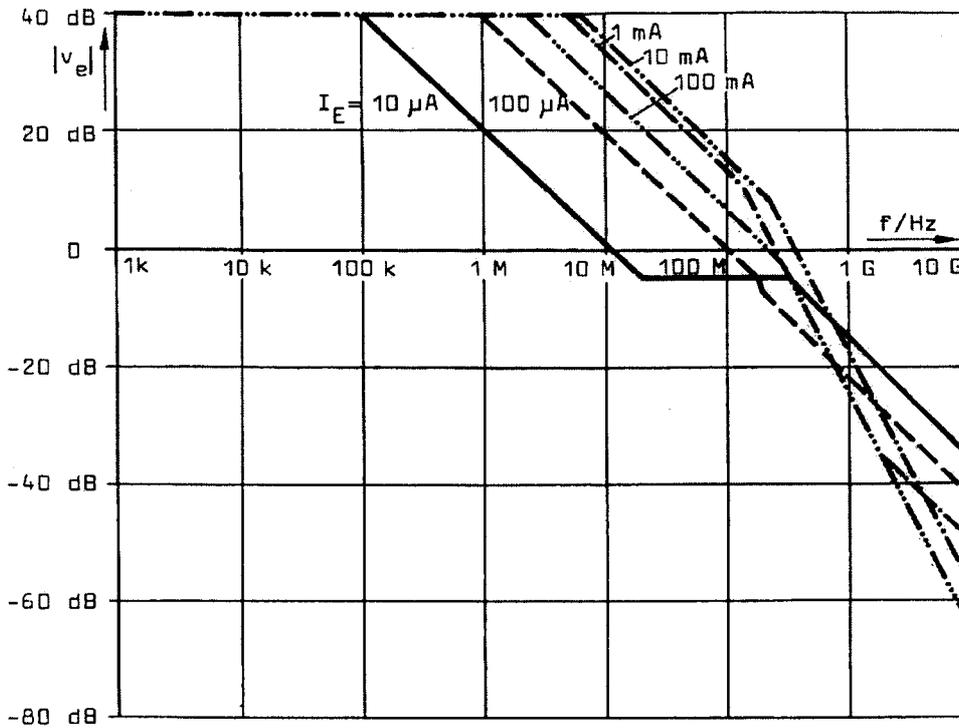


Bild 15: Frequenzgang einer Emittierstufe mit dem Transistor BCY 59 D bei verschiedenen Emittierströmen.

Im Nenner sieht man die Summe von zwei Zeitkonstanten, von denen die erste sich auf die Eingangsseite der Schaltung bezieht, die zweite auf die Ausgangsseite. Der Ausdruck in der eckigen Klammer ist nichts anderes als die Eingangskapazität.

Diese Formel habe ich in der Literatur nur an **einer** Stelle bestätigt gefunden, nämlich in einem Vorlesungsskriptum des Kollegen Guggenbühl von der ETH Zürich [4], leider ohne Herleitung. Ich habe aber auch einige falsche Formeln gefunden. Es würde mich interessieren, ob jemand aus Ihrem Kreise mein Ergebnis bestätigen kann oder eine entsprechende Literaurstelle kennt.

Die Pole von  $v_e(s)$  sind stets negativ reell, man kann also das Bodediagramm sehr leicht zeichnen. Bild 15 zeigt einige solche Verläufe. Parameter ist der Emittiergleichstrom, wobei der Lastwiderstand  $R_L$  immer so variiert wurde, daß sich bei mittleren Frequenzen eine Verstärkung von 40 dB ergibt. Es handelt sich um eine Verstärkerstufe mit dem Transistor BCY 59 D; das ist ein kommerzieller Typ, von dem es relativ ausführliche Daten gibt.

Interessant daran ist vielleicht, daß bei kleinen Strömen die Nullstelle, die ja in der rechten Halbebene liegt, sich schon bei relativ niedrigen Frequenzen auswirkt. Allerdings liegen die Nullstelle und der Pol mit dem kleineren Betrag trotzdem immer noch relativ weit auseinander, nämlich um über zwei Dekaden. Dies liegt an der starken Abnahme der Transitfrequenz dieses Niederfrequenztransistors mit abnehmendem Emittierstrom: Sie geht von 270 MHz bei 10 mA zurück auf 7,5 MHz bei 10  $\mu$ A.

### 4.3 Eingangsimpedanz einer Kollektorstufe

Kollektorstufen werden sehr oft in Schaltungen eingesetzt, weil sie gleichstrommäßig bequem, auch nachträglich, einzufügen sind. Häufig geschieht das auch, um kapazitive Lasten zu treiben, die bei höheren Frequenzen größere Ströme erfordern. Gerade dann kann eine Kollektorstufe jedoch zum Problem werden, weil sie zur Instabilität neigt, sofern sie aus einer induktiven Signalquelle gespeist wird. Als Induktivität genügt schon die

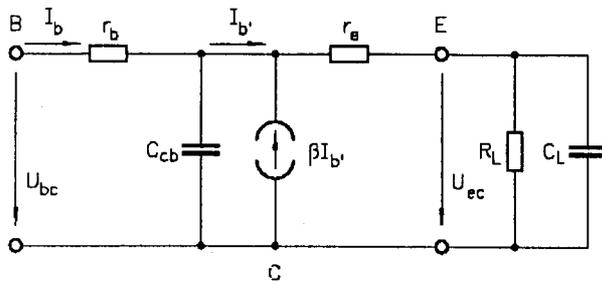


Bild 16: Ersatzschaltung einer Kollektorstufe mit kapazitiver Last.

parasitäre Induktivität der Zuleitungen. Ursache ist die Eingangsimpedanz, deren Ortskurve durch den 3. Quadranten verläuft. Sie läßt sich anhand von Bild 16 berechnen. Man erhält eine Funktion 3. Grades mit 3 Nullstellen von der Form

$$Z_{\text{einC}}(s) = \frac{b_0 + b_1s + b_2s^2 + b_3s^3}{a_0 + a_1s + a_2s^2 + a_3s^3} \quad (20a)$$

mit den Koeffizienten

$$a_0 = 1, \quad (20b)$$

$$a_1 = C_{cb}(1 + \beta_0)(r_e + R_L) + \frac{\beta_0}{\omega_T} + C_L R_L, \quad (20c)$$

$$a_2 = C_{cb}(1 + \beta_0) \left( \frac{r_e + R_L}{\omega_T} + r_e C_L R_L \right) + \frac{\beta_0}{\omega_T} C_L R_L, \quad (20d)$$

$$a_3 = C_{cb}(1 + \beta_0) r_e \frac{C_L R_L}{\omega_T}, \quad (20e)$$

$$b_0 = r_b + (1 + \beta_0)(r_e + R_L), \quad (20f)$$

$$b_1 = r_b \left( \frac{\beta_0}{\omega_T} + C_L R_L \right) + (1 + \beta_0) \left[ (r_e + R_L) \left( \frac{1}{\omega_T} + C_{cb} r_b \right) + r_e C_L R_L \right], \quad (20g)$$

$$b_2 = \beta_0 r_b \frac{C_L R_L}{\omega_T} + (1 + \beta_0) \left[ C_{cb} r_b \left( \frac{r_e + R_L}{\omega_T} + r_e C_L R_L \right) + \frac{r_e C_L R_L}{\omega_T} \right], \quad (20h)$$

$$b_3 = C_{cb} r_b (1 + \beta_0) r_e \frac{C_L R_L}{\omega_T}. \quad (20i)$$

Die Pole in (20a) sind stets negativ reell, bei den Nullstellen ist in der Regel ein konjugiert komplexes Paar dabei, wenn die Lastkapazität nicht Null ist. Da genügen schon sehr kleine Werte im Bereich 1 pF...10 pF [1, S.134].

Auch Emitterstufen mit einem Gegenkopplungswiderstand in der Emitterleitung neigen zu parasitären Schwingungen, vor allem, wenn der Kollektor des Transistors durch eine Massekapazität hochfrequenzmäßig am Bezugspotential liegt. Das ergibt sich z.B. bei NF-Stufen sehr leicht durch geschirmte Leitungen.

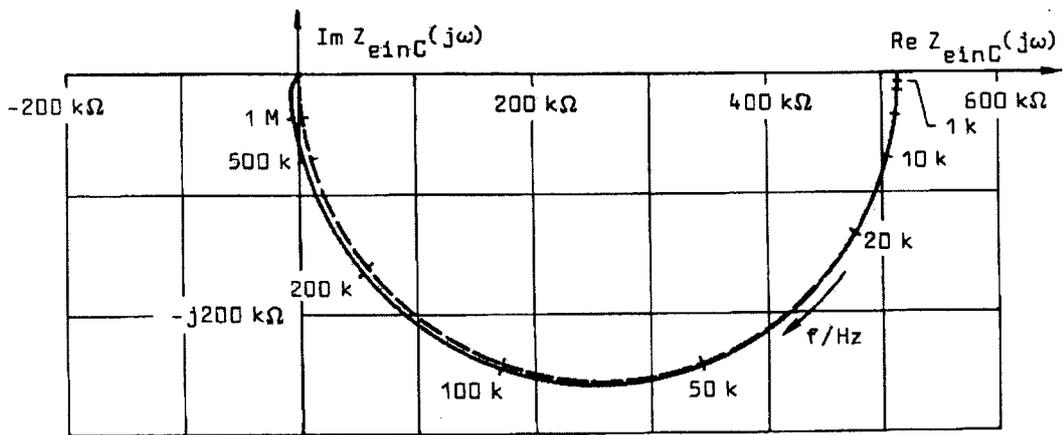


Bild 17: Ortskurve der Eingangsimpedanz einer Kollektorstufe mit kapazitiver Last.

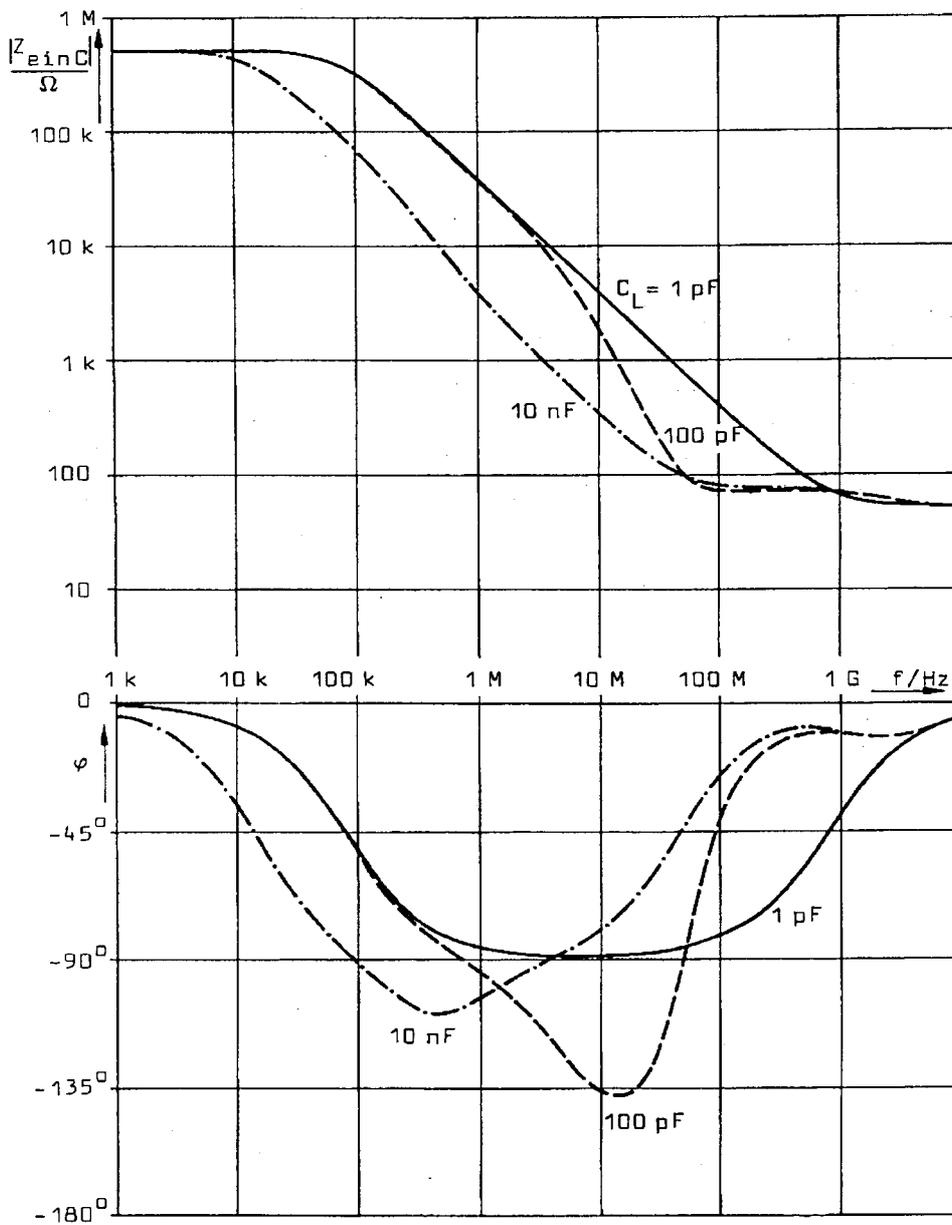
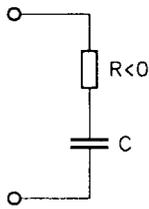


Bild 18: Bodediagramme der Eingangsimpedanz einer Kollektorstufe mit dem Transistor BCY59D bei  $I_E = 1 \text{ mA}$  und  $R_L = 1 \text{ k}\Omega$  für 3 verschiedene Lastkapazitäten.

Bei tiefen Frequenzen verläuft die Ortskurve annähernd halbkreisförmig. Wenn die Lastkapazität  $C_L = 0$  ist, ist das sogar exakt der Fall (gestrichelt in Bild 17 eingezeichnet).

Die Bodediagramme einiger Zahlenbeispiele in Bild 18 zeigen wegen des logarithmischen Maßstabs das Verhalten noch deutlicher.



Impedanzen im 3. Quadranten (Phasenwinkel zwischen  $-90^\circ$  und  $-180^\circ$ ) haben einen negativen Realteil (Bild 19). Sie können also Energie abgeben. Der Imaginärteil ist kapazitiv, wie Bild 17 zeigt.

Bild 19: Eingangsimpedanz einer Kollektorstufe bei hohen Frequenzen.

Wie der negative Realteil entsteht, lässt sich leicht erklären, wenn man die Frequenzabhängigkeit der Stromverstärkung nach (9) heranzieht.

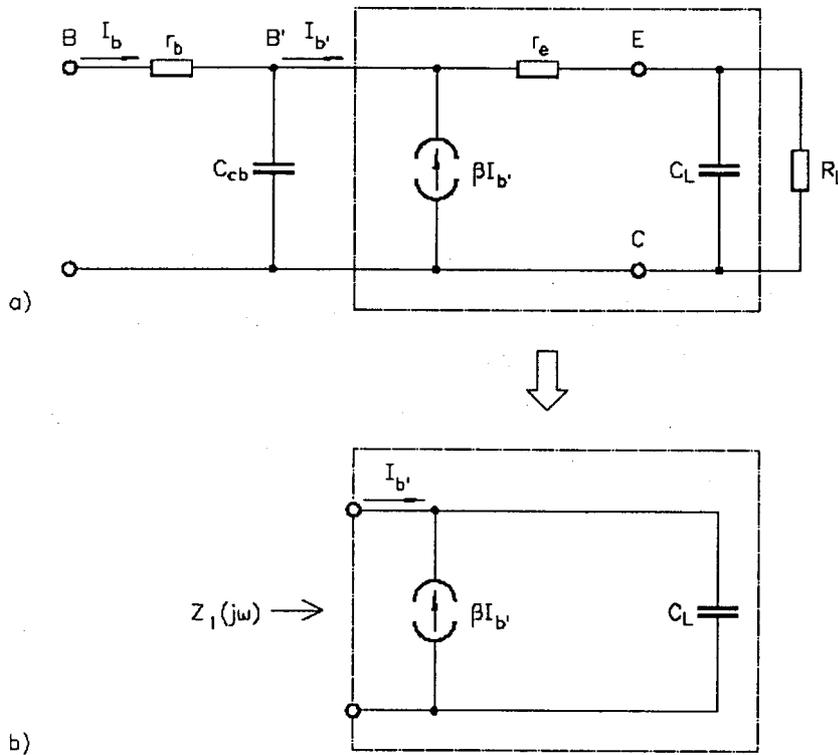


Bild 20: Zur überschlägigen Berechnung des negativen Realteils von  $Z_{\text{einc}}(j\omega)$ .

Um die Rechnung zu vereinfachen, lassen wir in Bild 20a, das aus Bild 16 nur durch Umzeichnen entstanden ist, die Widerstände  $r_e$  und  $R_L$  weg (b). Berechnet man nun von dem verbleibenden Zweipol die Impedanz  $Z_1(j\omega)$ , so ergibt sich der negative Realteil ganz einfach durch die Quadrierung von  $j\omega$ . Aus Bild 20b) folgt:

$$Z_1(j\omega) = (1 + \beta) \cdot \frac{1}{j\omega C_L} \quad (21)$$

Für  $\omega \gg \omega_\beta$  folgt aus (9):

$$\beta(j\omega) \approx \frac{\beta_0 \omega_\beta}{j\omega} = \frac{\omega_T}{j\omega} \quad (22)$$

Nun setzen wir (22) in (21) ein und erhalten:

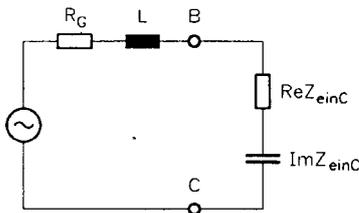
$$Z_1(j\omega) \approx \frac{\omega_T}{j\omega} \cdot \frac{1}{j\omega C_L} + \frac{1}{j\omega C_L} = -\frac{\omega_T}{\omega^2 C_L} + \frac{1}{j\omega C_L} \quad (23)$$

Der vorgeschaltete Basisbahnwiderstand  $r_b$  muß noch addiert werden; er vermindert natürlich den negativen Realteil, kann ihn aber in der Regel nicht voll kompensieren..

Welche Folgen ein negativer Realteil haben kann, soll im nächsten Abschnitt noch ganz kurz gezeigt werden. Die Schlußfolgerungen sind einfach.

#### 4.4 Instabilität bei Kollektorstufen

Die Stufe ist instabil, wenn die Summe der Realteile in der Eingangsmasche negativ ist. Sie schwingt dann auf der Frequenz, bei der die Summe der Imaginärteile negativ ist. Die Schwingbedingung besteht aus zwei Bedingungen, die beide erfüllt sein müssen: I



$$R_G + \operatorname{Re} Z_{\text{ein}C}(j\omega) < 0 \quad (24a)$$

$$j\omega L + \operatorname{Im} Z_{\text{ein}C}(j\omega) = 0 \quad (24b)$$

Bild 21: Eingangskreis einer Kollektorstufe mit Signalquelle.

Da sich die Eingangsimpedanz einer Kollektorstufe stets kapazitiv verhält (s. Bild 17), ist die Induktivität im Eingangskreis Voraussetzung für das Entstehen einer parasitären Schwingung. Die Praktiker wissen das sehr genau. Abhilfe schafft man üblicherweise durch einen Schwingschutzwiderstand in der Basiszuleitung.

Zu erwähnen wäre noch, daß auch Emitterstufen nach diesem Mechanismus schwingen können, wenn sie am Kollektor kapazitiv belastet sind und ihr Emitter infolge eines Gegenkopplungswiderstands nicht direkt an Masse liegt. Es genügt schon die parasitäre Schaltkapazität am Emitter, um sie in eine kapazitiv belastete Kollektorstufe zu verwandeln, denn die Bedingung (24) ist oft erst bei Frequenzen von einigen 100 MHz erfüllt.

Meine Damen und Herren, ich hoffe, ich habe Ihre Geduld nicht zu sehr strapaziert und konnte Ihnen einige für die Lehre interessante Gesichtspunkte vermitteln.

#### Literatur:

- [1] W. Steimle: Der Bipolartransistor in linearen Schaltungen. Band 1. R. Oldenbourg Verlag, München Wien 1984.
- [2] W. Steimle: Der Bipolartransistor in linearen Schaltungen. Band 2. R. Oldenbourg Verlag, München Wien 1984.
- [3] W. Steimle, R. Malz: Zur Anbringung der Kollektor-Basis-Kapazität im T-Ersatzbild des bipolaren Transistors. Frequenz 33 (1979), H. 2, S. 34 - 36.
- [4] W. Guggenbühl: Verstärkertechnik, AMIV-Verlag, Zürich 1979.

# Lotto V4

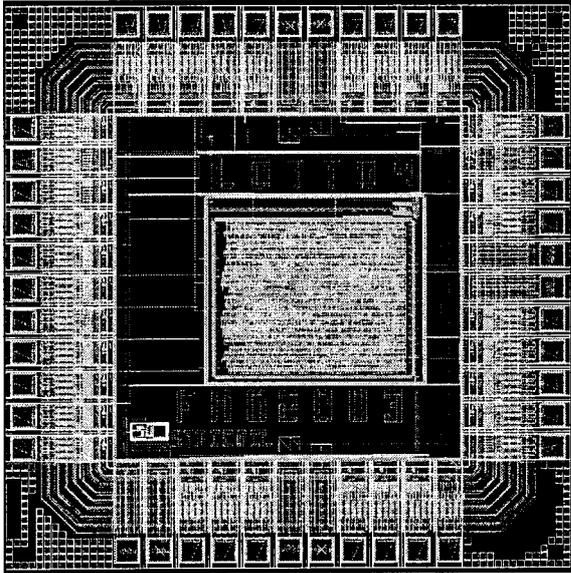


Abbildung 1: Layout auf IC-Station

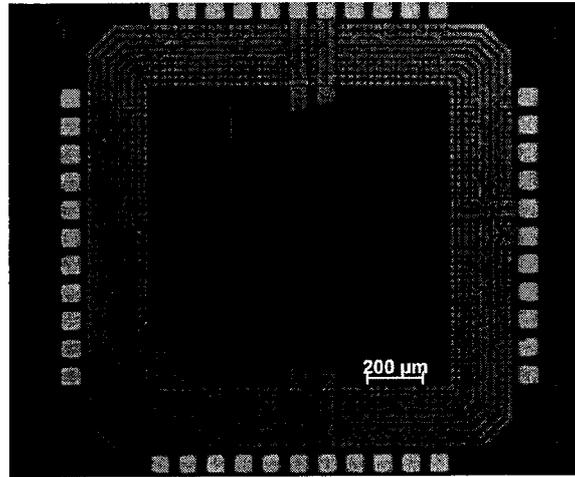
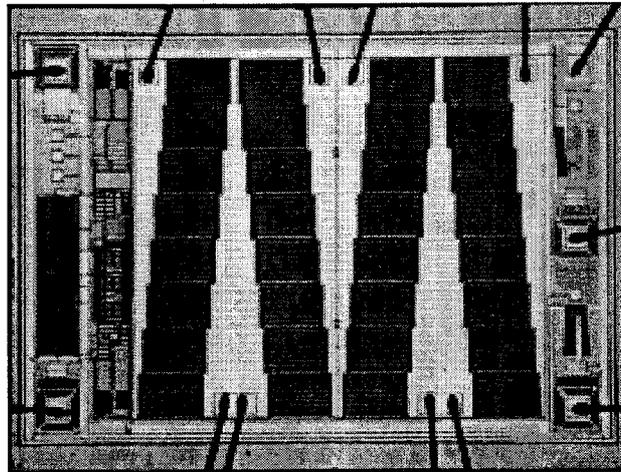


Abbildung 2: Fertiger Chip

- Entwurf: Fachhochschule Offenburg  
Bearbeiter: Markus Striebel  
Betreuer: Prof. Dr.-Ing. Dirk Jansen
- Layouterstellung: Fachhochschule Offenburg (Standardzellenentwurf),  
Prof. Dan Wang, Oszillator (VCO mit konstanter Frequenz)
- Technologie: AMI 0.35  $\mu\text{m}$  CMOS C035M-A
- Chipfertigung: Europractice, Run 909
- Herstelldatum: Dezember 2003
- Kostenträger: MPC-Mittel FH-Verbund Baden-Württemberg
- Chipdaten: Chipgröße: 1910 x 2220  $\mu\text{m}$   
Gehäuse: JLCC 44  
Komplexität: ca. 10000 Transistoren
- Funktion: Lottozahlengenerator „6 aus 49“: Die Zahlen werden nacheinander mittels Tastendruck gezogen und durch LEDs, die als Matrix angeordnet wurden, angezeigt. Die Ziehung erfolgt mit einer Ausrollfunktion. Dabei wird ein kurzer Ton erzeugt. Wurden alle Zahlen, inklusive der Zusatzzahl gezogen, wird die Melodie „Der Entertainer“ gespielt. Die Standby - Funktion wurde beibehalten.
- Testergebnisse: Die Logik wurde mit FPGA – Advantage umgesetzt. Dabei wurde die Melodie verändert. Durch die Umsetzung ist eine weitgehende Technologieunabhängigkeit erreicht worden. Erste Testergebnisse zeigen, dass der Chip nicht voll funktionsfähig ist (Kurzschluss). Allerdings liefert der Oszillator (analog) eine Frequenz von 29 – 33 kHz (Sollwert 32 kHz).

## Smart-Power ASIC für den Betrieb von Energiesparlampen



Entwurf:	Fachhochschule Ulm Bearbeiter: Jürgen Geisinger und Jürgen Schwarz Betreuer: Prof. Dipl.-Phys. Gerhard Forster
Layouterstellung:	Fachhochschule Ulm (Mixed Signal-Entwurf) Analog-Teil: Full Custom Design Digital-Teil: Standardzellen
Technologie:	CXZ 0,8 $\mu\text{m}$ CMOS A/D High Voltage, Fa. AMS
Chipfertigung:	Fa. AMS, Österreich, über Europractice
Herstelldatum:	I. Quartal 2003
Kostenträger:	MPC-Gruppe Baden-Württemberg
Chipdaten:	Chipfläche: 2,7 x 1,9 mm <sup>2</sup> Gehäuse: DIL 16 / SO 8 Funktionsblöcke: Analogteil: 2 DMOS-Leistungstreiber 50V/1A, Oszillator, Überlastschutz Digitalteil: ca. 100 Gatter, 4 Treiber
Funktion:	Der IC dient der Ansteuerung von Energiesparlampen mittels Solarenergie, gespeichert in einem 12 V - Akku. Er erzeugt mit Hilfe eines Transformators die erforderliche Zünd- und Brennspannung für Gasentladungslampen im Leistungsbereich zwischen 5 W und 15 W. Der Leistungsteil ist vollständig integriert, so dass externe aktive Bauelemente entfallen. Die Leistungsaufnahme ist so gering, dass kostengünstige Standardgehäuse (SO 8) möglich sind. Ein aktiver Temperaturschutz ist enthalten.  Der Chip ist einschließlich EMV-Verhalten erfolgreich getestet. Einzelne Probleme beim Starten und Abschalten des Oszillators sind noch zu untersuchen.

