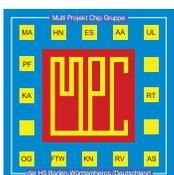


MPC

MULTI PROJEKT CHIP GRUPPE
BADEN - WÜRTTEMBERG

Herausgeber: Hochschule Ulm Ausgabe: 50 ISSN 1868-9221 Workshop: Konstanz Juli 2013

- 1 Five Decades of SPICE – A Brief History**
A. Vladimirescu, University of California at Berkeley, USA
- 5 Electromagnetic Compatibility Of Integrated Circuits Measurement, Modeling And Design Techniques**
E. Sicard, Institute Nationale des Sciences Appliquées de Toulouse, FR
- 11 Europractice: Supporting the European Academia in Microelectronics Design**
C. Das, Interuniversity Microelectronics Center (IMEC), Leuven, BE
- 17 Entwicklung eines SPICE-Modells für gedruckte organische Transistoren**
S. Hengen, K. Heit, L. Lewandowski, B. Vettermann, J. Giehl, HS Mannheim
- 23 Time-of-Flight-Messung mittels Compressive Sensing**
Z. Slavik, M. Ihle, HS Karlsruhe
- 31 Analyse des SEPIC-Spannungswandlers für Automotive-Anwendungen**
P. Gottschling, T. Rosahl, B. Wicht, HS Reutlingen
- 37 Analog-zu-Digital-Konverter auf Basis eines Pulse-Shrinking TDCs**
F. Sängler, U. Brunsmann, HS Aschaffenburg
- 43 System-Level Exploration of Design Decisions Based on Indicators**
M. Freier, A. Wenzler, T. Mayer, J. Gerlach, W. Rosenstiel, HS Albstadt-Sigmaringen
- 49 Implementierung eines generischen LDPC-Decoders für unstrukturierte Codes mittels SystemC**
A. Torno, F. Kesel, T. Greiner, HS Pforzheim
- 59 Specification and Implementation of an AXI4-Burst-Master**
C. Ngamy, S. Jaeckel, A. Sikora, HS Offenburg



Cooperating Organisation
Solid-State Circuit Society Chapter
IEEE German Section



Inhaltsverzeichnis

Five Decades of SPICE – A Brief History	1
A. Vladimirescu, University of California at Berkeley, USA	
Electromagnetic Compatibility Of Integrated Circuits Measurement, Modeling And Design Techniques	5
E. Sicard, Institute Nationale des Sciences Appliquées de Toulouse, FR	
Europractice: Supporting the European Academia in Microelectronics Design	11
C. Das, Interuniversity Microelectronics Center (IMEC), Leuven, BE	
Entwicklung eines SPICE-Modells für gedruckte organische Transistoren	17
S. Hengen, K. Heit, L. Lewandowski, B. Vettermann, J. Giehl, HS Mannheim	
Time-of-Flight-Messung mittels Compressive Sensing	23
Z. Slavik, M. Ihle, HS Karlsruhe	
Analyse des SEPIC-Spannungswandlers für Automotive-Anwendungen	31
P. Gottschling, T. Rosahl, B. Wicht, HS Reutlingen	
Analog-zu-Digital-Konverter auf Basis eines Pulse-Shrinking TDCs	37
F. Sänger, U. Brunsmann, HS Aschaffenburg	
System-Level Exploration of Design Decisions Based on Indicators	43
M. Freier, A. Wenzler, T. Mayer, J. Gerlach, W. Rosenstiel, HS Albstadt-Sigmaringen	
Implementierung eines generischen LDPC-Decoders für unstrukturierte Codes mittels SystemC	49
A. Torno, F. Kesel, T. Greiner, HS Pforzheim	
Specification and Implementation of an AXI4-Burst-Master	59
C. Ngamy, S. Jaeckel, A. Sikora, HS Offenburg	

Tagungsband zum Workshop der Multiprojekt-Chip-Gruppe Baden-Württemberg
Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie.

Die Inhalte der einzelnen Beiträge dieses Tagungsbandes liegen in der Verantwortung der jeweiligen Autoren.

Herausgeber: Gerhard Forster, Hochschule Ulm, Prittwitzstraße 10, D-89075 Ulm

Alle Rechte vorbehalten

Diesen Workshopband und alle bisherigen Bände finden Sie im Internet unter:

<http://www.mpc.belwue.de>

Five Decades of SPICE – A Brief History

Andrei Vladimirescu

Abstract—The evolution of SPICE is described first from the initial research of a graduate-student project to an industry standard. Second, the main reasons for the success of SPICE are explained highlighting the key solution algorithms and semiconductor device models. The last part will be an overview of recent advancements in functionality and performance: new types of analyses, higher-level model description as well as more accurate semiconductor device models, solution-algorithm tuning as well as parallelization for multi-core and many-core architectures.

Index Terms—Circuit Analysis, Design Automation, SPICE, FastSPICE, Spectre, HSPICE, Eldo.

I. THE SPICE PROJECT: EARLY DAYS

The SPICE circuit simulator that started out as a graduate-student project in 1969 at the University of California at Berkeley is now in its fifth decade of existence as the leading IC computer-aided design tool. The essential role that SPICE played in the progress of ICs to reaching one billion transistors on a single chip today was recognized by the IEEE in February 2011 by placing a Milestone plaque shown in Figure 1 at the entrance of Cory Hall on the Berkeley campus, as the birthplace of SPICE. A special issue of the Circuits and Devices Magazine [1] was dedicated to this event gathering papers from the main contributors to this program.

In 1969 Professors Don Pederson and Ron Rohrer initiated a graduate-student project whose goal was to produce the best available program to predict the behavior of integrated circuits (ICs). With the progress of analog bipolar opamp ICs it had become imperative to have a capability to get quick access to the operating point, a determinant factor in accurately evaluating the gain, bandwidth and stability of these circuits.

The UC Berkeley SPICE project has known a long evolution from the graduate-class project up to its last release, SPICE 3F5, in 1995. In its first incarnation assembled by Larry Nagel from the class projects the

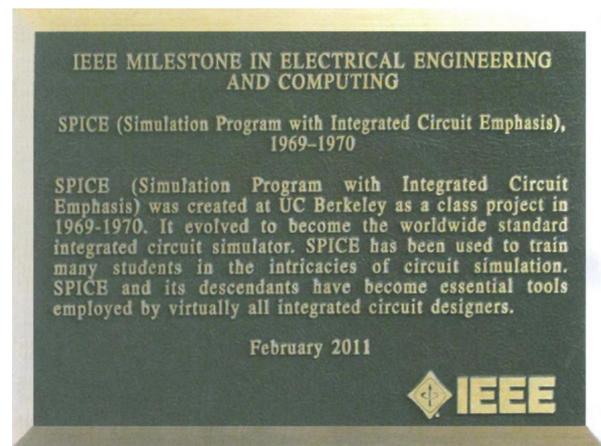


Figure 1: IEEE Milestone Plaque honoring SPICE.

simulator was called CANCER (Computer Analysis of Nonlinear Circuits Excluding Radiation) [2]. Don Pederson sensed that bearing such a name may raise additional obstacles in getting the program and this novel technology accepted by industry. The better name SPICE (Simulation Program with Integrated Circuit Emphasis) was found eventually, and the program was released in 1971 as SPICE1.

The main effort in the early days was spent on finding how to describe a circuit schematic to the computer, the most adequate computer representation of a network, what numerical integration methods to apply, how to deal with floating voltage sources in a nodal representation, how to solve nonlinear and linear circuit equations. While algorithmic development took the center stage, a second very important aspect of a circuit simulator needed consideration: how to include the branch-constitutive equations (BCE), or model, of a semiconductor device. Unlike a parallel effort at IBM developing the ASTAP simulator [3], in the SPICE project it was decided to make semiconductor device models an integral part of the simulator.

The first SPICE versions while incorporating some of the base solution algorithms of today's simulators, had many weaknesses such as a lack of flexibility to use the entire available computer memory to represent a circuit, a rigid node-to-datum-voltage equation representation, a fixed integration time step and very

elementary transistor models (Ebers-Moll for bipolar and Schichman-Hodges for FETs).

II. SPICE2 DEFINES THE SOLUTION ALGORITHMS

SPICE2 set out to improve on all above aspects and most importantly to achieve robustness in order to be accepted by the semiconductor industry. Introduction of the Modified Nodal Analysis (MNA) [4] provided an elegant way of extending nodal equations to include floating voltage sources and inductors in the circuit representation. Dynamic memory management [5] allowed SPICE 2D written in Fortran to use the entire computer memory available to the user for storing the circuit independently of the mix of various circuit elements. Another important improvement in accuracy and simulation speed was the refinement of numerical integration by adding the Gear integration method and developing a variable time-step control mechanism.

As more companies adopted SPICE, a few shortcomings related to the use of MNA were uncovered. While for RC-only circuits represented in a pure nodal approach as in SPICE1 a well-conditioned diagonal of the matrix is insured by construction, this is not the case for MNA. A simple circuit containing inductors uncovered this problem and pivoting [6] was added to the solution in SPICE 2G6 [7]. A number of improvements were brought in the second part of the 1970s to the convergence and limiting algorithms, developments that made SPICE 2G6 the most robust, industrial-strength SPICE release and the most used software program developed by an university. The number-one-selling commercial SPICE simulator today, HSPICE, was based initially on SPICE 2G6.

SPICE2 is a batch program written in Fortran. Towards the end of the 1970s the Unix operating system and the C language were attracting many adopters. The C language in the Unix environment enabled interactivity between user and simulator. In this environment a rewriting and re-architecting of the SPICE program was undertaken leading to the introduction of SPICE3 [8].

There are some key reasons for the success of SPICE. A first reason is the practical approach taken that was tightly related to the design of ICs. The sequence of the main solution algorithms, MNA, Newton-Raphson, implicit numerical integration and linear solution of sparse system equations, referred to as *Direct Methods Solution*, represented a key innovation that is still at the core of all SPICE simulators today. Last but not least, the decision to place the simulator in the public domain led to its adoption in the major semiconductor companies and opened the way for it to become the de-facto standard. The advancement of SPICE in the late 1970s and early 1980s was helped by the CAD groups in major IC companies and the free exchange of information between these groups and the CAD research group at UC Berkeley.

III. SEMICONDUCTOR DEVICE MODELS – AN INTEGRAL PART OF SPICE

There are two major components of the SPICE solution: algorithms and device models, equally important for the accuracy of the simulation.

The initial development of SPICE took place while bipolar technology was dominant; in the 1970s NMOS technology took the upper hand first for digital ICs followed by more analog circuits finding NMOS implementations in mixed-signal chips. It became apparent that more accurate MOS models were required to support the design of the circuits of that period. Two new models, MOS2 and MOS3 were introduced [9] covering secondary effects such as subthreshold conduction and small-size (velocity saturation, DIBL, etc.) before these phenomena were apparent in actual production circuits.

While the early days of SPICE research had been devoted to algorithms, semiconductor device modeling has been in the limelight for the last two decades. The relentless effort in device modeling was brought about by the acceleration of the pace in device scaling. Thus BSIM3/4 [10] was the leading MOSFET model for more than a decade covering transistors from 0.5 μm down to 90 nm. Some inaccuracies in these models relating to higher-order derivatives and symmetry led to the introduction of the PSP model [11] for 65 to 28 nm technologies. Currently, a new generation BSIM model, BSIM6 [12] derived from EKV [13] and BSIM3/4 for 2D transistors has been introduced as well as the BSIM-MG [14] for multi-gate transistors such as the FinFET.

IV. SPICE PROGRESS IN THE LAST TWO DECADES

As SPICE had acquired the position of standard computer-aided IC design tool by 1980 and the use of computer tools had become ubiquitous, the newly founded Electronic Design Automation (EDA) companies started developing their own versions of SPICE simulators in the latter part of the 1980s. In the 1990s the three major EDA companies Cadence, Synopsys and Mentor had developed or acquired SPICE technology that turned into the leading simulators of today, Spectre, HSPICE and Eldo. These simulators needed to keep up with the fast scaling of semiconductor processes begun in the 1990s.

One very important effect of the shrinking dimensions of the MOS transistor with the associated increase of the cutoff frequency was the integration of RF circuits into standard IC technology. This required SPICE to provide a quick solution to nonlinear circuits with frequency translation such as mixers; traditional transient analysis was too slow to resolve signals with frequencies far apart and give quick access to the steady-state response of driven or autonomous circuits. SpectreRF [15] was the first to introduce the *Shooting Newton* time-domain steady-state analysis; it

was followed by HSPICE-RF and EldoRF. An alternate approach to compute the steady-state solution of periodic circuits is *Harmonic Balance*; this solution was offered by ADS from Agilent. Today, all these simulators support both methods.

Another important achievement of the last two decades was the introduction of two analog modeling languages opening up the SPICE simulator to solve circuits with other components than the ones implemented in the program, as well as other physical systems that can be represented by nonlinear ordinary differential equations. The languages, Verilog-AMS and VHDL-AMS, are tailored according to the syntax of their respective digital brethren.

V. SPEEDING UP CIRCUIT SIMULATION

Speed and capacity was always an issue in circuit simulation, designers wanting to simulate entire chips at the transistor level. The robustness achieved in SPICE 2G6 at the end of 1979 enabled a design group working on a state-of-the-art memory chip to simulate close to ten thousand transistors on a VAX 11/780 minicomputer over one weekend.

The growing complexity of IC chips and the introduction of the Cray-1 computer in 1976, capable of 160 MFlops in vector computation (Single-Instruction Multiple-Data, SIMD), led to the development of the first parallel SPICE for SIMD architectures called CLASSIE [16]. This simulator took advantage of the circuit hierarchy and multiple instances of a few sub-circuits to parallelize the model evaluation and matrix solution. Partitioning of the circuit matrix in a *border-block diagonal form* (BBDF) allowed the simultaneous solution of all sub-block instances of a given sub-circuit.

These techniques are implemented today in all leading commercial simulators to take advantage of multi- and many-core processors. According to Amdahl's law proven by all simulations the speedup that can be achieved by a single run is limited to a little less than one order of magnitude when using the direct-methods solution of SPICE. Therefore, for the largest circuits of several hundred thousand transistors simulated today, there are diminishing returns in speedup beyond 8 processors.

There is another class of circuit simulators today called FastSPICE, that can achieve higher speedups by applying a number of simplifications to the circuit, such as subcircuit decoupling, use of table models rather than analytical, replacing floating capacitors by grounded capacitors, etc. These can achieve speedups of over two orders of magnitude for very repetitive structures such as memories but only a few times for tighter coupled circuits such as PLLs.

VI. SPICE – AN INSTRUCTION AND RESEARCH TOOL

SPICE has a primary role in IC design education today. Simulation complements lectures in helping students understand the operation of circuits. Emphasis is placed on relaying to students that the simulator is a verification tool, an accurate compute engine, but not a replacement of electronic circuit knowledge.

Public domain SPICE programs, such as SPICE3 and NG-SPICE [17], constitute research platforms for semiconductor device modeling. While the algorithms are well established there is a lot of interest today in exploring new types of devices and their applicability to circuits. An open-source SPICE offers more insight and flexibility than a proprietary simulator where the access is limited to Verilog-AMS coding.

CONCLUDING REMARKS

The history of SPICE demonstrates the importance and impact of keeping research in universities and research laboratories in the public domain as a way to achieve visibility, success and to benefit the advancement of technology and science.

Today, more than four decades and over one billion transistors per chip later, in its many commercial implementations, SPICE is used for every single transistor-level circuit design.

REFERENCES

- [1] L.W. Nagel, "40th Anniversary of SPICE, An IEEE Milestone," *Solid-State Circuit and Device Magazine*, Vol. 3, No. 2, Spring 2011 (complete issue printed October 2011).
- [2] L.W. Nagel and R. Rohrer, "Computer Analysis of Nonlinear Circuits, Excluding Radiation (CANCER)," *IEEE J. Solid-State Circuits*, Vol. SC-6, pp. 166-182, Aug. 1971.
- [3] W.T. Weeks, A. J. Jimenez, G. W. Mahoney, D. Mehta, H. Quassennizadeh, and T. R. Scott, "Algorithms for ASTAP—A network analysis program." *IEEE Transaction on Circuit Theory*, Vol. 20, pp. 620-634, Nov. 1973.
- [4] A. Vladimirescu, *The SPICE Book*, J. Wiley and Sons, New York, 1994.
- [5] E. Cohen, *Program Reference for SPICE2*, Univ. of California, Berkeley, ERL Memo UCB/ERL M75/520, May 1975.
- [6] A. Vladimirescu, "Sparse Matrix Solution with Pivoting in SPICE2," EECS 290H project, University of California, Berkeley, 1978.
- [7] A. Vladimirescu, K. Zhang, A.R. Newton, D.O. Pederson and A.L. Sangiovanni-Vincentelli, *SPICE Version 2G User's Guide*, University of California, Berkeley, October 1980.
- [8] T.L. Quarles, *SPICE3 version C1 User's Guide*, Univ. of California, Berkeley, UCB/ERL Memo M89/46, April 1989.
- [9] A. Vladimirescu and S. Liu, "The Simulation of MOS Integrated Circuits using SPICE2," UCB/ERL Memo M80/7, Univ. of California, Berkeley, Oct. 1980.
- [10] W. Liu, *MOSFET Models for SPICE Simulation including BSIM3v3 and BSIM4*, John Wiley & Sons, New York, 2001.
- [11] G. Gildenblatt, X. Li, W. Wu, H. Wang, A. Jha, R. van Langevelde, G. D. J. Smit, A. J. Scholten, and D. B. M. Klaassen, "PSP: An Advanced Surface-Potential-Based MOSFET Model for Circuit Simulation," *IEEE Trans. Electron Devices*, vol. 53, No. 9, pp. 1979-1993, Sep. 2006.

- [12] M.-A. Chalkiadaki, A. Mangla, C.C. Enz, Y.S. Chauhan, M. A. Karim, S. Venugopalan, A. Niknejad, C. Hu, "Evaluation of the BSIM6 MOSFET Model's Scalability in 40 nm CMOS Technology," *Proc. ESSDERC 2012*, Bordeaux, France, Sep. 2012.
- [13] C.C. Enz, E.A. Vittoz, *Charge-based MOS Transistor Modeling, The EKV model for low-power and RF IC design*, John Wiley & Sons, New York, 2006.
- [14] D. Lu, *Compact Models for Future Generation CMOS*, Technical Report UCB/EECS-2011-69, Univ. of California, Berkeley, May 2011.
- [15] R. Telichevesky, K. Kundert, and J. White, "Efficient Steady-State Analysis Based on Matrix-Free Krylov Subspace Methods," *Proc. IEEE DAC*, pp. 480-484, 1995.
- [16] A. Vladimirescu, "LSI Circuit Simulation on Vector Computers," UCB/ERL Memo M82/75, Univ. of California, Berkeley, Oct. 1982.
- [17] NG-SPICE, <http://sourceforge.net/projects/ngspice>, 2012.



Andrei Vladimirescu received his Diploma Engineering from the Polytechnic Institute of Bucharest and the MS and PhD degrees from the University of California, Berkeley. He was part of the SPICE development team and in 1981 he wrote the first parallel version of the simulator called CLASSIE.

After his PhD Andrei conceived and managed the development of a number of analog and mixed-signal Electronic Design Automation (EDA) products for industry leaders such as Daisy, Valid and Cadence. Today, Andrei is a Professor at the University of California at Berkeley, associated with the Berkeley Wireless Research Center BWRC, and at the Institut Supérieur d'Electronique de Paris ISEP. His research activities are in the areas of circuit simulation and modeling, low-power and ultra-low-voltage design, analog and RF circuit design and optimization, and modeling of new devices.

Professor Vladimirescu is the author of "The SPICE Book" published by J. Wiley and Sons in 1994, co-author of a book on double-gate circuit design in 2009, and, author and co-author of over 100 journal and conference papers on circuits, device modeling and circuit simulation. Andrei is a member of the Technical Program Committee of ESSCIRC/ESSDERC and he was the Technical Program Chair of ESSCIRC-2013.

Electromagnetic Compatibility Of Integrated Circuits Measurement, Modeling And Design Techniques

Etienne Sicard

Abstract—This paper provides an introduction to the field of electromagnetic compatibility (EMC) of Integrated Circuits, with information about recent trends in IC technology, standardized measurement methods for parasitic emission and susceptibility to radio-frequency interference, modeling approaches, together with a set of design guidelines for improved EMC.

Index Terms—Integrated Circuits, Design Guidelines, EMC, Emission, Susceptibility, Measurement, IBIS, IEC.

I. INTRODUCTION

Surprisingly, issues related to the electromagnetic compatibility (EMC) of Integrated Circuits have been addressed for more than 50 years, with a starting point at the Air Force Weapon Laboratory, USA, and the development of the SCEPTRE tool in 1960's, which aimed at simulating the effects of the electromagnetic fields triggered by nuclear explosions on electronic devices. The simulation software was developed at IBM [1] in order to correlate simulations and experimental measurements obtained on an electromagnetic impulse test-bench (Fig. 1).

In the past recent years, the electromagnetic compatibility (EMC) of Integrated Circuits (IC) has been addressed by the scientific and industrial community to measure, model parasitic emission as well as susceptibility to radio-frequency interference, in order to compare, predict and improve EMC performances of components [2]-[5]. The EMC community has made significant progresses on the emission aspects, with the release of mature standards, models, tools and guidelines.

The goal of this paper is to introduce the EMC issues (part 2), discuss about the impact of IC technology progresses on EMC (part 3), illustrate measurement and modeling methods and associated standards (parts 4 & 5), and list some efficient design guidelines for improved EMC (part 6).

Etienne Sicard, etienne.sicard@insa-toulouse.fr, is with Institut National des Sciences Appliquées de Toulouse, INSA/GEI, 135 Avenue de Rangueil, 31077 Toulouse, France.

SCEPTRE: A Program for Automatic Network Analysis*

Abstract: This paper describes the mathematical formulation of a computer program for automatic transient analysis of electronic networks. The formulation is based on the "state-variable" approach to network analysis and differs from other such programs primarily in the way that the network equations are manipulated to produce a solution. SCEPTRE includes a number of features aimed at providing greater flexibility and convenience for users of the program. Important among these features is that no prescribed equivalent circuit for active elements is required for program operation. Also, linearly dependent voltage and current sources in a network can be handled by the program, and provision has been made to allow a free-form format for input data. The paper includes a discussion of the program's ability to solve networks containing time-varying passive elements, and considers the factors that influence program running time.

*Work supported by the Air Force Weapons Laboratory under contract AF 20(601)-6832. Dissemination of the SCEPTRE program is controlled by the Air Force Weapons Laboratory, Attn: WLRDET (Cage: Gary Pritikin), Kirtland Air Force Base, New Mexico 87117.

627

IBM JOURNAL · NOVEMBER 1967

Fig. 1: SCEPTRE which aimed at simulating electronic circuits in the context of electromagnetic impulse perturbation [1].

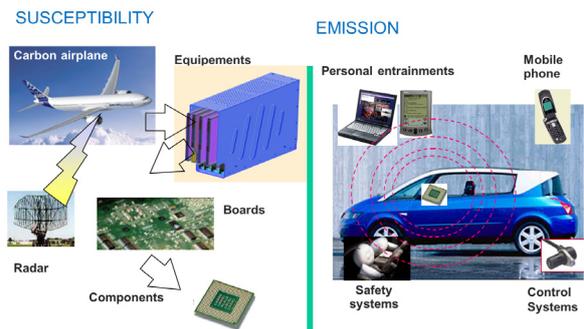


Fig. 2: An illustration of two EMC issues.

II. EMC ISSUES

Fig. 2 illustrates the two main issues in EMC of ICs: susceptibility to radio-frequency interference in the context of carbon airplane, and safety issues due to parasitic emission in automotive industry. EMC noise margins, such as 20 dB (one decade) in automotive industry, are imposed to electronic board designers, in order to keep a minimum margin between the IC noise and the system failure threshold, taking into account all possible performance variations such as temperature, process, ageing (Fig. 3). Nano-CMOS technologies suffer from very large performance variability, and ageing may considerably alter the emission and immunity performances.

Fig. 4 illustrates some potential interference sources and their associated instant power. Among the most powerful electromagnetic sources are the thunder-

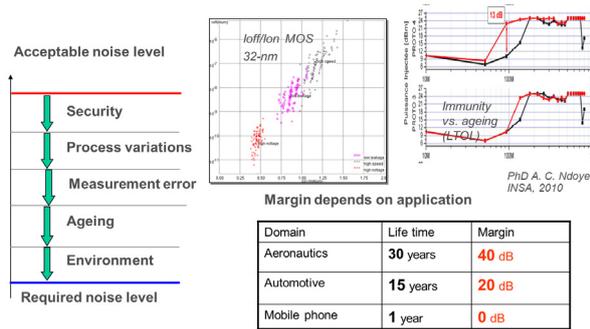


Fig. 3: Noise margins strongly depend on the life time of the electronic devices.

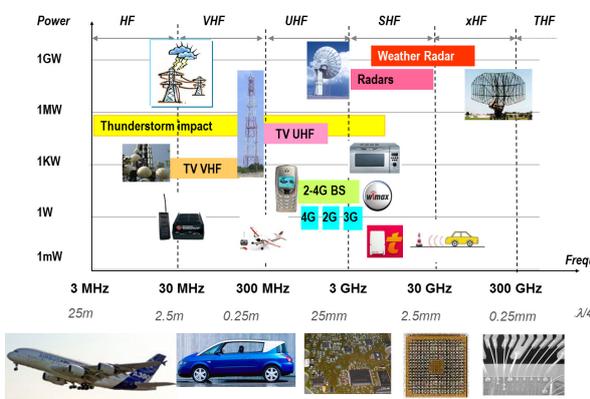


Fig. 4: An illustration of potential perturbation sources from 1 MHz to 1 THz, and associated antenna dimensions.

storms, the impulse radars, and radio/television transmitters. Notice that one very powerful domestic source is the microwave (2.45 GHz), which easily degrades devices operating at the same frequency range (Wifi, Bluetooth...).

An efficient wire coupling occurs when its length L matches $\lambda/4$:

$$L = \frac{\lambda}{4} = \frac{c}{4f}$$

where c is the speed of light [m/s] and f the signal frequency [Hz]. The dimensions of IC packages match with 10 GHz waves, while electronic board dimensions correspond to 1 GHz interferences.

III. IC TECHNOLOGY AND CONSEQUENCES ON EMC

One of the most remarkable trend in the past 10 years has been the extraordinary increase in IC complexity [6], reaching in 2012 on one component the equivalent of the population of the earth (7 billion devices in the Virtex 7 [7], made on 4 dies and one interposer), and the trend towards 3D integration, which may lead to more than 100 Giga-device com-

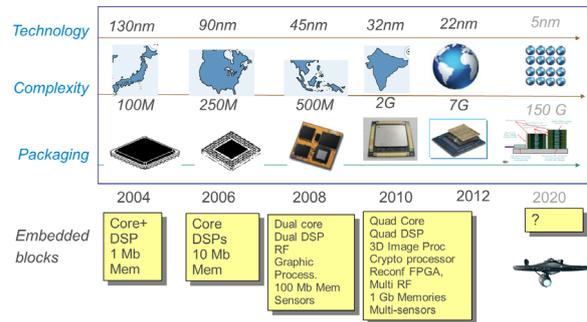


Fig. 5: Trends toward Giga-devices and 3D integration [6].

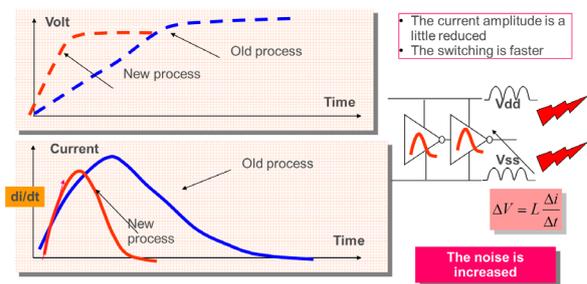


Fig. 6: Trends toward increased switching noise and emission.

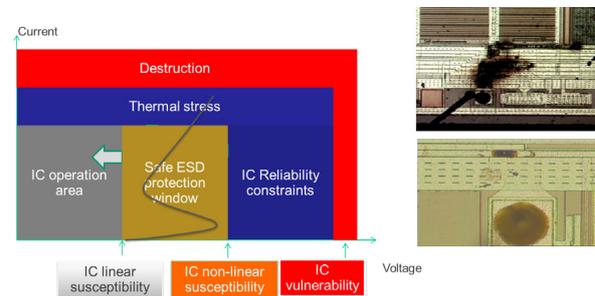


Fig. 7: The internal voltage and noise margin tends to reduce while reliability requirements tend to be more and more severe.

ponents by 2020. This is shown in Fig. 5. As an example, 4G phones require more than 10 dedicated processors, massive memory as well as very sophisticated analog processors to handle multiple wireless communication protocols.

Each new process (22-nm in 2013, 17-nm in 2015, etc..) induces important benefits in terms of density and power savings. However, switching speed is increased as well as the overall chip complexity, leading to increased switching noise and parasitic emission (Fig. 6). In terms of IC susceptibility, internal supply voltages tend to decrease, while requirements in terms of IC reliability, electrical overstress (EOS) and electrostatic discharge (ESD) tend to be more severe (Fig. 7).

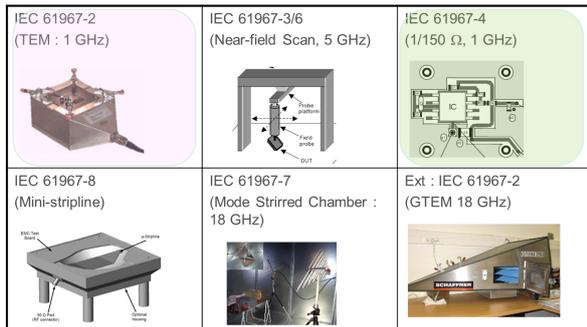


Fig. 8: A selection of standard measurement methods used for characterizing IC emission. The TEM/GTEM and 1/150 Ω are widely used in industry.

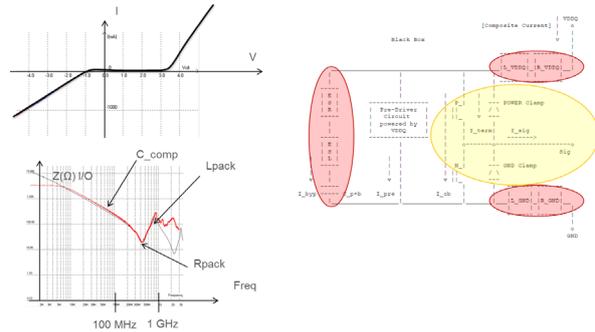


Fig. 11: The IBS format gives relevant information for EMC modelling of the ICs.

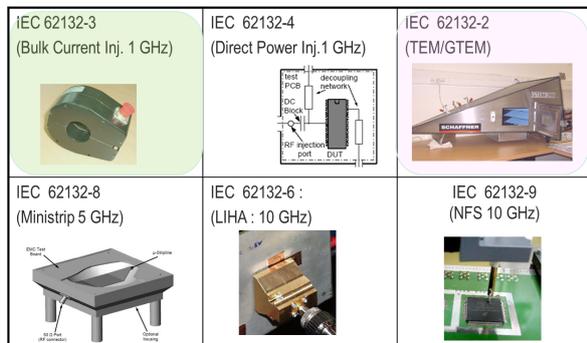


Fig. 9: A selection of standard measurement methods used for characterizing IC susceptibility. The DPI and BCI methods are widely used in industry.

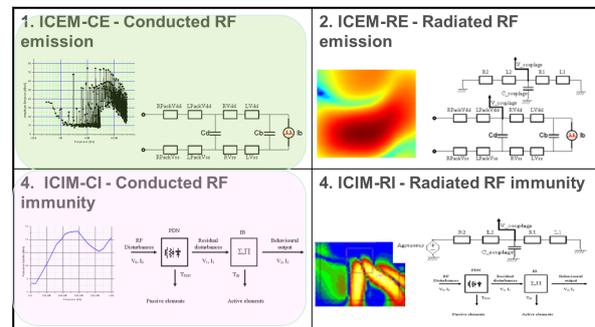


Fig. 12: The IEC 62 433 project proposes emission and immunity models applicable to ICs, with different approaches for conducted and radiated modes.

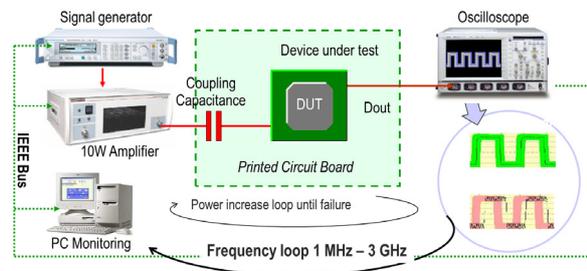


Fig. 10: A zoom at the DPI method and its implementation in our EMC laboratory.

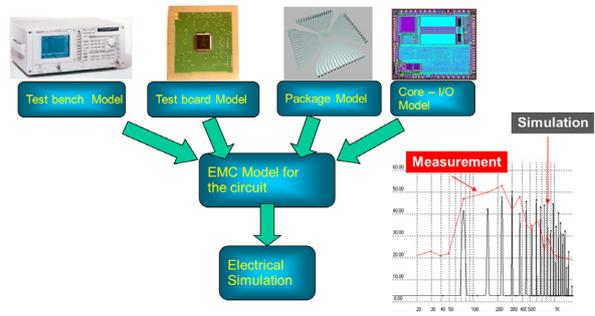


Fig. 13: Example of emission prediction including the test bench, board, package and IC model.

IV. MEASUREMENT OF IC EMISSION & SUSCEPTIBILITY

IC level measurement methods have to take into account the high complexity and the small size of ICs. They need to characterize the IC itself separate from its environment.

The International Electro-technical Commission (IEC), sub-committee 47A working group 9 is focused on measurement methods for IC emission (IEC 61967, illustrated in Fig. 8) and immunity (IEC 62132, illustrated in Fig. 9) [8]. We illustrate the DPI test bench

used in our lab in Fig. 10, which includes iteration on the frequency as well as on the injected power, and a detection of the failure, which can be measured as on voltage, current or timing violation criteria.

V. MODELS FOR EMC PREDICTION

Although primarily used for signal integrity, the IBS standard [9] embeds important information for EMC prediction. I/V curves in the extended voltage range [-VDD ... +2VDD], package R, L, C, I/O capacitance, or even internal power distribution impedance are illustrated in Fig. 11. However, the EMC simula-

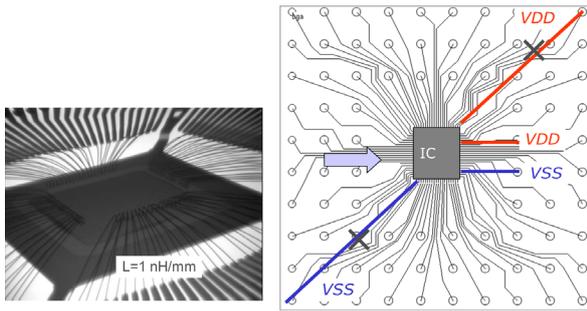


Fig. 14: Strategy for reduced inductance effects on supply lines.

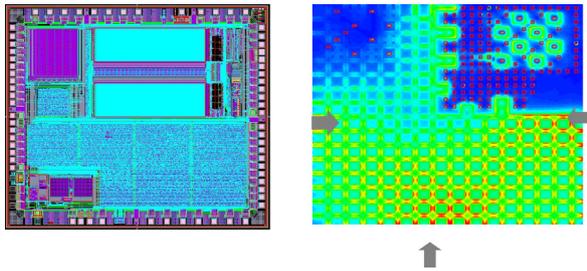


Fig. 15: Strategy for assigning VDD/VSS pairs close to highest di/dt noise.

tion must include several more parameters such as the complete passive distribution network (PDN), the internal activity (IA) of the cores, the radiating antennas as well as the internal behavior (IB) in presence of electromagnetic interference.

All these concepts have been described in the IEC 62 433 standard [10]. Reasonable matching are achieved between predicted emission and measurement, as illustrated in Fig. 13, thanks to an in-depth knowledge of the IC noise switching, as well as precise models of the PDN of the package and printed circuit board (PCB).

VI. DESIGN GUIDELINES FOR IMPROVED EMC

A. Reduce the Supply Inductance

Inductance is a major source of resonance, voltage over/undershoot, and radiation of magnetic field. Placing VDD/VSS on far ends of the package is a dangerous heritage of the old times (DIL package). In contrast, shortest leads should be dedicated to supply of the core (Fig. 14).

B. Place VDD/VSS Pairs Close to Highest di/dt Noise

The highest di/dt noise usually comes from the high speed core block, high speed I/Os, power amplifiers, charge pumps, etc. Specific tools enable to identify the location of the strongest di/dt noise and thus indicate the best placement for VDD/VSS pairs (Fig. 15).

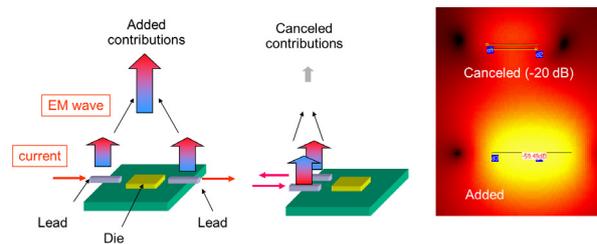


Fig. 16: Placing VDD/VSS close to each other's to reduce loops.

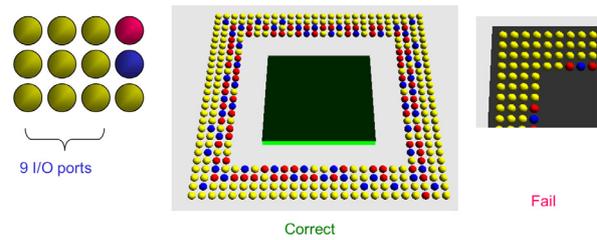


Fig. 17: Add one VDD/VSS pair for 10 I/Os

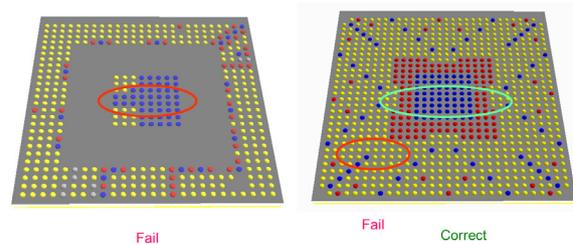


Fig. 18: Balance VDD and VSS pins.

C. Place VDD/VSS Close

Separating VDD and VSS supply leads is also a dangerous heritage of the past. VDD/VSS pairs help reducing current loops that provoke magnetic field, and may reduce the resulting noise by more than 20 dB. It also increases decoupling effects and reduces supply fluctuations (Fig. 16).

D. Use one VDD/VSS Pair for 10 I/O's

I/Os usually require a lot of energy due to simultaneous switching (64-bit bus for example) and high drive required for Giga-bit data links (8, 16, even 32 mA per I/O). A rule of thumb consists in adding one VDD/VSS supply pair for 10 I/O's (Fig. 17).

E. Balance VDD and VSS Pins

In the example of Fig. 18 (left side), many VSS pins are allocated at the center of the package. However, the VDD pins are only in the corners and in some random places. The previous rule is also violated.

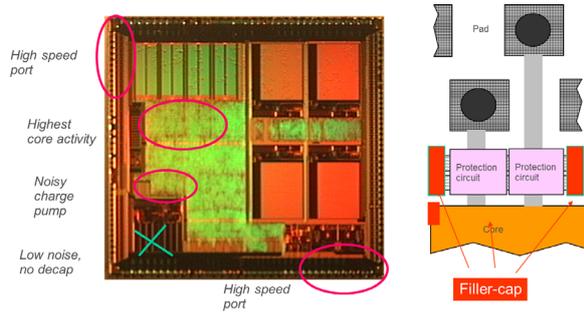


Fig. 19: Add on-chip decoupling close to high di/dt noise areas.

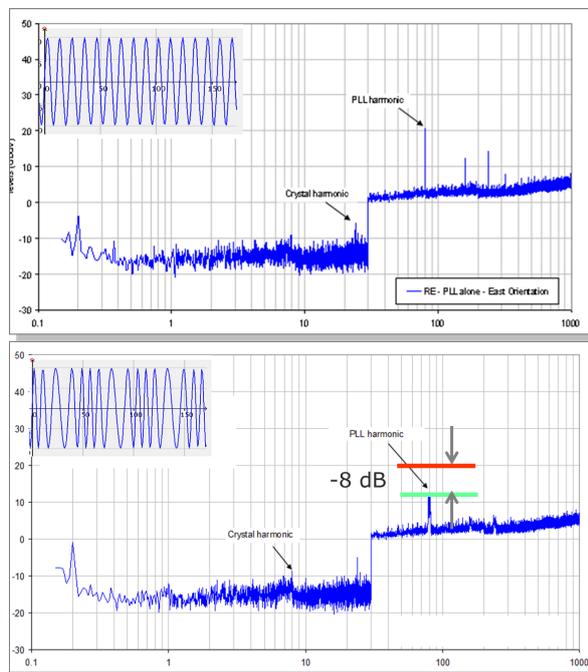


Fig. 20: Adding jitter on the clocks reduces the peak amplitude of parasitic harmonics.

In the case of Fig. 18 (right side), the core is well balanced, however some zones have too few VDD supply, which may create large current loops and important transient glitches.

F. Add On-Chip Decoupling

On-chip decoupling [11] should be added whenever possible in high-current switching regions. Decoupling in quiet areas is not efficient, while 1 ... 10 pF added capacitance close to cores, noisy clocks or PLL, Flash, and fast IO's make decrease the emission by 20 ... 30 dB (Fig. 19).

G. Add Jitter on Clocks

Perfectly synchronous clocks lead to sharp harmonics with amplitudes, maybe higher than desired. A 1 ... 5 % modulation of the clock frequency induces a

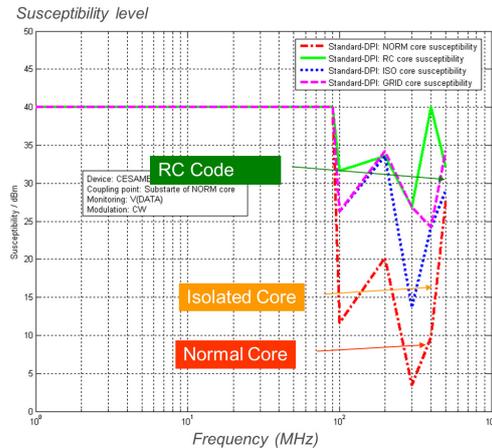


Fig. 21: RC block filtering reduces emission by 20 dB and increases immunity by 20 dBm (factor of 100).

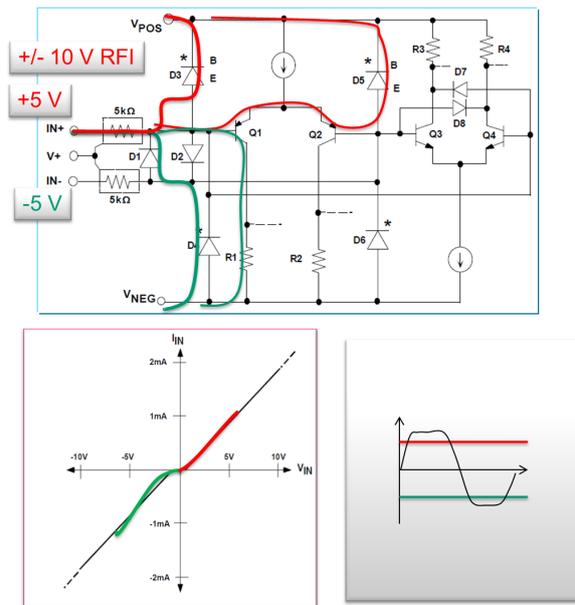


Fig. 22: Implementation of RC filtering, back-to-back diodes and protection diodes to improve immunity to RFI.

spread of the energy over a larger bandwidth, leading to 5 ... 15 dB reduction in the peak energy (Fig. 20).

H. Protect Sensitive Cores by RC Filtering

An RC filtering strategy on critical cores may at the same time reduce the parasitic emission (such as 20 dB in the CESAME test chip [12]) and also significantly improve its immunity (factor of 100 measured on the same test chip, as shown in Fig. 21).

I. Add Diodes to Evacuate Voltage Overstress

Analog circuits such as operational amplifiers connected to the outside world may suffer important radio

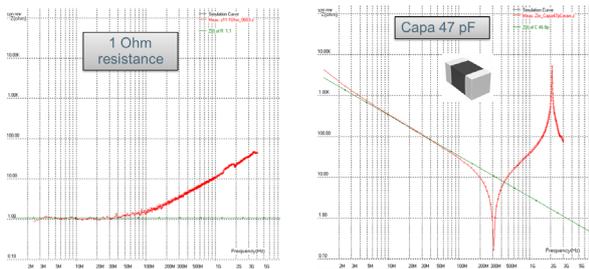


Fig. 23: Non-nominal behaviour of discrete components starting at the 100 MHz decade.

frequency interference (such as ± 10 V peak-to-peak).

This may degrade or even jeopardize the reliability of the circuit. RC filtering strategies, back-to-back diodes and overstress diodes are added to eliminate such interference, avoid rectification and non-linear effects, and keep the functionality safe even with high interference level (Fig. 22) [13]-[15].

J. Use Accurate Models of your Discrete Components

As demonstrated in Fig. 23, the discrete components behave as expected only up to 100 MHz. Above this limit, we may expect several parasitic effects to appear, leading to severe resonance/anti-resonance, parasitic resistive effects, and various non-linear effects due to non-linear properties of materials. Accurate models of the discrete components valid on the whole frequency range of interest should be used.

VII. CONCLUSION

In this paper, we have illustrated the trends toward higher complexity and frequencies, and described how the technology scale down makes EMC more and more challenging at IC level. We listed some mature standard measurement methods dedicated to IC's, as well as recent standards for EMC modeling at IC level. We proposed a set of guidelines for improved EMC, with illustrations taken from real case studies.

REFERENCES

- [1] S. R. Sedore, "Automated digital computer program for determining responses of electronic circuits to transient nuclear radiation" (SCEPTRE), AFWL TR 66-126, Air Force Weapons Laboratory, 1967.
- [2] J. J. Whalen, "Predicting RFI effects in semiconductor devices at frequencies above 100 MHz," *IEEE Transaction on Electromagnetic Compatibility*, 21, no. 4, 1979, pp. 281–282.
- [3] S. Ben Dhia, M. Ramdani, and E. Sicard, "Electromagnetic Compatibility of Integrated Circuits - Techniques for Low Emission and Susceptibility," New York, Springer-Verlag, 2006.
- [4] M. Ramdani, E. Sicard, A. Boyer, S. Ben Dhia, J. J. Whalen, T. H. Hubing, M. Coenen, O. Wada, "The Electromagnetic Compatibility of Integrated Circuits - Past, Present, and Fu-

ture," *IEEE transaction on Electromagnetic Compatibility*, 51, no 1, 2009, pp. 78-100.

- [5] J.M. Redouté, M. Steyaert "EMC of Analog Integrated Circuits," Springer, ISBN 978-90-481-3229-4, 2009.
- [6] "International Technology Roadmap for Semiconductors, Packaging and Assembly", online www.itrs.net.
- [7] K. Saban, "Xilinx Stacked Silicon Interconnect Technology Delivers Breakthrough FPGA Capacity, Bandwidth, and Power Efficiency," *white paper*, 2011, online www.xilinx.com.
- [8] "IEC 62132-1: Integrated Circuits, Measurement of Electromagnetic Immunity, 150 KHz – 1 GHz: General Conditions and Definitions", *International Electrotechnical Commission*, 2007, www.iec.ch.
- [9] "IBIS I/O Buffer Information Specification - Version 5.0", 2008, online at <http://www.eda.org/ibis/>.
- [10] "IEC 62433: Models of Integrated Circuits for EMI behavioral simulation", *International Electrotechnical Commission*, 2008, www.iec.ch.
- [11] P. Schröter, F. Klotz, "On Chip Filtering Versus Layout Techniques to Reduce RF Coupled Disturbances," *IEEE International Symposium on EMC*, Fort Lauderdale, USA, 2010, pp. 222-227.
- [12] B. Vrignon, S. Bendhia, E. Lamoureux, E. Sicard, "Characterization and Modeling of Parasitic Emission in Deep Submicron CMOS," *IEEE Transactions on Electromagnetic Compatibility*, Vol. 47, No. 2, May 2005, pp 382 – 385.
- [13] E. Orietti, N. Montemezzo, S. Buso, G. Meneghesso, A. Neviani, G. Spiazzi, "Reducing the EMI Susceptibility of a Ku-ijk Bandgap," *IEEE Transaction on Electromagnetic Compatibility*, 50, 4, 2008, pp. 876-886.
- [14] M. Fridolin, S. Michiel, "Comparison of high impedance input topologies with low EMI susceptibility," *Analog Integrated Circuit Signal Process*, 65, 2010, pp. 299–309.
- [15] P. S. Croveti and F. Fiori, "A CMOS Opamp Immune to EMI with no Penalty in Baseband Operation," *Proceedings of the International Symposium on EMC*, Kyoto, Japan, 2009.



Etienne Sicard received the B.Eng. in Electrical Engineering from the University of Toulouse and M.Eng in Microelectronics from the University of Bordeaux. He obtained a PhD in Microelectronics at LAAS/CNRS. After completing a post-doc at Osaka University, Japan, he joined INSA as associated professor in 1992. He is currently a professor at the Electrical & Computer Department, and is conducting research in EMC of ICs and signal processing. He authored software such as Microwind, IC-EMC and Vocalab.

Europractice: Supporting the European Academia in Microelectronics Design

Carl Das

20 YEARS OF MICROELECTRONICS EDUCATIONAL SUPPORT TO EUROPEAN UNIVERSITIES : EUROCHIP + EUROPRACTICE



imec © IPEC 2013 / CONFIDENTIAL CARL DAS - 50TH WORKSHOP DER MULTI PROJECT CHIP GRUPPE - 12 JULI 2013 2

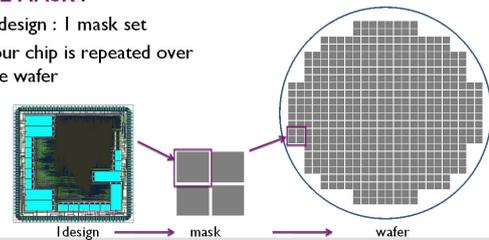
FULL MASKS

ASIC prototyping is very expensive because of the mask set

- ▶ 20,000 euro for 0.7u ... 1,500,000 euro for 40nm

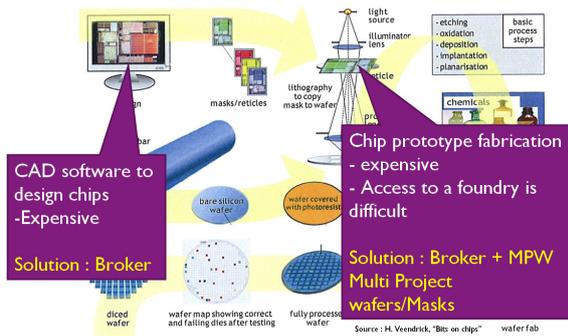
FULL MASK :

- ▶ 1 design : 1 mask set
- ▶ your chip is repeated over the wafer



imec © IPEC 2013 / CONFIDENTIAL CARL DAS - 50TH WORKSHOP DER MULTI PROJECT CHIP GRUPPE - 12 JULI 2013 6

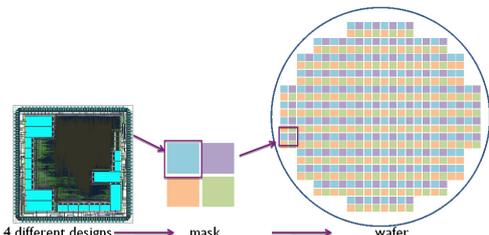
WHAT DO UNIVERSITIES NEED ? TO TEACH CHIP DESIGN



imec © IPEC 2013 / CONFIDENTIAL CARL DAS - 50TH WORKSHOP DER MULTI PROJECT CHIP GRUPPE - 12 JULI 2013 5

MPW (MULTI PROJECT WAFER)

- ▶ Different designs from several customers on the same mask set
- ▶ Cost mask set can be shared
- ▶ Typically : 5x ... 10x reduced mask cost



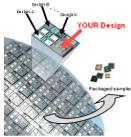
imec © IPEC 2013 / CONFIDENTIAL CARL DAS - 50TH WORKSHOP DER MULTI PROJECT CHIP GRUPPE - 12 JULI 2013 7

Dr. Carl Das, carl.das@imec.be, is the director of Europractice IC service at IMEC, IMEC Headquarters, Kapeldreef 75, B-3001 Heverlee, Belgium.

EARLY 80-IES

MPW (Multi Project Wafer) introduced in USA and later elsewhere to provide low-cost prototyping to universities (designs of students)

- MOSIS in US
- ECAD in UK
- EIS in Germany
- Norchip in Scandinavia
- CMP in France
- IMEC in Belgium
- .. different local initiatives



HISTORY (3) : EUROPRACTICE

Since 2000

- ▶ Partners : IMEC, STFC(RAL), Fraunhofer IIS
- ▶ Funding model has evolved
 - EC funding only for European Universities and Research Institutes
 - Contribution to technical support
 - Provides prototype price reduction
 - However European institutes pay ~85% of their total costs
 - Companies pay full costs
- ▶ Customer base
 - ~530 European Universities and ~100 European Research Institutes
 - ~ 500 others : Companies and non-European Institutes

HISTORY (1) : EUROCHIP



1989 : VLSI Design Training Action

- ▶ European Action funded by EC (European Commission)
- ▶ Goal : to help European universities train students in VLSI design by providing :
 - selected universities (50) with lecturer post, modern IC CAD tools, IC prototyping, IC tester
 - other universities (68 initially) had access to IC prototyping, and other services on a pay basis

Service Centre (EUROCHIP) was established to select, negotiate, coordinate and provide the services

- ▶ IMEC, RAL, DTU, GMD, CMP, CNM
- ▶ About 4 CAD packages - about 3 technologies

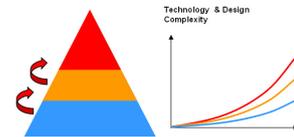
1995 : Action ended : about 400 universities had taken up IC design

WHAT HAS EUROPRACTICE ACHIEVED?

- ▶ Level of complexity of design methods, CAD tools and technology has increased dramatically during last 20 years and will further increase as new design methods and technologies emerge
- EUROPRACTICE has successfully
 - Offered tools and technologies to track this increase in complexity
 - Grown the European academic and research customer base to ~630
- However, not all 630 members are operating at the same level
 - A : Universities undertaking International Research (e.g. IST/RTD)
 - B : Universities undertaking Advanced Training + National Research
 - C : Universities undertaking Microelectronics based Training

EUROPRACTICE has helped universities to increase their capabilities by offering

- Affordable access to CAD tools
- Affordable access to IC technologies
- Coupled train-the-trainer courses



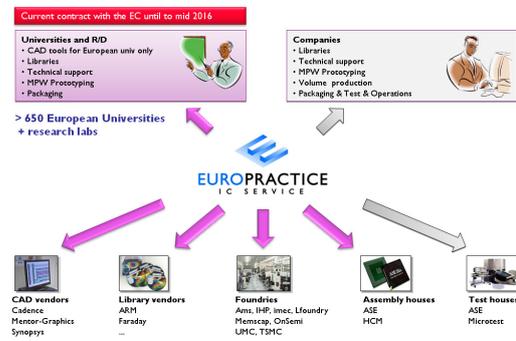
HISTORY (2) : EUROPRACTICE



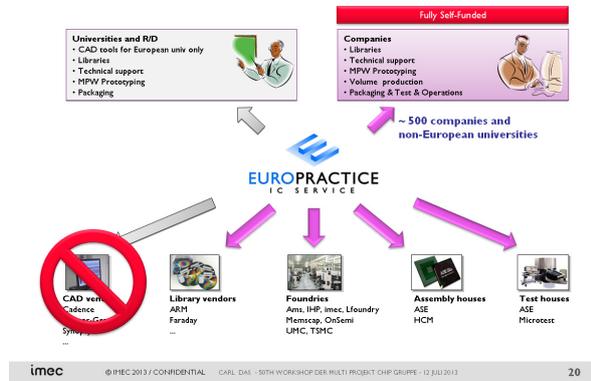
1995 : EUROPRACTICE IC project was started as a follow-on to EUROCHIP

- ▶ European Service funded by EC
- ▶ Goal :
 - to provide European universities and research institutes with affordable advanced CAD tools for IC, MCM and Microsystems
 - to offer European universities, research institutes and industry access to modern and advanced IC technologies at low cost
 - to offer industry a service for low volume IC fabrication
- ▶ Non-European universities and industry can make use of the fabrication service on a pay-as-you-use basis
- ▶ Partners : IMEC, RAL, Fraunhofer IIS, Nordic VLSI, Delta

EUROPRACTICE IC SERVICE



EUROPRACTICE IC SERVICE



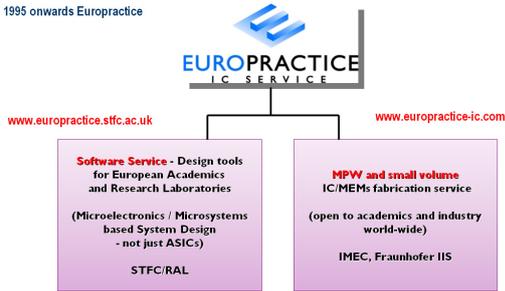
EUROPRACTICE DESIGN TOOL PORTFOLIO

- 3D-IC
- Photonics layout & verification
- PCB design
- Package analysis
- Thermal analysis
- DFM and yield optimisation
- Interconnect analysis
- SIP
- SoC
- Sensors - image, pressure, fluidic, ...
- MEMS / microfluidic design
- RF design
- Design for testability
- High level synthesis
- Design verification
- "App" development on Virtual prototypes
- Application specific processors
- Hardware software co-design
- Embedded processors
- Design reuse - IP blocks
- Mixed-signal design
- Digital synthesis from HDL
- Transistors
- Layout
- Process and device modelling
-

- European Universities and Research Institutes have diverse training and research needs
- This needs to be reflected in the breadth of the design tool portfolio
- Tools are not restricted to EURO PRACTICE processes or geometries
- Non-commercial use only

EUROPRACTICE IC SERVICE STRUCTURE

In operation for ~20 years!
 1989 - 1995 Eurochip
 1995 onwards Europractice



EUROPEAN INSTITUTIONS WITH DESIGN TOOLS

- ▶ More than 630 institutions
 - ~ 530 universities
 - ~ 100 research institutes
- ▶ In 44 countries close to Europe
- ▶ Have **current** support contracts for design tools
- ▶ Common design infrastructure
 - **Ideal basis for collaborative research projects**
- ▶ Although it is an EC-funded project
 - **85% turnover is from end users!**
 - Contributed to
 - Stability, long lifetime



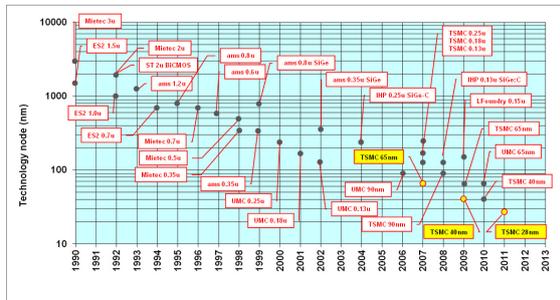
CAD PORTFOLIO



FOUNDRY PARTNERS IN 2012

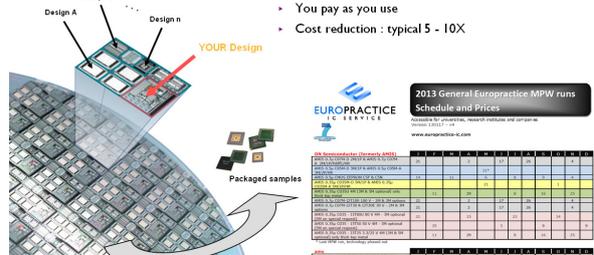


ROADMAP INTRODUCTION IC TECHNOLOGIES

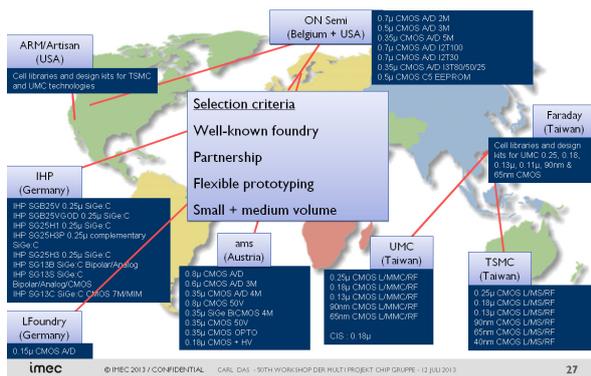


MULTI PROJECT WAFER (MPW) RUNS TO REDUCE THE COST FOR IC PROTOTYPING

- Mask cost is shared between customers
- Wafer fabrication cost is shared between customers
- You pay as you use
- Cost reduction : typical 5 - 10X



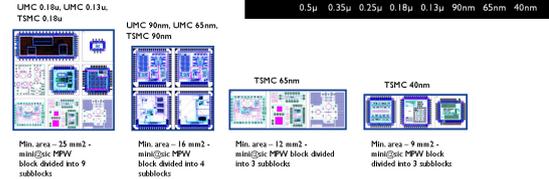
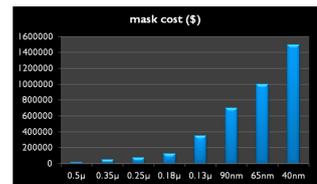
FOUNDRIES AND IC TECHNOLOGIES



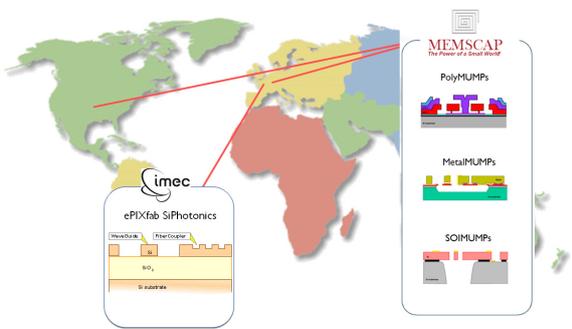
MINI@SIC PROGRAM

MPW = cost reduction of 5X ... 10X is not enough for advanced technologies

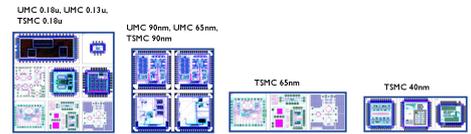
- Reduce the cost for small designs
- UMC and TSMC 90, 65, 40 nm
 - Divide min. chargeable area in smaller blocks
 - MPW in MPW (mini@sic)
 - On selected MPW runs



MEMS FOUNDRIES AND TECHNOLOGIES



MINI@SIC PROGRAM

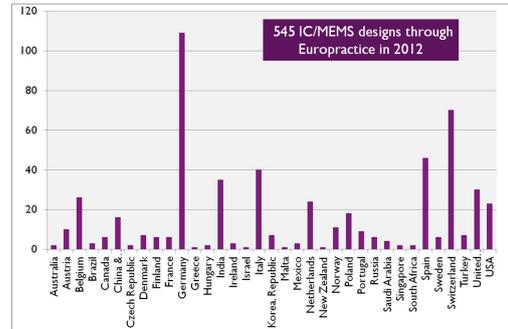


Technology node	mask + prototype cost (euro)	MPW cost		mini@sic cost (euro)	
		area (mm²)	cost (euro)	area (mm²)	cost (euro)
0.7 micron	20,000	10	3,500		
0.35 micron	50,000	10	6,000		
0.18 micron	100,000	25	20,000	2.5	3,000
90nm	550,000	16	50,000	3.75	13,000
65nm	750,000	12	50,000	3.75	18,000
40nm	1,200,000	9	65,000	3.5	22,000

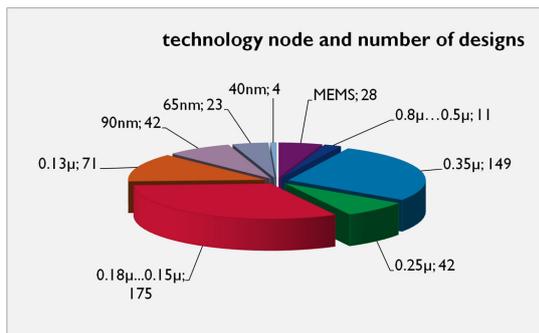
INCREASED NUMBER OF DESIGNS PROTOTYPED THANKS TO MINI@SIC



DESIGNS PER COUNTRY IN 2012



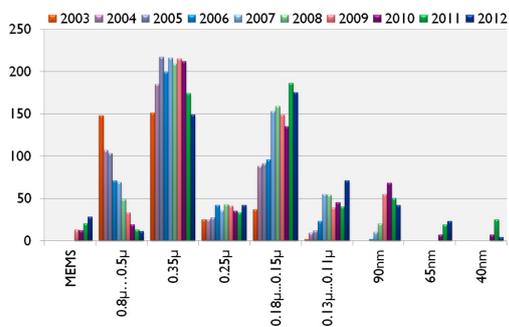
DESIGNS PER TECHNOLOGY NODE



COUPLED TRAINING ACTIONS FOR UNIVERSITIES

- ▶ In 1989 Industry identified the need for a VLSI Design Training Action – continued until 1995
- ▶ 1995 – 2007 : EUROPRACTICE SERVICE Centre
- ▶ Last 5 years: Added two coupled training actions funded by EC
 - IDESA
 - IC design skills in advanced deep submicron technologies
 - University and research institute trainers working with Europractice
 - Frequent training courses
 - 4-year project 2008 - 2012
 - STIMESI
 - Stimulation Action on MEMS and SiP technologies
 - Frequent training courses
 - 6-year project 2006 - 20012

HISTORY OF TECHNOLOGY USAGE



SUPPORTING THE EUROPEAN FABLESS DESIGN SECTOR

European Universities and Research Institutes have affordable, one-stop access to the best design tools, design flows and processes normally only available to the largest multi-national corporations

European fabless design companies have easy access to prototype and small volume fabrication, packaging and test

Common European microelectronics-based design infrastructure facilitates cooperation

Graduates entering industry from European universities

- ▶ more appropriately trained
- ▶ more able to meet future challenges of industry

Thanks to the EC for its continuous support

Entwicklung eines SPICE-Modells für gedruckte organische Transistoren

Stefan Hengen, Konstantin Heit, Lukas Lewandowski, Bernd Vettermann, Jürgen Giehl

Zusammenfassung—Organische Elektronik ist aktuell Gegenstand der Forschung, wird jedoch auf dem Massenmarkt bisher nur in wenigen Bereichen verwendet. So werden teilweise Displays für Mobiltelefone (z.B. Samsung, Motorola) aus organischen Leuchtdioden (OLEDs) gefertigt. Ebenso gibt es flexible Solarzellen aus organischer Photovoltaik (OPV), welche z.B. in Laptopaschen verarbeitet wurden (z.B. Neubers Solarbag). Organische Transistoren (OTFTs) werden jedoch aktuell in keinem Serienprodukt eingesetzt. Neben zuverlässigeren Fertigungsmethoden für große Stückzahlen müssen auch Modelle zur Simulation von Schaltungen aus OTFTs entwickelt werden. Für die elektrische Simulation gibt es in der Literatur verschiedene Modelle, welche jedoch teilweise sehr komplexe Verfahren zur Parameterextraktion benötigen. Zur Simulation flüssigprozessierter OTFTs wurde ein SPICE-Modell entwickelt, welches sich einfach implementieren und erweitern lässt. Es basiert auf dem MOS-Modell nach Schichman-Hodges und dem Variable Range Hopping-Modell, welches inhomogene Systeme wie z.B. amorphes Silizium beschreibt. Das Modell ist prinzipiell plattformunabhängig und wurde in dem kostenlos verfügbaren LTspice® (Fa. Linear Technology) sowie in IC Studio® (Fa. Mentor) implementiert. Durch Messungen wurden die Simulationsergebnisse überprüft und durch Modellerweiterungen angepasst. So wurden nacheinander Erweiterungen für die Kanallängenmodulation, Kontaktwiderstände, Gate-Leckströme, Überlappkapazitäten und das Sub-Threshold-Verhalten hinzugefügt. Jede Erweiterung wurde einzeln entwickelt und durch Messungen verifiziert, dadurch konnten zum Teil auch Schwierigkeiten bei der Bauteilherstellung aufgedeckt und deren Ursache identifiziert werden. Trotz der relativ einfachen Struktur ist das Modell in der Lage, das elektrische Verhalten von OTFTs in einem weiten Betriebsbereich präzise zu simulieren.

Schlüsselwörter—Organische Elektronik, Organic Electronics, OFET, OTFT, SPICE, Simulation.

Stefan Hengen, s.hengen@hs-mannheim.de, Konstantin Heit, konstantin.heit@stud.hs-mannheim.de, Lukas Lewandowski, lukas.lewandowski@stud.hs-mannheim.de, Dr. Bernd Vettermann, b.vettermann@hs-mannheim.de, Prof. Dr. Jürgen Giehl, j.giehl@hs-mannheim.de, Hochschule Mannheim, Paul-Wittsack-Str. 10, 68163 Mannheim.

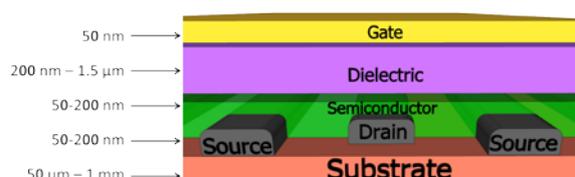


Abbildung 1: Querschnitt durch einen organischen Transistor, in bottom-contact/top-gate Topologie. Aufgeführt sind exemplarische Schichtdicken, die jedoch erheblich abweichen können.

I. EINLEITUNG

Organische Elektronik bezeichnet elektronische Bauelemente, die mit Halbleitern aus kohlenstoffbasierten Materialien aufgebaut werden. Gegenüber konventioneller Elektronik aus kristallinen Halbleitern (z.B. Silizium) hat organische Elektronik grundlegende Vorteile. So können die Herstellungskosten durch Flüssigprozessierung und Druckverfahren [1] weit unter denen von kristallinen Halbleitern liegen, welche in aufwendigen Vakuumverfahren gefertigt werden müssen. Auch transparente und flexible Bauelemente sind möglich - flexible Displays [2] und transparente Organische Leuchtdioden (OLEDs) [3] wurden schon demonstriert. OLEDs werden z.B. in Displays für Mobiltelefone verwendet (z.B. Samsung Galaxy, Motorola RAZR). Auch organische Photovoltaik (OPV) wurde schon in Serienprodukten eingesetzt (z.B. Neubers Solarbag). Organische Transistoren (OTFT = Organic Thin Film Transistor) werden bislang in keinem kommerziellen Produkt verwendet. Einer der Gründe ist die relativ geringe Leistungsfähigkeit, welche zum Teil durch unerwünschte (parasitäre) Effekte verursacht wird. Durch erweiterte Modelle lassen sich diese Effekte jedoch simulieren und Schaltungen so optimieren, dass sie funktionieren und mit hoher Ausbeute hergestellt werden können.

A. Verwendete Transistoren

Ein Querschnitt durch einen typischen OTFT ist in Abb. 1 gezeigt. Die untersuchten OTFTs sind auf einem flexiblen, 50 µm dicken PET (Polyäthylenterephthalat) Substrat aufgebaut. Drain und Source bestehen aus ca. 50 nm dicken, gedruckten Silberelektroden, welche sich direkt auf dem Substrat befinden (bottom-contact). Die Kanallänge und -weite betragen 50 µm bzw. 1 mm. Als Halbleiter wird ein

polymerer P-Halbleiter verwendet, die Schichtdicke beträgt ca. 130 nm. Das Dielektrikum besteht aus einer ca. 540 nm dicken Schicht eines Polymers mit $\epsilon_r = 2,3$. Halbleiter und Dielektrikum werden per Aufschleudern (Spincoating) aufgebracht. Als Gatelektrode wird Gold verwendet, welches durch eine Schattenmaske als oberste Schicht (top gate) aufgedampft wird, die Schichtstärke beträgt ca. 50 nm. Die ermittelte Schwellspannung beträgt $V_{th} = -4,6$ V, die Ladungsträgerbeweglichkeit beträgt $\mu = 0,0398$ cm²/Vs.

B. Messungen

Die Transistoren wurden nach einem präzise festgelegten Schema charakterisiert. Dieses legt die Messungen und den zeitlichen Ablauf genau fest und sichert hierdurch vergleichbare Ergebnisse. Transferkennlinien werden bei Drain-Source-Spannungen V_{DS} von 0 V, -5 V, -15 V und -40 V gemessen. Die Gate-Source-Spannung (V_{GS}) wird jeweils von 5 V bis -60 V in Schritten von 1 V verändert. Die Ausgangskennlinien werden im Bereich $V_{GS} = 0$ V ... -40 V in Schritten von -10 V gemessen, hierbei wird $V_{DS} = 5$ V ... -60 V in Schritten von -1 V verändert. Zum Erkennen von Hystereseeffekten werden die Messungen jeweils vorwärts und rückwärts durchlaufen [4]. Gemessen werden jeweils V_{DS} , V_{GS} sowie der Drain- und der Gatestrom (I_D , I_G). Für die Messungen werden SMUs vom Typ Keithley 2636A verwendet, die über eine eigens entwickelte Oberfläche LabVIEW® (Fa. National Instruments) gesteuert werden. Die Parameterextraktion läuft über ein an der Hochschule Mannheim entwickeltes Programm, welches V_{th} , μ , On-Off Verhältnis (*On/Off-Ratio*) und Kontaktwiderstände R_C automatisch ermittelt.

C. SPICE

SPICE (Simulation Programm with Integrated Circuit Emphasis) wurde 1973 von Nagel und Pederson vorgestellt [2]. Die Software ist die Basis vieler Simulationsprogramme (z.B. Pspice® von Fa. Cadence oder LTspice) und der de-facto Standard für die Schaltungssimulation.

II. SIMULATIONEN

OTFTs sind Feldeffekttransistoren (FETs), die üblicherweise in Akkumulation betrieben werden. Inversion wird nur in Ausnahmefällen erreicht. Dennoch lassen sie sich mit dem Modell nach Shichman-Hodges [6] simulieren, welches kristalline Halbleiter in Inversion beschreibt. Das verwendete OTFT SPICE-Modell basiert auf einer spannungsgesteuerten Stromquelle, der Zusammenhang zwischen Eingangsspannung und Ausgangsstrom wird durch Gleichung 1 dargestellt:

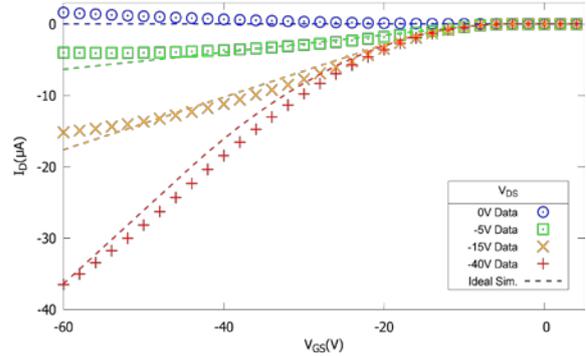


Abbildung 2: Gemessene und simulierte Transferkennlinie. Die Simulation basiert auf einem idealisierten Modell ohne parasitäre Elemente. Der Verlauf der Messwerte wird angenähert, es sind jedoch deutliche Abweichungen zu erkennen.

$$I_D = -\frac{W}{2L} \mu C_{ox} ([[-V_{GS} + V_{th}]]^2 - [[-V_{GS} + V_{th} + V_{DS}]]^2) \quad (1)$$

$$\text{Mit: } [[x]] = 0.5x + \text{abs}(0.5x)$$

Diese Gleichung stammt aus dem VRH-Modell [7] und gilt streng genommen nur für einen Teil des Sättigungsbereiches des Modells. Jedoch lässt sich auch der lineare Bereich zufriedenstellend darstellen. Erste Simulationen (Abb. 2) zeigen, dass Erweiterungen benötigt werden, um dem realen Verhalten gerecht zu werden. Die Kanallängenmodulation simuliert den endlichen Ausgangswiderstand im Sättigungsbereich [8]. Sie wurde vom kristallinen Modell übernommen und nach Gleichung 2 implementiert:

$$I'_D = I_D (1 + (\lambda |V_{DS}|)) \quad (2)$$

$$\lambda = 1/V_{Early}$$

Mit Gleichung 1 und 2 lassen sich prinzipiell die Transfer- und Ausgangskennlinien von FETs beschreiben und einfache Schaltungen simulieren [9]. Der Vergleich mit gemessenen Kurven zeigt jedoch, dass das Ergebnis nur eine grobe Annäherung an die Messwerte darstellt.

III. MODELLERWEITERUNGEN

Zum Verbessern der Simulationsergebnisse wurde das SPICE-Modell um zusätzliche Bauelemente erweitert. Diese beschreiben unerwünschte (parasitäre) Eigenschaften, wie sie an realen Transistoren wirksam sind. Durch diese Erweiterungen werden das Modell und die Simulationsergebnisse schrittweise verbessert.

A. Kontaktwiderstände

Am Übergang zwischen Metallelektroden und Halbleiter bildet sich durch unterschiedliche Austrittsarbeiten eine Potentialbarriere, welche einen sehr hohen Widerstand in Sperrrichtung verursacht und so zu einem Spannungsabfall führt. Dieser Spannungsab-

fall verringert die wirksamen Spannungen V_{DS} und V_{GS} . Das Resultat sind Kennlinien, deren Steigung schwächer verläuft als es die ideale Simulation erwarten lässt [10]. Abbildung 3 zeigt den Vergleich von gemessenen Werten mit idealer Simulation und Simulation unter Berücksichtigung von Kontaktwiderständen. Mit R_C wird die -40 V-Kennlinie deutlich besser angenähert, auch die -15 V-Kennlinie wird besser beschrieben. Können mehrere Transistoren gleicher Weite und unterschiedlicher Länge gemessen werden, so kann R_C über die Transfer Line Methode bestimmt werden [11]. Für die gezeigten Simulationen wurde $R_C = 220 \text{ k}\Omega$ per Kurvenangleichung (curve fitting) ermittelt. Da der Metall-Halbleiter-Übergang nur an der Source gesperrt ist, gilt für die Simulation: $R_{CS} = R_C$ und $R_{CD} = 1\Omega$. Der Spannungsabfall über R_C wurde bei der Extraktion der Parameter nicht berücksichtigt, daher muss auch μ neu bestimmt werden. Während der Kurvenangleichung von R_C wird ein Wert $\mu = 0,0455 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ermittelt.

B. Gateleckströme

OTFTs zeigen in Messungen häufig Gateströme, welche in der Größenordnung der Kanalströme liegen können und daher bei Schaltungssimulationen berücksichtigt werden müssen. Für die Simulation wird I_G durch eine quadratische Funktion angenähert. Abb. 4a zeigt Messwerte und Simulationen von I_G des untersuchten OTFT. In Abb. 4b ist der Einfluss von I_G auf I_D zu sehen: Bei $V_{DS} = 0 \text{ V}$ und -5 V folgen die Kurven den Messwerten deutlich besser als mit den idealen Simulationen. Durch Berücksichtigung von R_C und I_G lässt sich die Simulation weiter verbessern, Abb. 5 zeigt dies durch den Vergleich von Messwerten, idealer und nichtidealer Simulationen.

C. Off-Ströme

Das ideale MOS-Modell sieht keine Off-Ströme I_{OFF} vor, oberhalb V_{th} gilt $I_D = 0 \text{ A}$. Die Messwerte (Abb. 6) zeigen jedoch in diesem Bereich einen steilen Abfall auf einen Endwert, welcher dann nahezu konstant bleibt. Der Abfall im Bereich um, und leicht oberhalb der Schwellspannung (Subthreshold slope) lässt sich durch einen exponentiellen Anstieg simulieren. Der verbleibende Strom lässt sich in erster Näherung durch einen parallelen Widerstand nachbilden. Abbildung 6 zeigt den Vergleich gemessener und simulierter Ströme, sowohl für die ideale, als auch die Simulation mit I_{off} .

D. Überlapp-Kapazitäten

Im gezeigten Transistor liegt das Gate flächig über dem gesamten Transistorbereich. Daher befindet es sich auch über den Drain- und Source-Elektroden. Durch die Überlappung von Gate und Drain (C_{GD}) bzw. Source (C_{GS}) entstehen parasitäre Kapazitäten.

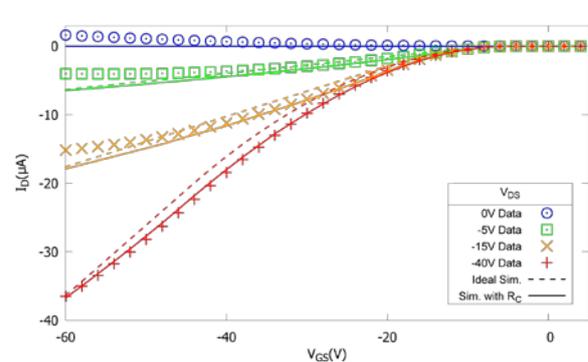


Abbildung 3: Vergleich von Messwerten und Simulationen mit und ohne R_C . Mit R_C werden die -40 V und die -15 V Kennlinien deutlich besser angenähert als bei der idealen Simulation.

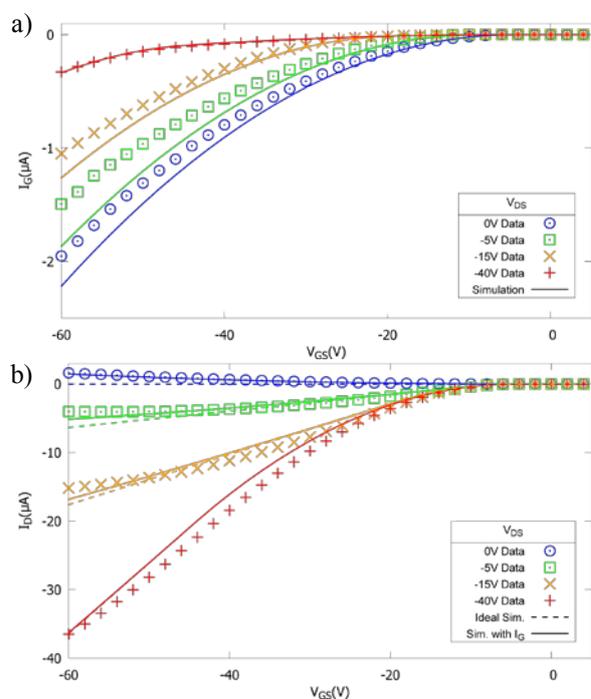


Abbildung 4: a) Messung und numerische Simulation von I_G . b) Vergleich von Messwerten und Simulationen mit und ohne I_G . Mit I_G werden die 0 V und die -5 V Kennlinien deutlich besser angenähert als bei der idealen Simulation ohne I_G .

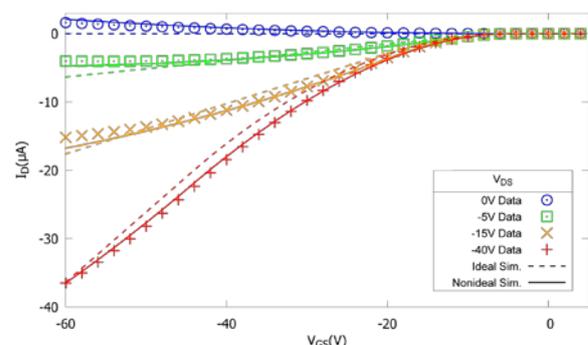


Abbildung 5: Vergleich von Messwerten und Simulation mit I_G und R_C . Die gemessenen Werte werden sehr gut angenähert, bei allen Kennlinien ist eine Verbesserung der Simulationsgenauigkeit sichtbar.

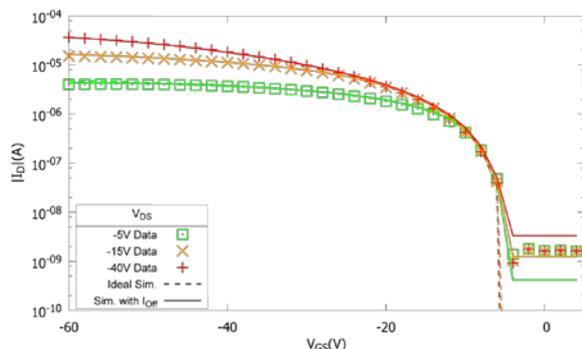


Abbildung 6: Vergleich von Messwerten und Simulation mit und ohne I_{Off} . Im Bereich um $V_{GS} = 0$ V ist die Verbesserung der Simulation deutlich zu erkennen.

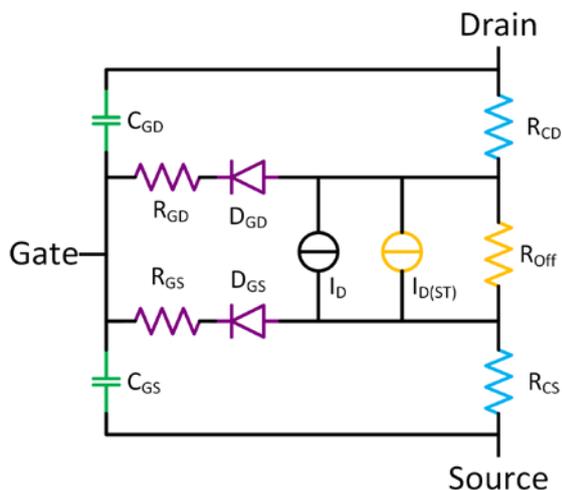


Abbildung 7: Ersatzschaltbild des erweiterten OTFT. Die spannungsgesteuerte Stromquelle I_D wurde um folgende parasitäre Elemente erweitert: Kontaktwiderstände an Drain und Source (R_{CD} , R_{CS}), Gate-Leckströme (D_{GD} , R_{GD} , D_{GS} , R_{GS}), Sub-threshold-Stromquelle und Off-Widerstand ($I_{D(ST)}$, R_{Off}) sowie Überlappkapazitäten (C_{GD} , C_{GS}).

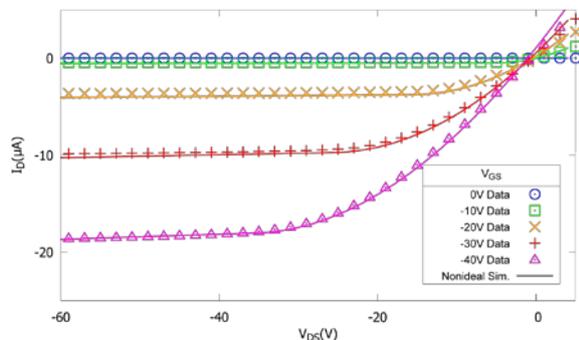


Abbildung 8: Vergleich von Messwerten und Simulationen der Ausgangskennlinien. Die Simulation beschreibt die Messwerte sehr gut, zu erkennen ist die Steigung im Sättigungsbereich, welche über die Kanallängenmodulation simuliert wird.

Tabelle 1: Simulationsparameter, Werte und Einheiten.

Parameter	Wert	Einheit
W, L	10.000 / 50	μm
V_{th}	-4,6	V
μ	0,0455	cm^2/Vs
C_{Ox}	37,78	$\mu\text{F}/\text{m}^2$
V_E	500	V
R_{CS}	0,22	$\text{M}\Omega$
R_{CD}	1	Ω
C_{GD}	40,43	pF
C_{GS}	32,11	pF
R_{Off}	12	$\text{G}\Omega$

Diese wurden ebenfalls in das Modell eingebracht (Abb. 7). Am untersuchten Transistor betragen die Flächen $1,07 \text{ mm}^2$ an Drain und $0,85 \text{ mm}^2$ an Source. Mit einem Gate-Kapazitäts-Flächenbelag $C_{Ox} = 37,78 \mu\text{F}/\text{m}^2$ ergeben sich $C_{GD} = 40,43 \text{ pF}$ bzw. $C_{GS} = 32,11 \text{ pF}$.

IV. ERSATZSCHALTBILD

Das Ersatzschaltbild des OTFT mit parasitären Bauteilen ist in Abb. 7 gezeigt. R_{CD} und R_{CS} sind als ohmsche Widerstände dargestellt und auch als solche simuliert. I_G ist durch zwei Zweige mit jeweils einer Diode und einem Widerstand dargestellt, die Simulation erfolgt jedoch numerisch. $I_{D(ST)}$ und R_{Off} beschreiben gemeinsam den Strom unterhalb V_{th} . C_{GD} und C_{GS} sind die errechneten Überlappkapazitäten. Die verwendeten Simulationsparameter sind in Tabelle 1 zusammengefasst.

V. FAZIT

Durch die Erweiterung des vorhandenen Modells um vier parasitäre Elemente wird eine deutliche Verbesserung der Simulation über einen weiten Betriebsbereich erreicht. Die logarithmische Darstellung (Abb. 6) zeigt, dass das erweiterte Modell vom Off- Bereich bis zum Maximalwert die Messpunkte sehr genau annähert. Abbildung 5 zeigt die Verbesserung im aktiven Bereich. Auch in den Ausgangskennlinien (Abb. 8) zeigt die Simulation sehr gute Übereinstimmung mit den Messdaten.

DANKSAGUNG

Die Autoren bedanken sich für die finanzielle Unterstützung des Projektes POLYTOS2 durch das Bundesministerium für Bildung und Forschung (Förderkennzeichen 13N12090) im Rahmen des Spitzenclusters „Forum Organic Electronics“, koordiniert von der Innovationlab GmbH, Heidelberg.

LITERATURVERZEICHNIS

- [1] R. R. Søndergaard, et al. “Roll-to-Roll fabrication of large area functional organic materials” *J. Polym. Sci. B Polym. Phys.* 51 (1), S. 16–34, 2013.
- [2] G. H. Gelinck, et al. “Flexible active-matrix displays and shift registers based on solution-processed organic transistors” *Nat. Mater* 3 (2), 2004.
- [3] G. Gu, et al. “Transparent organic light emitting devices” *Appl. Phys. Lett.* 68 (19), S. 2606, 1996.
- [4] S. Hengen et al. “Mass Characterisation of OTFT” *Proceedings of LOPE-C 2011, Frankfurt am Main.*
- [5] L. W. Nagel, D. O. Pederson “Simulation Program with Integrated Circuit Emphasis (SPICE)” *Memorandum No ERL-M382, Electronics Research Laboratory, College of Engineering, University of California, Berkeley, 1973.*
- [6] H. Shichman, D.A. Hodges “Modeling and simulation of insulated-gate field-effect transistor switching circuits” *IEEE Journal of Solid-State Circuits*, vol.3, no.3, pp. 285- 289, 1968, doi: 10.1109/JSSC.1968.1049902.
- [7] Klauk, Hagen “Organic Electronics”, 2007, *Wiley-VCH-Verl., Weinheim.*
- [8] F. A. Lindholm, D. J. Hamilton “Incorporation of the early effect in the Ebers-Moll model” *Proceedings of the IEEE* 59(9), S. 1377–1378, 1971 doi: 10.1109/PROC.1971.8435.
- [9] S. Hengen et al. “Modelling and Simulation of Organic Thin Film Transistor Circuits” *Proceedings of LOPE-C 2012, München.*
- [10] H. Klauk, et al. “Contact resistance in organic thin film transistors” *Solid State Electronics* 47 (2), S. 297–301, 2003.
- [11] Y. Xu, et al. “Modified transmission-line method for contact resistance extraction in organic field-effect transistors” *Appl. Phys. Lett.* 97 (6), S. 63302, 2002.



Stefan Hengen erhielt den akademischen Grad des Dipl.-Ing. (FH) in Nachrichtentechnik/Elektronik im Jahr 2008 von der Hochschule Mannheim. Dort erhielt er im Jahr 2010 den Master of Science in Informationstechnik. Seit 2009 ist er Wissenschaftlicher Mitarbeiter an der Hochschule Mannheim.



Konstantin Heit erhielt den akademischen Grad des Bachelor of Science von der Hochschule Mannheim 2012. In Rahmen seiner Bachelorthesis beschäftigte er sich mit statistischen Schwankungen an organischen Transistoren.



Lukas Lewandowski erhielt den akademischen Grad des Bachelor of Science von der Hochschule Mannheim 2012. In Rahmen seiner Bachelorthesis analysierte er die Prozessschwankungen von organischen Transistoren.



Bernd Vettermann ist seit 1994 an der Hochschule Mannheim im Institut für integrierte Schaltkreise als Ingenieur tätig. Er erhielt 2006 von der Universität Mannheim den akademischen Grad eines Doktors der Naturwissenschaften.



Jürgen Giehl erhielt den akademischen Grad Diplom-Physiker 1990 von der Universität Mainz und den Grad Dr.-Ing. in Elektrotechnik von der Universität Siegen im Jahr 1997. Von 1997 bis 2007 hat er bei ITT Semiconductors (seit 1998 Micronas GmbH) in Freiburg i. Breisgau als Projektmanager und Designer für analoge Schaltungen gearbeitet. Seit 2007 ist er Professor mit Lehrgebiet Entwurf integrierter Schaltkreise an der Hochschule Mannheim.

Time-of-Flight-Messung mittels Compressive Sensing

Zora Slavik, Marc Ihle

Zusammenfassung—Die Diskretisierung von Signalen unter Einhaltung des Abtasttheorems von Shannon und Nyquist ist bei Signalen, die einerseits eine hohe Bandbreite und andererseits nur einen geringen Informationsgehalt aufweisen, wenig effizient. Am Beispiel der Time-of-Flight-Messung wird gezeigt, wie mit Compressive Sensing bereits beim Messvorgang das Empfangssignal komprimiert werden kann, ohne die relevanten Informationen zu verlieren. Der Messaufbau ist dabei universell für zeitlich dünn besetzte Signale anwendbar.

Schlüsselwörter—Compressive Sensing, Time-of-Flight-Messung, L1-Norm-Minimierung, FPGA.

I. EINLEITUNG

Messungen im Zeitbereich erfolgen in der Regel unter Beachtung des Abtasttheorems nach Shannon und Nyquist. Dieses besagt, dass die Abtastfrequenz, mit der ein Signal (im Basisband) abgetastet wird, mindestens der doppelten maximalen Signalfrequenz entsprechen muss. Nur so lässt sich das Signal später rekonstruieren. Die Anwendung dieses Abtasttheorems führt in der Praxis zu einigen Herausforderungen. Eine davon stellt sich, wenn das Signal, das abgetastet werden soll, nicht bandbegrenzt ist. Das ist beispielsweise bei schmalen Pulsformen der Fall. Nimmt man vereinfachend an, dass die Pulsform rechteckförmig ist, lässt sich aus der Fourier-Reihe schließen, dass das Signal eine nahezu unbegrenzt hohe maximale Signalfrequenz aufweist. Wird ein solches Signal mit einem AD-Wandler digitalisiert, ergibt sich ein Informationsverlust, der, nach Shannon und Nyquist, nur durch eine starke Erhöhung der Abtastrate minimiert werden kann. Wenn zudem das Empfangssignal nur sehr wenige dieser zeitlich kurzen, rechteckförmigen Pulse enthält, deren seltenes, zeitliches Auftreten nicht bekannt ist, bedeutet die Abtastung gemäß Abtasttheorem, dass man den größten Teil der Messzeit damit verbringt, nichts Relevantes zu messen, ohne aufgrund der hohen spektralen Anteile des Signals die Abtast-

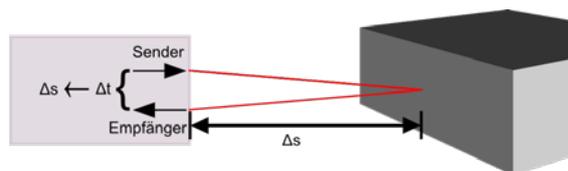


Abbildung 1: Schema der Entfernungsmessung mit der ToF-Methode, Auswertung der Laufzeit

frequenz verringern zu können.

Diese Problematik ergibt sich beispielsweise bei einer Time-of-Flight-Messung (ToF) mit einem Laser- oder Radarsystem. Dabei wird die Zeit gemessen, die ein kurzer Puls benötigt, um die Strecke zwischen einer Sende- und Empfangseinheit und einem Objekt zurückzulegen (siehe Abbildung 1).

Gegenwärtig werden ToF-Messungen durchgeführt, indem entweder frequenzmodulierte Dauerstrichradarsysteme (frequency modulated continuous wave radar, FMCW) oder CW-modulierte Laserradarsysteme verwendet werden. Bei beiden Systemen wird der Phasenunterschied zwischen dem gesendeten und dem empfangenen Signal ausgewertet [1]. Dabei sind allerdings mehrere Messungen zum Ermitteln der Phasendifferenz erforderlich.

Hier soll gezeigt werden, wie mit einem universell einsetzbaren Messsystem ohne Frequenzmodulation und mit einer einzelnen Messung die relevante Information aus dem Empfangssystem extrahiert werden kann.

II. COMPRESSIVE SENSING

Da rechnergestützt nur zeitdiskrete Werte verarbeitet werden, können die Signale ohne Beschränkung der Allgemeinheit als Vektoren aufgefasst werden. Diese Vektoren enthalten die Abtastwerte der gemäß dem Abtasttheorem diskretisierten, analogen Signale.

A. Mathematischer Hintergrund

Die meisten Signale lassen sich als Linearkombination von Basisfunktionen darstellen. Das wohl bekannteste Beispiel dafür ist die Fourier-Reihe. Dabei wird ein periodisches Signal als Linearkombination aus

einer Grundschwingung und den Harmonischen dargestellt. Für ein Signal, auf welches das Compressive-Sensing-Verfahren angewandt werden soll, ist die Darstellbarkeit mittels Basisfunktionen eine Voraussetzung. Es müssen Basisfunktionen bekannt sein, aus denen durch die Linearkombination mit einem anderen, zunächst beliebigen, Vektor \vec{c} das Originalsignal dargestellt werden kann. Wenn in den k Spalten der quadratischen Matrix Ψ die Basisfunktionen des Originalsignals \vec{f} enthalten sind und mit dem Kombinationsvektor \vec{c} das Signal dargestellt werden kann, bedeutet das mathematisch ausgedrückt [2]:

$$\vec{f} = \Psi \cdot \vec{c} \quad (1)$$

Wenn dabei \vec{c} so gewählt werden kann, dass der Vektor nur wenige von Null verschiedene Elemente enthält, spricht man von einem dünn besetzten Vektor \vec{c} und damit von einem bezüglich Ψ komprimierbaren Signal.

Für die Methode des Compressive Sensing ist es erforderlich, dass das Originalsignal in mindestens einem Bereich komprimierbar ist. Bei der ToF-Messung ist das Empfangssignal im Zeitbereich komprimierbar. Daraus folgt, dass der Vektor \vec{c} dünn besetzt ist, wenn als Basisfunktionen Pulse zu verschiedenen Zeitpunkten gewählt werden. Statt das analoge Empfangssignal regulär abzutasten, wird es mit mehreren Testfunktionen $\phi_i(t)$ multipliziert und anschließend über ein festgelegtes Zeitintervall integriert. Am Ende dieses Intervalls werden die einzelnen Integrationsergebnisse als jeweils ein Element des Vektors \vec{b} ausgelesen. Dieser Vektor ist eine kompakte Repräsentation des Originalsignals. Zur Berechnung und Simulation dieses Vorgehens werden die Testfunktionen wieder in diskretisierter Form als Testvektoren dargestellt. Die Messmatrix Φ enthält dann in ihren i Zeilen jeweils einen Testvektor. Das oben beschriebene Verfahren entspricht dann der Bildung der Skalarprodukte aus jedem Testvektor und dem Originalvektor.

$$\vec{b} = \Phi \cdot \vec{f} \quad (2)$$

Der resultierende Vektor \vec{b} enthält dann die i Skalarprodukte der einzelnen Multiplikationen. Auf Empfängerseite erfolgt die Rekonstruktion aus den i Werten in Vektor \vec{b} . Dazu wird der Ausdruck für \vec{f} eingesetzt, wobei \vec{c} unbekannt ist und mit dem Vektor \vec{x} geschätzt wird. Damit ergibt sich für die Rekonstruktion die Gleichung:

$$\begin{aligned} \vec{b} &= \Phi \cdot \Psi \cdot \vec{x} \\ &= A \cdot \vec{x} \end{aligned} \quad (3)$$

Da die Messmatrix Φ deutlich weniger Zeilen i als Spalten k enthält, ist die Gleichung (3) unterbestimmt. Somit gibt es keine eindeutige Lösung für \vec{x} . An dieser Stelle kommt die dünne Besetzung des Signalvektors zum Tragen. Dadurch, dass bekannt ist, dass das Signal beispielsweise im Zeitbereich nur wenige Wer-

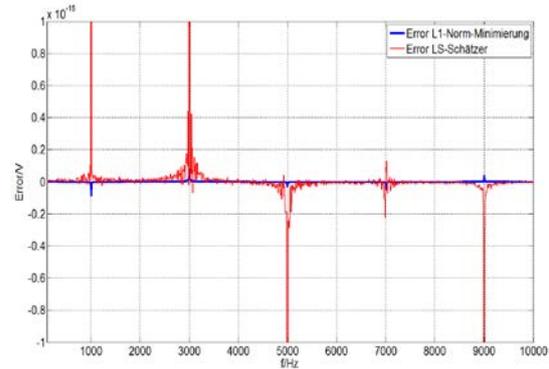


Abbildung 2: Vergleich zwischen der Rekonstruktion mit der L1-Norm-Minimierung und mit der LS-Methode

te besitzt, die sich von einem konstanten Wert unterscheiden, ist die wahrscheinlichste Lösung für \vec{x} diejenige, welche die wenigsten Vektorelemente enthält, die ungleich Null sind, mathematisch also:

$$\|\vec{x}\|_0 = \min\{x_i | x_i \neq 0\} \quad (4)$$

Die Minimierung der Anzahl der von Null verschiedenen Werte entspricht der Minimierung der L_0 -Norm des Vektors \vec{x} . Für die Lösung dieses Minimierungsproblems gibt es allerdings noch keine effizienten Algorithmen [3], weshalb auf die Minimierung der L_1 -Norm zurückgegriffen wird. Die L_1 -Norm eines Vektors ist die Summe der Beträge seiner Elemente und wird deswegen auch als Komponenten-Betragssummen-Norm bezeichnet [4]. Das Minimierungsziel lautet dann also:

$$\|\vec{x}\|_1 = \min \sum_{i=1}^N |x_i| \quad (5)$$

Dieses Minimierungsproblem kann beispielsweise mit dem Simplex-Algorithmus gelöst werden. Dabei wird aus den möglichen Lösungen ein Polyeder aufgespannt, dessen Ecken je eine Lösung darstellen. Seine Kanten werden als mögliche Verbesserungsrichtungen von einer Ecke zur nächsten aufgefasst. Von einem Startpunkt aus werden die benachbarten Ecken verglichen. Die Kante, die zur nächsten besseren Ecke führt, wird als nächster Pfad ausgesucht, bis die beste Ecke gefunden oder keine weitere Verbesserung möglich ist. Das genaue Vorgehen ist in [5] ausführlich beschrieben.

Die L_2 -Norm eines Vektors ist die Wurzel aus der Summe der Betragsquadrate der Vektorelemente:

$$\|\vec{x}\|_2 = \sqrt{\sum_{i=1}^N |x_i|^2} \quad (6)$$

Die Minimierung der L_2 -Norm, besser bekannt als Least-Squares-Methode, führt zur Minimierung des

quadratischen Fehlers. Daraus ergibt sich eine Lösung für \vec{x} mit der Pseudoinversen von A :

$$\vec{x} = [A^T A]^{-1} A^T \vec{b} \quad (7)$$

Diese Lösung eignet sich für dünn besetzte Signale nicht, da dabei der gesamte quadratische Fehler minimiert wird, ohne die Randbedingung zu berücksichtigen, dass diejenige Lösung für \vec{x} gesucht wird, die die wenigsten von Null verschiedenen Elemente enthält.

Als Beispiel wurde mit Matlab die Rekonstruktion eines Signals berechnet, das sich aus mehreren Sinussignalen unterschiedlicher Frequenzen zusammensetzt. Sinussignale genügen im Zeitbereich zwar nicht der Dünnebesetztheitsrestriktion, dafür aber im Frequenzbereich. Die Schätzung von \vec{x} erfolgt entsprechend im Frequenzbereich. Die Basisfunktionen in Ψ stellen die Spektren von Sinussignalen unterschiedlicher Frequenzen dar. Mit einem dünn besetzten Vektor \vec{c} wird daraus das Originalsignal \vec{f} erstellt. Dieses Signal wird mit der Messmatrix Φ abgetastet, deren Testfunktionen zufällige Eins-Null-Folgen sind, wodurch man den Vektor \vec{b} erhält, der die komprimierte Version des Originalsignals \vec{f} darstellt. Zunächst wurde die unterbestimmte Gleichung (3) über die Minimierung der L_1 -Norm gelöst. Anschließend wurde \vec{x} mit der Gleichung (7) berechnet, also der Least-Squares-Methode. Mit den beiden unterschiedlichen Ergebnissen für \vec{x} wurde jeweils die Rekonstruktion durchgeführt, indem \vec{x} für \vec{c} in Gleichung (1) eingesetzt wurde. Die Rekonstruktionen wurden mit dem Originalsignal durch Subtraktion verglichen. Die blaue Kennlinie in Abbildung 2 stellt den Fehler dar, der durch die Rekonstruktion mit der L_1 -Norm-Methode entstanden ist, die rote Kennlinie den Fehler bei der Rekonstruktion nach der Least-Squares-Methode. Während die blaue Kennlinie sehr nah bei Null liegt und somit das Originalsignal nahezu perfekt rekonstruiert werden konnte, weist die rote Linie teilweise starke Abweichungen auf.

B. Messmatrix Φ

Die Laufzeitmessung mit zeitlich dünn besetzten Signalen kann einerseits über die Autokorrelation des erwarteten Signals gelöst werden. Die Messmatrix Φ enthält in ihren Zeilen dann Testfunktionen, die möglichst genau dem erwarteten Signal entsprechen [6]. Daraus folgt, dass für eine Messung, die eine sehr genaue Rekonstruktion ermöglichen soll, in dem Fall, dass ein kurzer Puls erwartet wird, sehr viele Testfunktionen erforderlich sind. Schließlich kann der Puls zu jedem der N Zeitpunkte auftreten.

In [7] ist außerdem gezeigt worden, dass für die Rekonstruktion bessere Ergebnisse erzielt werden können, wenn das Empfangssignal bei der Messung in dem Bereich, in dem es dünn besetzt ist, gespreizt wird. Das wird erreicht, indem die Testfunktionen derart gewählt werden, dass sie möglichst unkorreliert

zu den Basisfunktionen des Empfangssignals in der Matrix Ψ sind. Als Maß für den Grad der Kreuzkorrelation zwischen Φ und Ψ gilt die Kohärenz μ , die aus dem maximalen Skalarprodukt aus einer Funktion in Φ und einer in Ψ gebildet wird [7]:

$$\mu(\Phi, \Psi) = \sqrt{n} \cdot \max_{1 \leq i, 1 \leq k} |\varphi_i \cdot \psi_k| \quad (8)$$

Das Empfangssignal bei einer ToF-Messung verändert sich im Zeitbereich abgesehen vom Rauschen nur zu einem Zeitpunkt. Ein zu diesem Signal unkorreliertes Signal ist eines, das im Zeitbereich sehr dicht besetzt ist, wie beispielsweise ein Zufallssignal. Damit ist das Messsignal bzw. die Messmatrix von der Form des Empfangssignals unabhängig, solange es im Zeitbereich dünn besetzt ist. Ein weiterer Vorteil besteht darin, dass (pseudo-)zufällige Signale sehr einfach erzeugt werden können.

III. ERZEUGEN VON ZUFALLSSEQUENZEN

Es ist selbstverständlich möglich, (Pseudo-)Zufallssequenzen auf einem Rechnersystem softwareseitig zu erzeugen. Das würde aber bedeuten, dass das Empfangssignal dann bereits digitalisiert worden sein muss, wodurch die Messproblematik nicht durch die Multiplikation mit Zufallssequenzen gelöst werden wäre.

Ein analoger Entwurf bietet den Vorteil, dass die Komprimierung des Empfangssignals ohne weiteren Rechenaufwand bei der Messung stattfindet und das Ergebnis der Komprimierung gleich für die Rekonstruktion verwendet werden kann. Dieses Vorgehen wird als Analog-to-Information-Wandlung (AI) [7] bezeichnet.

Zum Erzeugen der Pseudozufallssequenzen wird der Umstand ausgenutzt, dass bei hohen Frequenzen auf Leiterbahnen Reflexionen entstehen können. Dies geschieht, wenn die Wellenlänge des Signals kürzer als die mittlere Bauteillänge in einer Schaltung ist, da dann das Signal nicht mehr als ortsunabhängig gelten kann [8]. Wenn ein Zehntel der Signalwellenlänge der mittleren Bauteillänge entspricht, gilt diese Wellenlänge als Grenzwert für die Ortsabhängigkeit eines Signals.

A. Leiterbahnen als Bauteile

Bei Schaltungen, die mit hochfrequenten Signalen versorgt werden, werden die Leitungen zur und auf der Platine selbst zu Bauteilen, die mit ihrem Wellenwiderstand beschrieben werden. Abhängig von der Art der Leitung fließen unterschiedliche Parameter in die Berechnung des Wellenwiderstands ein. Für den Aufbau von Pseudozufallsstrecken für die Messanordnung sind die Parameter interessant, die speziell bei Leiterbahnen eine Rolle spielen.

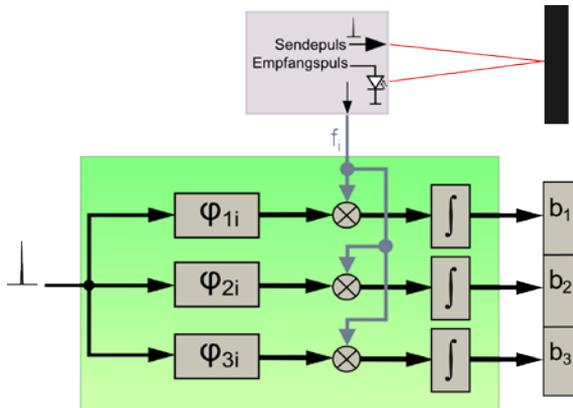


Abbildung 3: Realisierung der ToF-Messung nach dem CS-Prinzip.

Der Wellenwiderstand einer Leiterbahn hängt zunächst von der Bauform der Leiterbahn ab. So muss der Wellenwiderstand bei einer Mikrostreifenleitung, der einfachsten Konfiguration, anders berechnet werden als bei einem koplanaren Wellenleiter. Der koplanare Wellenleiter unterscheidet sich von einer Mikrostreifenleitung durch die Massefläche, welche die Leiterbahn umgibt. Der Abstand zwischen der Leiterbahn und der Massefläche geht in die Berechnung des Wellenwiderstands eines koplanaren Wellenleiters ein. Bei allen Konfigurationen spielt die Breite der Leiterbahn eine wichtige Rolle. Außerdem sind das Substratmaterial und seine Dicke sowie die Auflagedicke des Kupfers von Bedeutung. Diese Parameter werden meist vom Platinenhersteller vorgegeben.

Die Ausbreitungsgeschwindigkeit des hochfrequenten Signals ist ebenfalls von dem Substratmaterial abhängig. Bei dem gängigen Substratmaterial FR4 breitet sich ein Signal mit $137 \cdot 10^6 \text{ m/s}$ aus. Damit kann die Leiterbahnlänge als zeitliche Verzögerung angegeben werden. Eine Leiterbahnlänge von beispielsweise 1 mm verzögert ein Signal um 7,3 ps. Zusammen mit der Faustregel, dass die Wellenlänge eines Signals mindestens dem zehnfachen der Bauteillänge entsprechen soll, um eine Ortsabhängigkeit des Signals zu erhalten, müsste ein Signal mit mindestens $f = \frac{c}{10 \cdot l} = \frac{137 \text{ m/s}}{10 \cdot 1 \text{ mm}} = 13,7 \text{ GHz}$ eingespeist werden.

Reflexionen entstehen durch geometrische Anordnungen der Leiterbahn, wie zum Beispiel Knicken oder Abzweigungen. Am Leiterbahnde wird ein Signal abhängig vom Abschlusswiderstand auf die Leiterbahn reflektiert, wenn der Wert des Abschlusswiderstands nicht dem Wellenwiderstand der Leitung entspricht. Bei einem offenen Leitungsende, also einem unendlich hohen Abschlusswiderstand, kommt es zu einer vollständigen Reflexion. In Folge der Reflexionen wird das Signal verzerrt. Die Art und der Grad der Verzerrung lässt sich im Voraus berechnen und ist reproduzierbar. Damit kann dieser Effekt zum Erzeu-

gen von analogen pseudozufälligen Sequenzen genutzt werden.

B. Simulation und Ersatzschaltbilder

Ein gerades Leiterbahnstück lässt sich im einfachsten Fall über seine Länge und seinen Wellenwiderstand darstellen. In LTSpice ist dies mit dem Bauteil *tline* möglich. Diese Art, ein Leiterbahnstück zu simulieren, empfiehlt sich dann, wenn keine weiteren Diskontinuitäten auftreten, da die Länge und die Breite eines Leiterbahnstücks, und damit die Verzögerungszeit und der Wellenwiderstand, schnell ermittelt werden können. Alternativ lässt sich ein Leiterbahnstück auch mit diskreten Bauteilen darstellen und simulieren. Ein gerades Leitungsstück entspricht einer Spule und einem Kondensator gegen Masse. Damit wird gleichzeitig ein offenes Leitungsende simuliert. Die Änderung des Wellenwiderstands wird diskret mit zwei unterschiedlichen Induktivitäten ausgedrückt, wobei zwischen den Induktivitäten ein Kondensator gegen Masse geschaltet ist. Weitere Leiterbahndiskontinuitäten und deren Ersatzschaltbilder werden in [9] und [10] behandelt.

Die Ersatzschaltbilder der Leiterbahndiskontinuitäten können nicht nur simuliert werden, sondern es ergibt sich aus ihnen auch die Möglichkeit, diese Diskontinuitäten diskret zu entwerfen und aufzubauen. Anstelle tatsächlich eine Leiterbahnführung auf einer Platine mit Knicken, Wellenwiderstandsänderungen und offenen Enden zu realisieren, kann mit diskreten Bauteilen eine pseudozufällige Strecke implementiert werden. Der Vorteil besteht darin, dass starke Verzerrungen bereits für niedrigere Frequenzen bei kompakten Platinenabmessungen erreicht werden können. Insgesamt besteht die Möglichkeit, die analoge Generierung eines Zufallssignals soweit zu minimieren, dass sie sogar in einem ASIC implementiert werden kann.

IV. ANWENDUNG AUF TOF-MESSUNG

ToF-Messungen mit einem Impulsradar werden durchgeführt, indem das Empfangssignal mit einer sehr hohen Abtastrate gemessen wird [11]. Mit Hilfe des Compressive Sensing-Verfahrens und den pseudozufälligen Testsequenzen kann das vermieden werden.

Dazu wird das Empfangssignal nicht sofort ausgelesen, sondern analog beim Messvorgang komprimiert. Die Strecken zur Generierung von pseudozufälligen Signalen werden wie in Abschnitt III.B beschrieben entworfen und aufgebaut. Das Eingangssignal für diese Strecken kann entweder das selbe Signal sein, das für die ToF-Messung ausgesendet wird, oder ein beliebiges anderes Signal mit hoher Bandbreite. Jedes Ausgangssignal einer dieser Zufallsstrecken ist eine pseudozufällige Testsequenz φ_i , die eine Zeile der Messmatrix Φ repräsentiert. Unter der Annahme, dass die Kohärenz $\mu = 1$ beträgt, die Testsignale also kei-

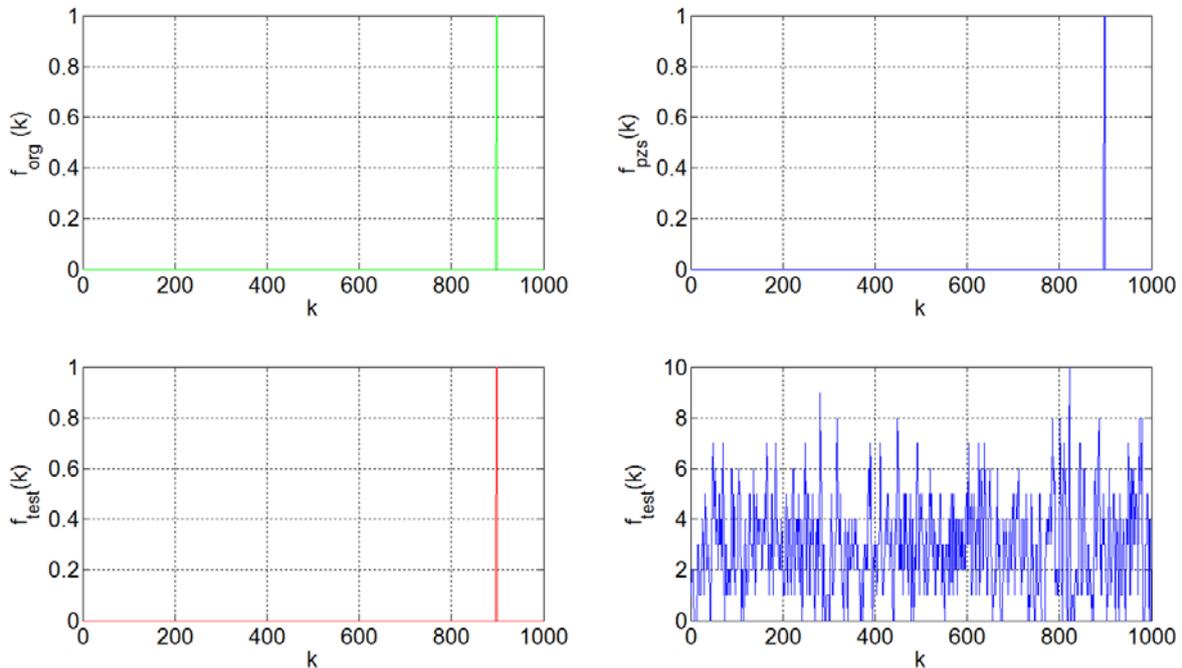


Abbildung 4: Links oben: Originalsignal; rechts oben: Rekonstruktion nach Messung mit Pseudozufallssequenzen; links unten: Rekonstruktion mit ähnlichen Testfunktionen, Anzahl Testfunktionen deutlich höher; rechts unten: Rekonstruktion mit ähnlichen Testfunktionen, Anzahl Testfunktionen = Anzahl Pseudozufallssequenzen.

nerlei Ähnlichkeit mit dem Empfangssignal haben, beträgt die Mindestanzahl M der erforderlichen Testsequenzen [7]:

$$M \geq C \cdot S \cdot \log(N) \quad (9)$$

Dabei ist S das Maß für die Dünnheit des Signals, also die Anzahl der Werte in \vec{f} , die nicht Null sind. Speziell bei einer ToF-Messung mit einem sehr kurzzeitigen Sendepuls kann $S = 1$ angenommen werden. N ist die Länge des Vektors \vec{f} , also die Anzahl der Abtastwerte des Empfangssignals bei Abtastung nach dem Abtasttheorem. Die Variable C ist ein beliebiger Faktor, der aber mindestens 1 sein muss. Wenn dieser Faktor erhöht wird, kann das Rekonstruktionsergebnis zusätzlich verbessert werden. Bei $N = 10000$ Abtastwerten reichen demnach bereits $M \geq 4$ Testsequenzen aus.

Die Ausgangssignale der Zufallsstrecken werden mit Hilfe von Hochfrequenzmultiplizierern mit dem Empfangssignal multipliziert. Das daraus resultierende Mischsignal wird analog, mit einem Kondensator, über die Zeitdauer T integriert und nach der Integration ausgelesen. Jedes Integrationsergebnis ist dabei ein Element des Vektors \vec{b} , der durch diese Messmethode bereits diskret vorliegt. Der Messaufbau ist in Abbildung 3 schematisch dargestellt, wobei der grün hinterlegte Bereich als analoge Schaltung realisiert wird. Die Rekonstruktion des Empfangssignals kann an-

schließend mit den hinterlegten Basisfunktionen auf einem FPGA erfolgen.

A. Simulation des Messaufbaus mit Matlab

Die Simulation dieses Messaufbaus wurde mit einem Empfangsvektor $\vec{f}_{original}$ durchgeführt, der aus $N = 1000$ Abtastwerten besteht. Die Pulslänge wurde mit $t_{dur} = 3$ Abtastwerten und der Faktor C mit $C = 2$ gewählt. Der Zeitpunkt, zu dem der Puls tatsächlich am Empfänger ankommt, wurde zufällig generiert. Dabei konnte der Zeitpunkt einen ganzzahligen Wert zwischen eins und N annehmen, wobei eine Gleichverteilung der Werte zugrunde gelegt wurde. Die Basisfunktionsmatrix Ψ wurde über die Einheitsmatrix der Dimension N erzeugt und enthält somit zu allen möglichen Zeitpunkten einen Puls der Länge t_{dur} .

Damit sind in diesem Fall, in dem die Messmatrix aus Zufallssignalen besteht und somit $\mu = 1$ ist, gemäß Gleichung (9) mindestens 18 Zufallssequenzen erforderlich. Wenn die Messmatrix aus Testfunktionen besteht, die dem Empfangssignal möglichst ähnlich sind, nimmt die Kohärenz den Wert $\mu = \sqrt{N}$ [7] an, wodurch sich die Anzahl der erforderlichen Testfunktionen auf 569 erhöht.

Die zufällige Messmatrix Φ wurde mit der Matlabfunktion $randn(M,N)$ erzeugt, die eine $M \times N$ -Matrix mit standardnormalverteilten Elementen zu-

rückgibt. Aus jeder Zeile dieser Matrix wird das Skalarprodukt mit dem Empfangssignal gebildet und in dem Vektor \vec{b} gespeichert. Anschließend wird mit einem einfachen Algorithmus diejenige Lösung für \vec{x} in Gleichung (3) gesucht, welche die niedrigste L_1 -Norm für $|\vec{b} - A\vec{x}|$ aufweist. Die Lösung für \vec{x} wird in Gleichung (1) für \vec{c} eingesetzt und somit das Originalsignal rekonstruiert.

Der Messvorgang für Testfunktionen, die dem Originalsignal möglichst ähnlich sind, wurde in zwei Varianten simuliert. In einer Variante wurden zwecks Vergleich nur so viele Testfunktionen verwendet, wie bei der Methode mit zufälligen Funktionen erforderlich sind, in der anderen Variante wurde die tatsächlich benötigte Anzahl von Testfunktionen angewendet.

Für beide Varianten wurden die Testfunktionen in gleicher Weise wie das Originalsignal generiert. Die Zeitpunkte, zu denen Pulse auftreten, sind zufällig. Der Messvorgang selbst unterscheidet sich anschließend nicht mehr von der Variante mit den Pseudozufallssequenzen.

B. Auswertung der Simulation

Das Simulationsergebnis ist in Abbildung 4 dargestellt. Die linke Grafik zeigt das Originalsignal, also den Puls mit der Pulslänge $t_{dur} = 2$. Das Ergebnis der Rekonstruktion des Empfangssignals bei einer Messung mit Pseudozufallssequenzen ist in der rechten Grafik dargestellt. Es entspricht exakt dem Originalsignal, obwohl nur 18 Werte statt 1000 gemessen worden sind.

Anders sieht es aus, wenn die Zufallssequenzen mit pulsförmigen Testfunktionen ersetzt werden. Das Rekonstruktionsergebnis wird durch die blaue Kennlinie in der Grafik rechts unten dargestellt. Wie erwartet reicht die Anzahl der Messungen in diesem Fall nicht aus, um das Originalsignal zu rekonstruieren. Die Rekonstruktion ist nach dieser Methode nicht möglich, wenn die Messmatrix keine Testfunktion enthält, in welcher der Puls zur möglichst gleichen Zeit auftritt, wie beim Empfangssignal. Ist eine solche Testfunktion aber vorhanden, gelingt die Rekonstruktion in diesem Fall mit der gleichen Genauigkeit, wie bei der Messmethode mit den zufälligen Sequenzen.

Das demonstriert das Ergebnis der Rekonstruktion für die Messung mit den erforderlichen 569 Testfunktionen, welches durch die rote Kennlinie, ebenfalls in der Grafik links unten dargestellt wird. Dass hierbei allerdings der Mess- und Rechenaufwand erheblich größer ist als bei lediglich 18 Testfunktionen, versteht sich von selbst. Außerdem werden für diesen Aufbau mit $C = 1$ ebenso gute Ergebnisse für die Zufallssequenzen erreicht, wodurch sogar 9 Testfunktionen ausreichen.

V. FAZIT

Eine Entfernungsmessung kann also auch mit Hilfe eines einzelnen Pulses ohne Modulation erfolgen. Dabei ist keine hohe Abtastrate erforderlich und es ist möglich, die interessierende Information des Zeitpunkts, an dem der Puls am Empfänger ankommt, in wenigen diskreten Werten auszudrücken. Diese Kompression erfolgt über eine analoge Schaltung, sodass bei der Messung kein Rechenaufwand erforderlich ist. Durch die universelle Anwendungsmöglichkeit der Messhardware lohnt sich eine Umsetzung als ASIC.

Für die Rekonstruktion ist die Kenntnis der Basisfunktionen des Empfangssignals erforderlich. Bei der ToF-Messung entspricht das im einfachsten Fall Pulsen zu verschiedenen Zeitpunkten. Die Rekonstruktion kann nach dem Messvorgang auf einem FPGA realisiert werden. Dazu muss noch untersucht werden, welche Algorithmen zur L_1 -Norm-Minimierung besonders gut für die Umsetzung auf einem FPGA geeignet sind.

LITERATURVERZEICHNIS

- [1] S. Foix, G. Alenyà und C. Torras, „Lock-in Time-of-Flight (ToF) Cameras: A Survey,“ *IEEE Sensors Journal*, September 2011.
- [2] C. Moler, „Mathworks Newsletters: Cleve's Corner Collection,“ 2010. [Online]. Available: http://www.mathworks.com/tagteam/65074\91850v00_NN10\Cleve.pdf. [Zugriff am November 2012].
- [3] T. Raasch, „Institut für Mathematik, Uni Mainz,“ November 2011. [Online]. Available: <http://www.mathematik.uni-mainz.de/Members/raasch/lehre/vortraege/biss2011.pdf>. [Zugriff am 23 April 2013].
- [4] G. Engeln-Müllges, K. Niederdröck und R. Wodicka, Numerik-Algorithmen. Verfahren, Beispiele, Anwendungen., Berlin Heidelberg: Springer Verlag, 2011.
- [5] P. Gritzmann, Grundlagen der mathematischen Optimierung, Wiesbaden: Springer Spektrum, 2013.
- [6] J. Romberg, "Imaging via Compressive Sampling," *IEEE Signal Processing Magazine*, März 2008.
- [7] E. J. Candès und M. B. Wakin, „An Introduction To Compressive Sampling,“ *IEEE Signal Processing Magazine*, März 2008.
- [8] L. Reinhold und P. Bretchko, RF Circuit Design. Theory an Applications., New Jersey: Prentice Hall, Inc., 2000.
- [9] H. H. Meinke und F. W. Gundlach, Taschenbuch der Hochfrequenztechnik. Grundlagen - Komponenten - Systeme., Berlin Heidelberg: Springer Verlag, 1992.
- [10] K. C. Gupta, R. Garg und I. J. Bahl, Microstrip lines and slotlines., Dedham: Artech House, Inc., 1979.
- [11] P. Palojärvi, K. Määttä und J. Kostamovaara, „Pulsed Time-of-Flight Laser Radar Module with Millimeter-Level Accuracy Using Full Custom Receiver and TDC ASICs,“ *IEEE Transactions On Instrumentation And Measurement*, Oktober 2002.



Zora Slavik erhielt den akademischen Grad des B.Eng. in Elektrotechnik - Informationstechnik im Jahr 2011 von der Hochschule Karlsruhe – Technik und Wirtschaft. Ihr Masterstudium Elektrotechnik mit der Vertiefungsrichtung Kommunikations- und Informationstechnik an der Hochschule Karlsruhe wird sie voraussichtlich im Oktober 2013 mit dem Grad des M.Eng. beenden. Sie ist wissenschaftliche Mitarbeiterin an der Fakultät Elektro- und Informationstechnik der Hochschule Karlsruhe.



Marc Ihle erhielt den akademischen Grad des Dipl.-Ing. in Elektrotechnik von der Universität Karlsruhe (jetzt KIT) im Jahr 1993. Er promovierte 1998 an der selben Universität mit dem Thema „Kombinierte Geräusch- und Echounterdrückung für das Freisprechen in Kraftfahrzeugen“. Nach Industrietätigkeit für die Siemens AG (Mobilfunk) und der SICK AG (Optische Sensoren) wurde er 2008 Full Professor für Media Engineering and Technology an der German University in Cairo. Seit 2010 lehrt Marc Ihle an der Fakultät für Elektro- und Informationstechnik der Hochschule Karlsruhe – Technik und Wirtschaft. Er leitet dort das Institut für signalverarbeitende Systeme. Er ist Mitglied von IEEE und VDE.

Analyse des SEPIC-Spannungswandlers für Automotive-Anwendungen

Philipp Gottschling, Thoralf Rosahl, Bernhard Wicht

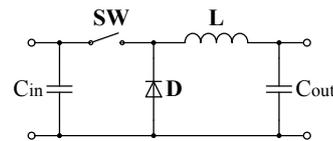
Zusammenfassung—Die Spannungsversorgung elektronischer Steuergeräte im Automotive-Bereich wird zunehmend durch Schaltregler sichergestellt. Der SEPIC (Single Ended Primary Inductance Converter) besitzt die Eigenschaft, eine Spannung aufwärts wie auch abwärts wandeln zu können und könnte somit klassische Buck- und Boost-Wandler ablösen. Dieser Beitrag untersucht den SEPIC hinsichtlich Eignung für Automotive-Anwendungen. Dazu wurde eine Groß- sowie Kleinsignalanalyse am Wandler durchgeführt, mit geeigneten Simulationsmodellen nachgebildet und Messungen gegenüber gestellt. Der SEPIC zeigt als Hauptvorteile (1) einen verzugsfreien Übergang zwischen Buck-/Boost-Betrieb, (2) geringe Eingangswelligkeit, (3) DC-Kurzschlussfestigkeit. Auch hinsichtlich Wirkungsgrad und EMV-Verhalten stellt der SEPIC eine interessante Alternative dar. Der zwischen Ein- und Ausgang liegende Kondensator wird dauerhaft von einem Strom durchflossen, auf Basis der Effektivströme wird das damit verbundene Ausfallrisiko diskutiert.

Schlüsselwörter—Schaltwandler, SEPIC, PWM-Switch-Modell, Buck, Boost.

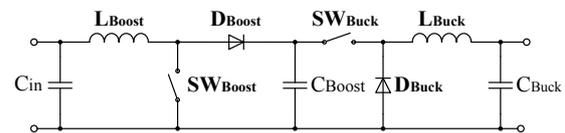
I. EINLEITUNG

Durch die Zunahme elektrischer Komponenten im Automotive-Bereich kommt neben dem Abwärts-wandler (Buck-Converter, Abbildung 1a) immer häufiger ein Aufwärts-wandler (Boost-Converter) zum Einsatz. Oft werden diese Wandler in Kombination eingesetzt, als Buck-Boost oder Boost-Buck (Abbildung 1b). Eine Alternative stellt der Single Ended Primary Inductance Converter dar, kurz SEPIC genannt (Abbildung 1c). Dieser besitzt die Eigenschaft, sowohl als Aufwärts- wie auch Abwärts-wandler zu funktionieren. Im Vergleich zum Auf- bzw. Abwärts-wandler, besitzt der SEPIC eine zweite Spule und einen zusätzlichen Kondensator, welche als Ener-

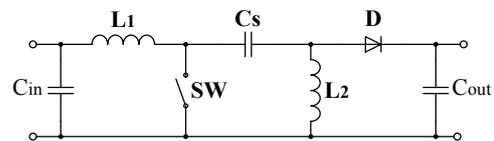
Philipp Gottschling, philipp.gottschling@gmx.de und Bernhard Wicht, bernhard.wicht@reutlingen-university.de, Hochschule Reutlingen, Robert Bosch Zentrum für Leistungselektronik, Alteburgstraße 150, 72762 Reutlingen. Thoralf Rosahl, thoralf.rosahl@de.bosch.com, Robert Bosch GmbH, Postfach 1342, 72703 Reutlingen.



(a) Buck



(b) Boost-Buck



(c) SEPIC

Abbildung 1: Schaltregler-Topologien: (a) Buck-Wandler, (b) Boost-Buck-Wandler und (c) SEPIC.

giespeicher dienen. Diese haben jedoch auch einen Einfluss auf das Übertragungsverhalten, weshalb die Kompensation des Reglers aufwändiger ist als bei anderen Wandlern. In den nachfolgenden Kapiteln soll der SEPIC hinsichtlich dessen Einsatz in der Kfz-Umgebung untersucht werden.

II. ÜBERTRAGUNGSVERHALTEN

Zur Untersuchung des SEPIC wird die Schaltung in den beiden Schalterstellungen on/off (t_{on} und t_{off}) betrachtet. Während des Zeitintervalls t_{on} (Abbildung 2a), ist der Schalter sw geschlossen und die Spule L_1 wird über die Eingangsspannung V_{in} geladen. Die Spule L_2 wird über den Kondensator C_s geladen, welcher zuvor (während t_{off}) auf V_{in} aufgeladen wurde. Der gesamte Ausgangsstrom I_{load} wird in diesem Zeitraum von C_{out} zur Verfügung gestellt. Wenn der Schalter sw geöffnet ist, setzt sich der Ausgangsstrom I_{load} aus dem mittleren Strom der Spule L_2 und L_1 bzw. C_s zusammen (Abbildung 2b).

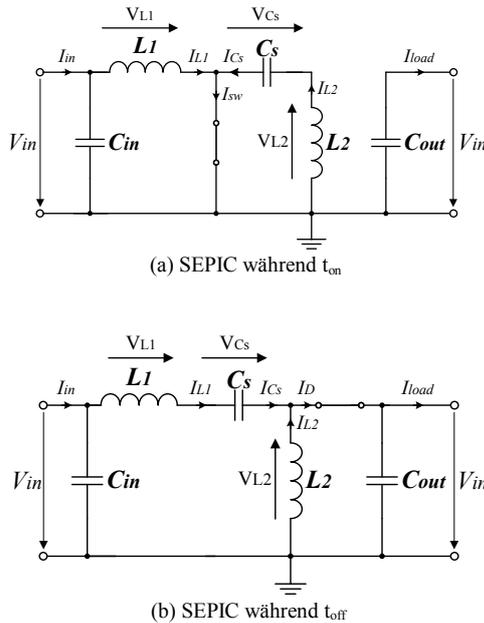


Abbildung 2: SEPIC während der unterschiedlichen Schaltperioden (a) t_{on} und (b) t_{off} .

Das Übersetzungsverhältnis V_{out}/V_{in} ist für den SEPIC wie folgt definiert:

$$\frac{V_{out}}{V_{in}} = \frac{D}{1-D} = \frac{D}{D'}$$

Die Gleichung gibt das Verhältnis V_{out}/V_{in} an in Abhängigkeit des Duty-Cycle $D = t_{on}/T_{sw}$ (mit der Periodendauer T_{sw} der Schaltfrequenz des Schalters sw). Dies ist in Abbildung 3 logarithmisch dargestellt. Bei einem Duty-Cycle von $D = 0,5$ beträgt $V_{out} = V_{in}$. Für $D < 0,5$ ist die Ausgangsspannung stets kleiner als die Eingangsspannung und der SEPIC arbeitet als Abwärtswandler (Buck-Betrieb). Bei $D > 0,5$ ist die Ausgangsspannung stets größer als die Eingangsspannung und der SEPIC funktioniert als Aufwärtswandler (Boost-Betrieb).

Das Übersetzungsverhältnis des SEPIC im Boost-Betrieb ist, wie auch beim Boost-Wandler, durch die verlustbehafteten Bauelemente begrenzt. Den größten Einfluss auf die Übersetzung haben die parasitären Widerstände der primärseitigen Spule R_{L1} sowie der Einschaltwiderstand des Schalttransistors (R_{sw} bzw. $R_{DS,on}$). Eine nähere Betrachtung der nachfolgenden Gleichung zeigt, dass sich der Faktor hinter den einzelnen parasitären Widerständen, welcher sich aus dem Duty-Cycle D zusammensetzt, bei R_{L1} und R_{sw} wesentlich größer ist, als bei den restlichen Widerständen. In Abbildung 4 ist der Einfluss der parasitären Widerstände von L_1 und R_{sw} auf das Übersetzungsverhältnis im Boost-Betrieb dargestellt.

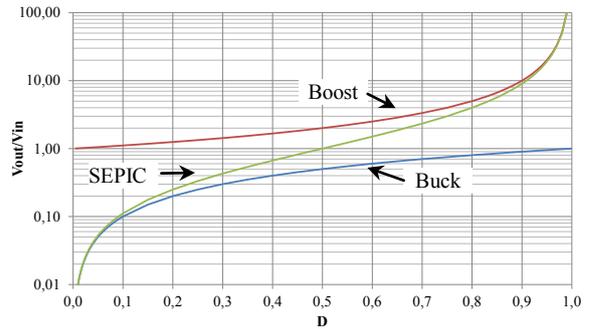
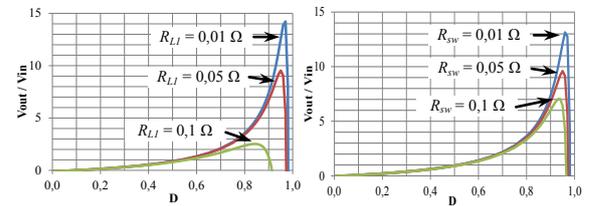


Abbildung 3: Übersetzungsverhältnis V_{out}/V_{in} des SEPIC im Vergleich zu Buck- und Boost-Wandler in Abhängigkeit vom Duty-Cycle D .



(a) Einfluss von R_{L1} . (b) Einfluss von R_{sw} .

Abbildung 4: Einfluss der parasitären Widerstände (a) der Spule L_1 und (b) des Transistors sw auf das Übersetzungsverhältnis.

$$V_{out} = V_{in} \frac{D}{D'} - V_D - I_{load} D \cdot \left[R_{L1} \frac{D}{D'^2} + R_{L2} \frac{1}{D} + R_{Cs} \frac{1}{D'} + R_D \frac{1}{DD'} + R_{sw} \frac{1}{D'^2} \right]$$

Die ausgangssseitige Diode des SEPIC verursacht größere Wechselanteile im Strom, wodurch ein größerer Ausgangskondensator zur Glättung benötigt wird. Ein Vergleich mit dem Buck-Wandler bzw. dem Boost-Buck-Wandler (Abbildung 1a bzw. 1b) macht den Vorteil deren ausgangssseitiger Spulen deutlich, welche einen „stetigen“ Stromfluss erzeugt und dadurch einen kleineren Ausgangskondensator ermöglichen. Ein größeres ΔI wirkt sich ebenfalls auf den Wechselanteil der jeweiligen Kondensatorspannung (ΔV) aus, wodurch der SEPIC gegenüber Wandlern mit ausgangssseitigen Spulen im Nachteil steht. Anstelle des in Abbildung 1b dargestellten Boost-Buck-Wandlers kann auch die Kombination Buck-Boost verwendet werden. Der Vorteil dieser Variante liegt in der Verwendung von nur einer Spule. Jedoch befinden sich ein- und ausgangssseitig Schaltelemente (Transistor, Diode) und erzeugen einen höheren Wechselanteil, die ein schlechteres EMV-Verhalten mit sich bringen. In Abbildung 5 sind die Stromverläufe durch die einzelnen Bauelemente des SEPIC dargestellt. Bleibt der Strom I_D durch die Diode D größer als Null, handelt es sich um nicht

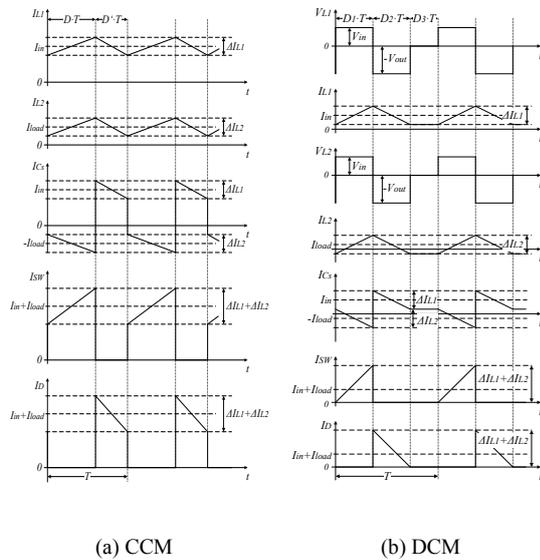
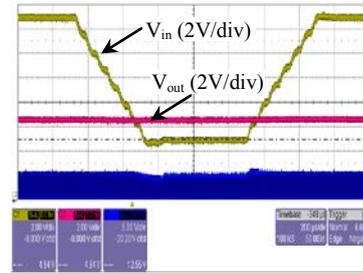


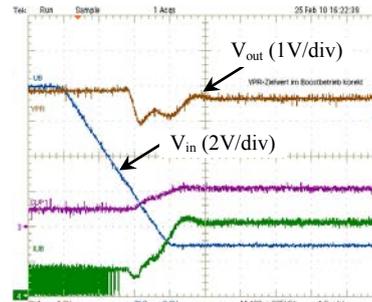
Abbildung 5: SEPIC mit den unterschiedlichen Betriebsarten nicht lückender und lückender Betrieb.

lückenden Betrieb (Continuous Conduction Mode, CCM), Abbildung 5a. Sobald der Strom durch die Diode zu Null wird, befindet sich der SEPIC im lückenden Betrieb (Discontinuous Conduction Mode, DCM), Abbildung 5b. Befindet sich der Wandler im lückenden Betrieb, tritt zudem ein drittes Zeitintervall D_3T auf. Die Spulenströme sind in diesem Zeitintervall konstant, da der Kondensator C_s auf die Eingangsspannung V_{in} aufgeladen ist und seine Energie an keinen Verbraucher weitergeben kann. Der Strom an beiden Anschlüssen von C_s ist betragsmäßig gleich, jedoch mit entgegengesetzten Werten ($I_{L1} = -I_{L2}$ im Buck-Betrieb und $-I_{L1} = I_{L2}$ im Boost-Betrieb). Anders als beim Buck- bzw. Boost-Wandler werden die Spulenströme des SEPIC im lückenden Betrieb nicht zu Null, sondern nehmen entgegengesetzte Werte an. Eine weitere Besonderheit des SEPIC ist, dass der Wechselanteil ΔI des Diodenstromes I_D bzw. der Strom durch den Schalttransistor sw , die Summe beider Wechselanteile beider Spulen beträgt ($\Delta I_D = \Delta I_{sw} = \Delta I_{L1} + \Delta I_{L2}$). Dies wirkt sich nachteilig auf das ausgangsseitige EMV-Verhalten aus, weshalb der Ausgangskondensator größer dimensioniert werden muss.

Ein Vergleich der Ausgangsspannung V_{out} zwischen SEPIC und Buck-Boost-Wandler zeigt, dass diese beim Einbruch von V_{in} (z.B. Starteinbruch beim Betätigen des Anlasses) beim SEPIC konstant bleibt, während beim Buck-Boost-Wandler ein Einbruch zu sehen ist (Abbildung 6). Beim SEPIC ist dies möglich, da dieser die Betriebsart über den Duty-Cycle regelt. Beim Buck-Boost bzw. auch beim Boost-Buck-Wandler ist jeweils nur ein Wandler aktiv (Buck oder Boost). Unterschreitet die Eingangsspannung V_{in} die geforderte Ausgangsspannung findet ein Umschalten



(a) SEPIC (200µs/div).



(b) Buck-Boost (400µs/div).

Abbildung 6: Gemessenes Verhalten von V_{out} bei Einbruch der Eingangsspannung von (a) SEPIC und (b) Buck-Boost.

vom Buck- zum Boost-Betrieb statt. Dadurch entsteht eine gewisse Totzeit, in der die Ausgangsspannung kurzzeitig einbricht (siehe Abbildung 6b).

III. AC-VERHALTEN

Die zusätzlichen Komponenten Spule und Kondensator haben einen Einfluss auf das Übertragungsverhalten. Während Buck- und Boost-Wandler jeweils eine Übertragungsfunktion 2. Ordnung aufweisen, besitzt der SEPIC aufgrund der zusätzlichen Komponenten eine Übertragungsfunktion 4. Ordnung. Dies ist zugleich die größte Herausforderung bei dessen Dimensionierung. Abhängig von der Regelungsart (spannungs- oder stromgesteuerte Regelung (Voltage Mode Control, VMC) (Current Mode Control, CMC)) vereinfacht sich die Gesamtübertragungsfunktion, so dass sich durch die Wahl des richtigen Kompensationsnetzwerkes (Typ I, II, III) ein stabiler Betrieb einstellt. Entsprechend wichtig ist es, den Einfluss der einzelnen Komponenten auf das Übertragungsverhalten des SEPIC bei dessen Dimensionierung zu untersuchen. Hierfür wurden entsprechende Simulationsmodelle erstellt (Abbildung 7), mit denen AC-Analysen mit den unterschiedlichen Regelungsarten (VMC, CMC) durchgeführt werden können.

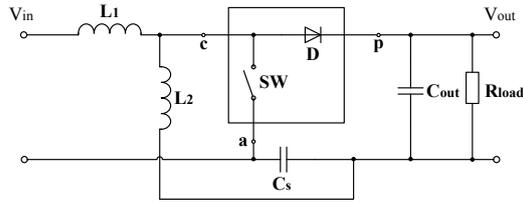
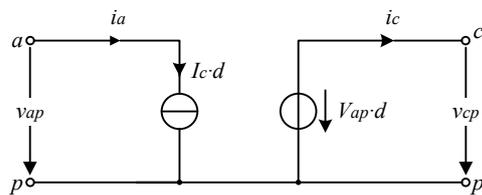
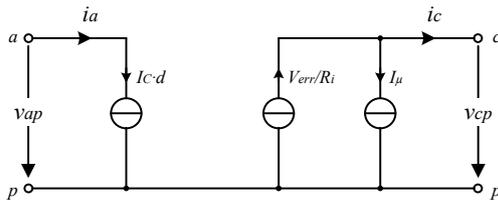


Abbildung 7: SEPIC mit PWM-Switch-Modell.

$$I_{\mu} = -\frac{S_e}{R_i} \cdot DT - \frac{V_{cp}}{2} \cdot \left(\frac{1}{L_1} + \frac{1}{L_2} \right) (1-D)T$$



(a) Voltage Mode Control

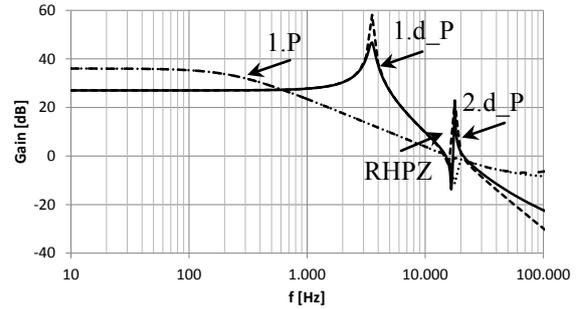


(b) Current Mode Control

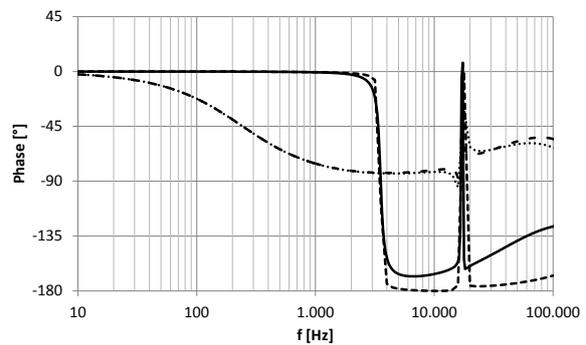
Abbildung 8: PWM-Switch-Modell für Voltage Mode Control (a) und Current Mode Control (b).

Bei den Simulationsmodellen wurde das sogenannte PWM-Switch-Modell verwendet [1], [2], mit dessen Hilfe die nichtlinearen Komponenten (Transistor und Diode) linearisiert werden (Abbildung 8). Dies ist notwendig, da Simulatoren wie SPICE nur lineare Gleichungssysteme lösen können.

Die Simulationsergebnisse für die Voltage Mode Regelung wie auch die der Current Mode Regelung wurden mit Berechnungen (VMC [1], CMC [4]) gegenübergestellt und zeigen eine sehr gute Übereinstimmung (Abbildung 9). Bei der Voltage Mode Regelung besitzt die Übertragungsfunktion eine doppelte Polstelle 1.d_P (bei etwa 3,5 kHz), welche eine Phasendrehung von 180° verursacht. Dies erfordert ein aufwändigeres Kompensationsnetzwerk, weshalb beim SEPIC fast ausschließlich eine Current Mode Regelung zum Einsatz kommt. Durch den Wegfall einer Polstelle bei der Current Mode Regelung beträgt die anfängliche Phasendrehung nur 90° (1. P.) und erfordert somit ein weniger komplexes Kompensationsnetzwerk.



(a) Amplituden-Frequenzgang (Buck-Betrieb).



(b) Phasen-Frequenzgang (Buck-Betrieb).

Abbildung 9: Amplituden-(a) und Phasen-Frequenzgang (b) des SEPIC (VMC & CMC). Parameter: $V_{in} = 10V$, $V_{out} = 5V$, $I_{load} = 1A$, $L_{1,2} = 4,7\mu H$, $C_s = 9,6\mu F$, $C_{out} = 344\mu F$, $f_{sw} = 500kHz$, $R_{ESR} = 0,01\Omega$

Wie der Boost-Wandler besitzt auch der SEPIC durch die ausgangsseitige Diode eine komplexe Nullstelle in der rechten Halbebene (RHPZ), welche zur Instabilität des Reglers führen kann. Um dem entgegenzuwirken, muss die Reglerbandbreite begrenzt werden ($f_T \leq 1/3 \cdot f_{RHPZ}$). Eine kleine Induktivität L kann der RHPZ ebenfalls entgegenwirken, wodurch eine höhere Bandbreite erzielt wird. Dadurch erhöht sich jedoch auch die Stromwelligkeit ΔI , wofür ein größerer Ausgangskondensator benötigt wird. Bei der Dimensionierung gilt es, dies zu berücksichtigen und die Bandbreite nicht größer zu wählen als nötig, da dies eine Überdimensionierung von Spule und Kondensator zur Folge hat.

IV. ZUVERLÄSSIGKEIT

Ein wesentliches Merkmal, welches den SEPIC von anderen Wandlern unterscheidet, ist der zusätzliche Koppelkondensator C_s , durch dessen Lage im ausgeschalteten Zustand kein DC-Strom zwischen Ein- und Ausgang fließen kann (Kurzschlussfestigkeit). Zugleich führt dies aber auch dazu, dass der Kondensator

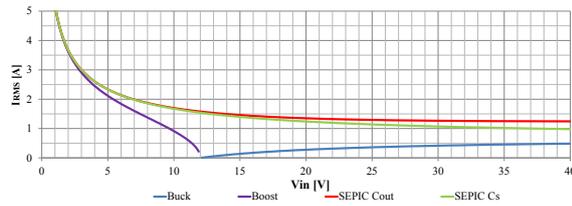


Abbildung 10: Vergleich der Kondensatorströme von Buck (in C_{out}), Boost (in C_{out}) und SEPIC (in C_{out} und C_s); ($V_{out} = 12$ V, $I_{load} = 1,5$ A, $f_{sw} = 500$ kHz, $L_1 = L_2 = 10$ mH (separate Spulen)).

Tabelle 1: Gegenüberstellung der Effektivströme durch C_{out} und C_s zwischen Buck, Boost und SEPIC.

	Buck	SEPIC	Boost	SEPIC
C_{out}	↓	↑↑	↑	↑
C_s	-	↑	-	↑

C_s während jeder Periode geladen und entladen wird und somit dauerhaft von einem Strom durchflossen wird. Der Vergleich mit den anderen Komponenten im Leistungsteil (Spule, Transistor, Diode) führt zu der Tatsache, dass der Kondensator das größte Ausfallrisiko birgt und dessen Versagen zum Totalausfall des SEPIC führen würde. Hierzu wurde eine Untersuchung der Ströme durch die Kondensatoren C_s sowie C_{out} durchgeführt und mit den Strömen der Ausgangskondensatoren von Buck- und Boost-Topologie gegenübergestellt. Die Ergebnisse zeigen, dass die Effektivströme von C_s und C_{out} im Boost-Betrieb denen des Boost-Wandlers sehr ähnlich sind. Im Buck-Betrieb erfährt vor allem der Ausgangskondensator des SEPIC einen zwei- bis dreifach höheren Stromeffektivwert (RMS-Strom) als der des Buck-Wandlers. Der Koppelkondensator besitzt bei kleinerer Differenz zwischen Ein- und Ausgangsspannung ähnlich hohe I_{RMS} Werte wie der Ausgangskondensator (Abbildung 10). Diese nehmen jedoch mit steigender Differenz von V_{in} und V_{out} ab und nähern sich den Werten im Buck-Ausgangskondensator.

In Tabelle 1 sind die einzelnen Kondensatorströme von Buck, Boost und SEPIC gegenübergestellt. Demnach ist der Effektivstrom durch den Buck Ausgangskondensator deutlich geringer als der des SEPIC, da die ausgangsseitige Spule des Buck-Wandlers einen „stetigen“ Stromfluss erzeugt. Im Buck-Betrieb sind die Ströme durch den Ausgangs- und Koppelkondensator des SEPICs bei $D = 0,5$ identisch, jedoch nähert sich mit kleiner werdenden Duty-Cycle der Strom durch C_s den Werten des Buck-Ausgangskondensators an. Durch die Abnahme von D des SEPICs, wird zugleich weniger Energie und somit weniger Strom vom Eingang benötigt, wodurch sich der Effektivstrom durch C_s ebenfalls verringert. Im Boost-Betrieb sind die Ströme durch alle Kondensatoren (Boost und

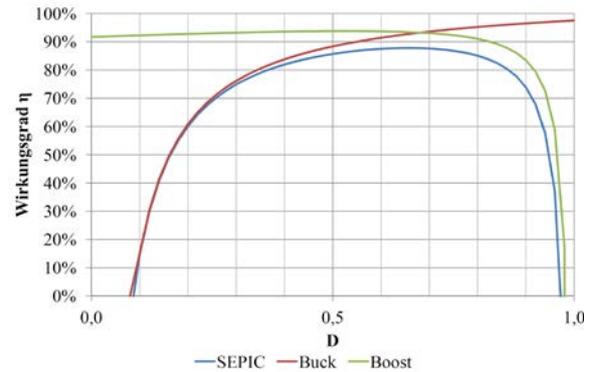


Abbildung 11: Wirkungsgrad des SEPIC; $V_{in} = 6$ V, $L_1 = L_2 = 20$ μ H (separate Spulen), $C_s = 10$ μ F, $R_{L1}, R_{L2} = 50$ m Ω , $R_{sw} = 100$ m Ω , $R_{Cs} = 10$ m Ω , $V_D = 0,45$ V, $R_D = 50$ m Ω .

SEPIC) nahezu gleich, jedoch nähert sich der Strom des Boost-Ausgangskondensators bei $D \rightarrow 0$ gegen Null, da der Transistor somit dauerhaft ausgeschaltet ist und der Kondensator DC-Ströme sperrt.

V. EFFIZIENZBETRACHTUNG

Durch die zusätzlichen Bauelemente bedingt, ist der Wirkungsgrad des SEPIC dem eines Buck- oder Boost-Wandlers unterlegen. Dazu tragen vor allem der Kondensator C_s und die zweite Spule bei, welche zwangsläufig ebenfalls verlustbehaftet sind. Dennoch kann der SEPIC einen ähnlich hohen Wirkungsgrad wie der Buck/Boost erreichen, wie Abbildung 11 zeigt.

$$\eta = 1 - \frac{V_D D'}{V_{in} D} - \frac{I_{load}}{V_{in}} \left[R_{L1} \frac{D}{D'} + R_{L2} \frac{D'}{D} + R_{Cs} + R_D \frac{1}{D} + R_{sw} \frac{1}{D'} \right]$$

VI. ZUSAMMENFASSUNG

Der Single Ended Primary Inductance Converter, kurz SEPIC genannt, ist eine sehr gute Alternative zu der derzeit verwendeten Buck-Boost-Topologie bzw. Boost-Buck-Topologie. Durch den Einsatz eines SEPIC wird nur ein Wandler benötigt. Dadurch entfällt die Dimensionierung des zweiten Wandlers, wodurch Entwicklungszeit und Fläche (bei integrierten Schaltungen ist die Chipfläche ein wichtiger Kostenfaktor) eingespart werden. In Tabelle 2 sind die wichtigsten Eigenschaften des SEPIC denen der Buck und Boost-Topologie gegenübergestellt.

Ein wesentlicher Vorteil des SEPIC liegt im verzugsfreien Übergang zwischen Buck und Boost-Betrieb, da der SEPIC diesen Übergang allein durch den Duty-Cycle regelt. Beim Boost-Buck-Wandler

Tabelle 2: Vor-/Nachteile des SEPIC gegenüber des Buck-/Boost-Wandler.

	Buck	Buck-Boost	Boost-Buck	SEPIC
Buck-/Boost-Betrieb	-	+	+	+
Ansteuerung Transistor	-	-/+	+/-	+
Größe C_{out}	-	-	+	+
Größe C_{in}	+	-	+	-
Anzahl an Regelschleifen	+	-	-	+
DC-Kurzschlussfestigkeit	-	-	-	+
Anzahl Komponenten	+	+	-	0

existiert eine Verzögerung beim Hin- und Herschalten zwischen Buck und Boost-Betrieb (es ist stets nur ein Wandler aktiv). Dies hat ein Absinken der Ausgangsspannung zur Folge.

Durch die Lage des Koppelkondensators C_s besitzt der SEPIC eine DC-Kurzschlussfestigkeit zwischen Ein- und Ausgang. Jedoch stellt der Koppelkondensator C_s gleichzeitig das größte Ausfallrisiko dar. Vor allem bei hohen Leistungen sollte dieser sorgfältig dimensioniert werden (kleiner Serienwiderstand R_{ESR} um Verluste zu reduzieren, parallele Anordnung mehrerer Kondensatoren), da dessen Ausfall auch zum Totalausfall des SEPIC führt.

Ein Vorteil, den der SEPIC gegenüber dem Buck-Wandler besitzt, ist der massebezogene Schalter (Low-Side). Dies ermöglicht eine einfachere Ansteuerung des Schalttransistors, wohingegen beim Buck oft der Einsatz einer Ladungspumpe (zum Anheben der Gatespannung) benötigt wird. Des Weiteren verlangen bestimmte Anwendungen, dass die Ausgangsspannung V_{out} im ausgeschalteten Zustand 0 V beträgt (Shut-Down-Fähigkeit). Während beim Boost-Wandler im ausgeschalteten Zustand die Ausgangsspannung auf minimal $V_{in} - V_D$ absinkt, beträgt diese beim SEPIC im ausgeschalteten Zustand 0 V.

Der größte Nachteil des SEPIC liegt in der aufwändigen Kompensation. Durch sein Übertragungsverhalten 4. Ordnung kommt nahezu ausschließlich eine stromgesteuerte Regelung (CMC) in Frage, wodurch eine Polstelle des ersten Doppelpols wegfällt und somit nur eine 90° Phasendrehung entsteht. Dadurch kann aber wiederum ein einfacheres Kompensationsnetzwerk verwendet werden, wodurch Kosten gespart werden.

VII. LITERATUR

- [1] Vorperian, V.: Simplified analysis of PWM converters using model of PWM switch. Continuous conduction mode. In: *Aerospace and Electronic Systems, IEEE Transactions on* 26 (1990), May, No. 3, pp. 490-496.
- [2] Vorperian, V.: Simplified analysis of PWM converters using model of PWM switch. II. Discontinuous conduction mode.

In: *Aerospace and Electronic Systems, IEEE Transactions on* 26 (1990), May, No. 3, pp. 497-505.

- [3] Hren, A. ; Slibar, P.: Full order dynamic model of SEPIC converter. In: *Industrial Electronics, 2005. ISIE 2005. Proceedings of the IEEE International Symposium on* Bd. 2, 2005, S. 553-558 vol.2.
- [4] L. K. Wong ; T. K. MAN: Compensation for Current Mode Control SEPIC Converters (2010).
- [5] Gottschling Philipp: Analyse und Bewertung des getakteten Spannungswandlers nach dem SEPIC-Prinzip bzgl. Automotive-Anwendungen. *Master-Thesis, Hochschule Reutlingen* (2013).



Philipp Gottschling erhielt den akademischen Grad Bachelor of Engineering in Mechatronik im Jahr 2010 von der Hochschule Karlsruhe und den Grad Master of Science in Leistungs- und Mikroelektronik von der Hochschule Reutlingen im Jahr 2013.



Bernhard Wicht erhielt den akademischen Grad Dipl.-Ing. im Jahr 1996 von der Technischen Universität Dresden und den Grad Dr.-Ing. im Jahr 2002 von der Technischen Universität München. 2003-2010 war er im Geschäftsbereich Mixed Signal Automotive bei Texas Instruments, Freising, verantwortlich für die Entwicklung von Smart Power ICs. Seit September 2010 ist er Professor für integrierte Schaltungen am Robert Bosch Zentrum für Leistungselektronik an der Hochschule Reutlingen.



Thoralf Rosahl erhielt den akademischen Grad Dipl.-Ing. im Jahr 1990 von der Technischen Universität Dresden. Seit 1991 ist er in der ASIC-Entwicklung der Robert Bosch GmbH im Geschäftsbereich Automotive Electronics beschäftigt. Schwerpunkt seiner Designaktivitäten sind Spannungsregler und Endstufenbausteine. Seit 2007 bekleidet er die Funktion des ‚Chief Expert Analog Design‘.

Analog-zu-Digital-Konverter auf Basis eines Pulse-Shrinking TDCs

Frank Sanger, Ulrich Brunsmann

Zusammenfassung—In diesem Beitrag wird das Konzept eines neuartigen Analog-zu-Digital-Konverters auf Basis eines Pulse-Shrinking-TDCs (Time-to-Digital Converters) vorgestellt. Anwendungsziel ist die Sensorsignalauswertung. Anders als bei zuvor vorgestellten TDC-basierten Varianten entfällt hier der Signal-zu-Puls-Konverter, stattdessen ist die Pulslangenanderung des TDCs direkt durch eine Differenzspannung steuerbar. Test-Chips wurden in einer 0,35 μm CMOS Technologie hergestellt. Konzept und Aufbau des Konverters werden erlautert und via Simulation ermittelte Kenngroen werden mit ersten Messergebnissen an den Test-Chips verglichen. Fur eine Pulslange von 100 ns werden eine Spannungsempfindlichkeit von 125 ps/mV und eine Auflosung von 70 μV erreicht.

Schlusselworter—CMOS, ADC, TDC, Verzogerungsstrecke, steuerbare Verzogerung, Differenzspannungsverstarkung, digitale Sensorik.

I. EINLEITUNG

In den letzten Jahren hat die Entwicklung digitaler, integrierter CMOS-Schaltkreise zu Milliarden von Transistoren auf einem einzigen Chip gefuhrt. Immer kleinere Strukturen auf dem Chip ermoglichen eine immer hohere flachenbezogene Effektivitat und somit niedrigere Herstellungskosten, geringeren Energieverbrauch und hohere Schaltgeschwindigkeiten [1]. Insbesondere im Bereich analoger Schaltungen haben immer kleinere Strukturen jedoch Probleme hervorgebracht. Ausgangswiderstand und Verstarkungsfaktor fallen mit der Strukturgroe und durch die niedrigeren Versorgungsspannungen wird die Dynamik analoger Signale eingeschrankt. Trotz aller Anstrengungen diese Effekte auszugleichen, bleibt die Einschrankung der Signaldynamik durch die niedrige Einsatzspannung von Transistoren kleiner Gatelange [2].

Mit fallender Strukturgroe wird das Entwickeln konventioneller AD-Konverter entsprechend komplexer. Alternativen zur klassischen AD-Wandlung sind

Frank Sanger, saenger.frank@web.de und Ulrich Brunsmann, ulrich.brunsmann@h-ab.de sind Mitglieder der Hochschule Aschaffenburg, Fakultat Ingenieurwissenschaften, Labor fur Elektronische Bauelemente, Wurzburger Strae 45, 63743 Aschaffenburg.

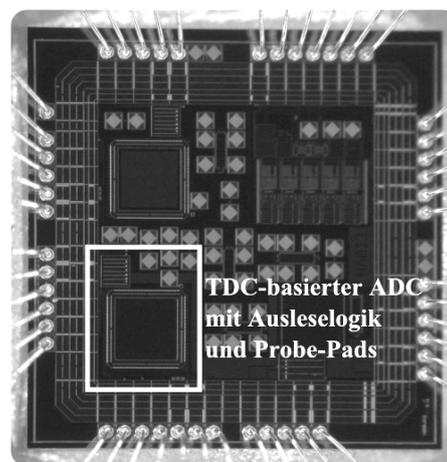


Abbildung 1: Chipfoto des Multiprojekt-Test-Chips. Die Kantenlange des Chips betragt 2,2 mm; die Innenflache des ringformig ausgelegten ADCs lasst Platz fur einen groflachigen Sensor.

$\Delta\Sigma$ -Konverter oder TDCs. Beide Konzepte arbeiten in der digitalen Domane, entsprechend sind die Effekte der Abwartsskalierung eher vorteilhaft. TDCs werden seit 25 Jahren im Bereich der experimentellen Physik zur hochgenauen Messung von Laufzeitintervallen verwendet. Sie erreichen heute Hochstauflosungen im einstelligen Pikosekundenbereich [3, 4]. Diese Entwicklung hat dazu gefuhrt, TDCs auch in Anwendungsbereichen konventioneller AD-Wandler einzusetzen. Eine Anwendung, die auch dieser Arbeit als Ziel zugrunde liegt, ist der intelligente, integrierte CMOS-Sensor.

Erste Ansatze zur volldigitalen TDC-basierten Sensorik befassen sich mit der On-Chip-Temperaturmessung uber die Erzeugung eines Pulses mit temperaturabhangiger Pulsbreite [5]. Ahnliche Konzepte brachten Magnetfeld [6]- oder Kapazitatssensoren [7] hervor. Diesen Ansatzen ist gemein, dass uber eine angepasste Verzogerungsstrecke Pulse erzeugt werden, deren Lange zu der zu messenden Groe proportional ist. Die Pulslange wird mit einem TDC digitalisiert. Beispielsweise kann uber eine spannungsgesteuerte Verzogerungsleitung mit nachgeschaltetem TDC eine analoge Differenzspannung ausgelesen werden [8, 9], um so einen Messbruckenwert zu digitalisieren.

Der Hauptbeitrag dieser Arbeit besteht in dem Vorschlag, anders als in allen bisher bekannten TDC-basierten Sensorkonzepten eine spannungsgesteuerte

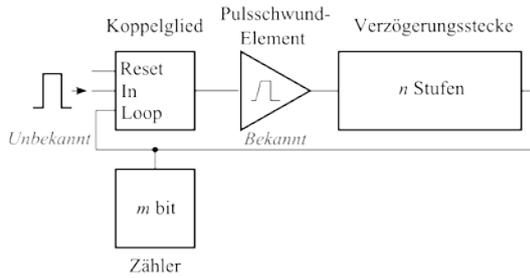


Abbildung 2: Blockschaltbild eines Pulse-Shrinking TDC.

Verzögerungsleitung nicht vor den TDC zu schalten, sondern als Bestandteil des TDCs selbst zu verwenden. Das Konzept, das sich auf einen CMOS-TDC bezieht, aber keinen speziellen Typ voraussetzt, wurde in einem 0,35 μm CMOS Prozess testweise realisiert.

Zunächst fassen wir im folgenden Kapitel das Funktionsprinzip des verwendeten TDCs kurz zusammen, um danach auf dieser Basis das Konzept des von uns vorgeschlagenen ADCs zu präsentieren. Kapitel III beschreibt dessen Realisierung. In Kapitel IV präsentieren wir erste Messergebnisse, bevor wir in Kapitel V die Arbeit zusammenfassen und einen Ausblick geben.

II. ADC KONZEPT

Wir setzen in dem hier beschriebenen Test-Chip (Abbildung 1) einen Pulse-Shrinking TDC [10, 11] ein. Dieser besteht aus 4 Grundkomponenten: Koppelglied, Pulslängenschwund-Element, Verzögerungsstrecke und Zähler (Abbildung 2).

Die Verzögerungsstrecke bewirkt eine Zeitverzögerung, die größer ist als die eingespeiste Pulslänge. Dadurch kann der Puls in der rückgekoppelten Schaltung überlagerungsfrei rotieren und nach entsprechender Kürzung ganz verschwinden. Ferner darf ein folgender Puls nicht vor dem Verschwinden des vorherigen anliegen. Aus der Anzahl der benötigten Runden bis zum Verschwinden und der bekannten Pulslängenkürzung pro Runde kann die Eingangspulslänge ermittelt werden.

A. Blockschaltbild des ADC auf TDC-Basis

Zur Realisierung des AD-Umsetzers auf TDC-Basis speisen wir einen Puls bekannter Länge ein. Die Pulslängenänderung pro Runde kann über vier Steuerspannungen ($U_{Control}$) U_{C1} bis U_{C4} eingestellt werden. Je nach Steuerspannungsverhältnis kann die Länge des Pulses am Ausgang der Verzögerungsleitung sowohl geschrumpft als auch vergrößert werden. Durch Berechnung der Pulslängenänderung aus bekannter Pulslänge und Zählerstand ist bei geeigneter Beschaltung ein Rückschluss auf anliegende Steuerspannungen zu ziehen. Dabei sind durch die vier Steuerspannungen zunächst vier Variablen unbekannt. Abbildung 3 zeigt ein Blockschaltbild des Aufbaus.

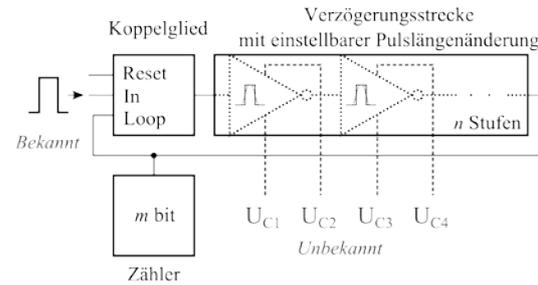


Abbildung 3: Blockschaltbild des TDC-basierten ADC.

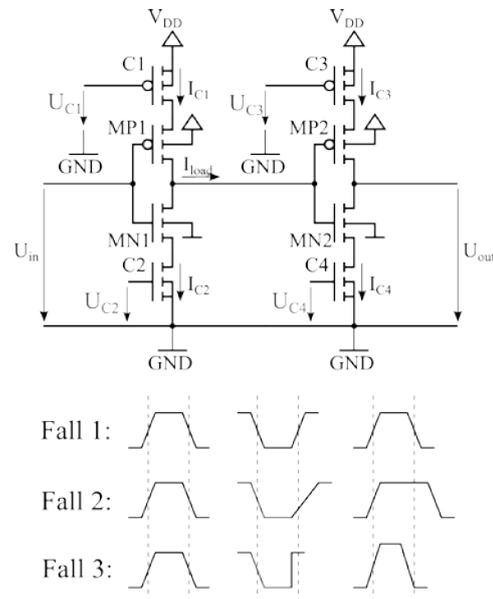


Abbildung 4: Oben: Grundbaustein der Verzögerungsstrecke mit einstellbarer Pulslängenänderung; unten: Fallbeispiele.

B. Spannungsgesteuerte Buffer-Zelle

Grundbaustein unseres Konzepts ist eine spannungsgesteuerte Buffer-Zelle zur Pulslängenänderung. Der Buffer entspricht in seiner Struktur der Serienschaltung zweier Standard CMOS-Inverter (MP1-2, MN1-2, siehe Abbildung 4, oben) und besitzt vier zusätzliche *Current-Starving*-Transistoren (C1-C4) [9, 12] im Versorgungspfad. Diese werden als variable Widerstände genutzt, um die Lade- und Entladeströme der Gatekapazitäten des folgenden Inverters einzustellen.

Die Transistoren C1 bis C4 werden so angesteuert, dass sie sich in Sättigung befinden. Entsprechend muss die Gatespannung für die NMOS- bzw. PMOS Transistoren jeweils jenseits der Einsatzspannung liegen. Hieraus ergibt sich folgender Arbeitsbereich U_{OP} :

$$U_{Th,N} < U_{OP} < V_{DD} - |U_{Th,P}| \quad (2.1)$$

Nachfolgend wird vorausgesetzt, dass alle Steuerspannungen U_{C1} bis U_{C4} im Bereich U_{OP} liegen. Die folgenden Fallbeispiele erläutern interessante Konfigurationen.

Fall 1: U_{C1} bis U_{C4} sind gleich groß.

Es ergeben sich zwei identische Inverter und die Pulslänge am Ausgang entspricht der am Eingang (Vgl. Abbildung 4, Fall 1).

Fall 2: U_{C1} ist größer als $U_{C2} = U_{C3} = U_{C4}$.

I_{C1} und somit der Ladestrom I_{load} werden verhältnismäßig kleiner und die steigende Flanke des invertierten Pulses wird verzögert. Dem zufolge wird die Umschaltspannung des folgenden Inverters später erreicht und der Puls wird insgesamt verlängert.

Fall 3: U_{C1} ist kleiner als $U_{C2} = U_{C3} = U_{C4}$.

I_{load} erhöht sich verhältnismäßig, die Pulslänge wird kleiner.

Wir verwenden Fall 3 für unser Messprinzip. Durch einen identischen, bekannten Spannungspegel an drei der Steuerspannungsanschlüsse wird die Zahl der unbekannt Parameter reduziert. Zählerstand und Pulsängenänderung sind direkt abhängig von der vierten, variablen Steuerspannung.

Current-Starved-Inverter werden beispielsweise eingesetzt, um die Auflösung eines TDCs zu steuern [13]. Neu ist unseres Wissens hingegen, die beschriebene Art der Pulsformung in der Verzögerungsstrecke zu verbauen, um Sensorsignale auszuwerten. Wir setzen den pulslängenändernden Buffer n mal in der Verzögerungsstrecke ein. So kann die Empfindlichkeit n -fach gesteigert werden. Der AD-Umsetzer ist durch diesen Aufbau auf verschiedene Arbeitsbereiche einstellbar, als Parameter dient die Länge der Verzögerungsstrecke. Der Einsatz einer solchen Verzögerungsleitung ist nicht auf Pulse-Shrinking TDCs beschränkt.

C. Modellierung und Simulation

Zu einer einfachen Modellierung verwenden wir SPICE LEVEL 1-Gleichungen. Wird U_{C1} variiert, ist dies nur bei einer fallenden Flanke an U_{in} ausschlaggebend. Entsprechend werden die für diesen Fall aktiven Transistoren durch ein Ersatzschaltbild für MOSFET-Transistoren ersetzt und auf die wesentlichen Komponenten reduziert. Als Parameter verwenden wir den Kanalwiderstand R_{C1} für den Transistor C1 sowie die Gatekapazität C_{INV} der folgenden Inverter MP2 und MN2 (Abbildung 5) zur Berechnung der RC-Zeitkonstanten τ_1 . Analog werden τ_2 bis τ_4 für die Steuerspannungen U_{C2} bis U_{C4} berechnet. Die resultierende Pulsängenänderung lässt sich dann durch Subtraktion der einzelnen Zeitkonstanten modellieren:

$$\Delta\tau = (\tau_1 - \tau_3) - (\tau_2 - \tau_4). \quad (2.2)$$

Für Transistor C1 berechnet sich die Zeitkonstante zu:

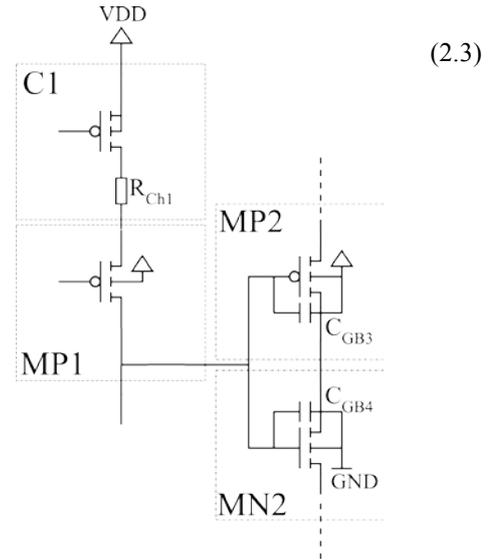


Abbildung 5: Ersatzschaltbild. Die aktiven Transistoren für eine fallende Flanke am Eingang (Abbildung 4, U_{in}) werden durch den Widerstand R_{Ch1} und die Kondensatoren C_{GB3} , C_{GB4} ersetzt.

$$\tau_1 = R_{C1} \cdot C_{INV}$$

$$C_{INV} = C_{GB3} + C_{GB4} = \frac{\epsilon}{TOX} \cdot (W_{MP2} \cdot L_{MP2} + W_{MN2} \cdot L_{MN2}) \quad (2.4)$$

$$R_{C1} = \frac{U}{I_{D,C1}} = \frac{VDD}{\frac{\beta_P}{2} \cdot (VDD - U_{C1} - |U_{Th,P}|)^2} \quad (2.5)$$

Aus 2.4 und 2.5 ergibt sich mit 2.3:

$$\tau_1 = \frac{2 \cdot VDD \cdot \epsilon}{\beta_P \cdot TOX \cdot (VDD - U_{C1} - |U_{Th,P}|)^2 \cdot (W_{MP2} \cdot L_{MP2} + W_{MN2} \cdot L_{MN2})} \quad (2.6)$$

In Gleichungen 2.4 – 2.6 beschreiben ϵ und TOX die Dielektrizitätskonstante und Dicke des Gateoxids, W und L die jeweiligen Breiten und Längen der Gates, β und U_{Th} den Übertragungsleitwertfaktor und die Einsatzspannung der Transistoren. Gleichung 2.6 gilt analog für Transistor C3, wenn U_{C1} durch U_{C3} ersetzt wird. Mit dem gleichen Ansatz lässt sich für die Transistoren C2 und C4 herleiten:

$$\tau_N = \frac{2 \cdot VDD \cdot \epsilon}{\beta_N \cdot TOX \cdot (U_G - U_{Th,N})^2 \cdot (W_{MP2} \cdot L_{MP2} + W_{MN2} \cdot L_{MN2})} \quad (2.7)$$

Mit τ_1 bis τ_4 ergibt sich dann entsprechend 2.2 unter der Voraussetzung, dass die Faktoren β_N und β_P je-

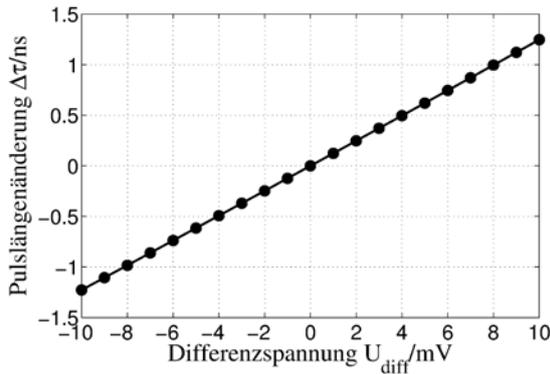


Abbildung 6: Simulierte Pulsängenänderung bei einer Variation von U_{C1} von 1290 mV nach 1310 mV; U_{C2} bis $U_{C4}=1300$ mV.

weils für die beiden n- und p-Kanaltransistoren gleich gewählt werden:

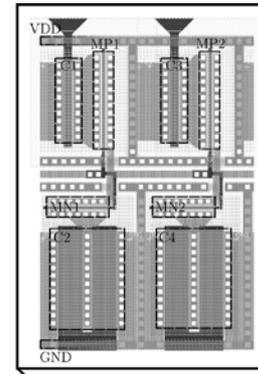
$$\Delta\tau = \frac{2 \cdot VDD \cdot \epsilon}{TOX} \cdot (W_{MP2} \cdot L_{MP2} + W_{MN2} \cdot L_{MN2}) \cdot \left(\frac{1}{\beta_P} \cdot \left(\frac{1}{(VDD - U_{C1} - |U_{Th,P}|)^2} - \frac{1}{(VDD - U_{C3} - |U_{Th,P}|)^2} \right) - \frac{1}{\beta_N} \cdot \left(\frac{1}{(U_{C2} - U_{Th,N})^2} - \frac{1}{(U_{C4} - U_{Th,N})^2} \right) \right) \quad (2.8)$$

Gleichung 2.8 erklärt die drei in Abschnitt II.B diskutierten Fälle. Sind alle Steuerspannungen gleich (Fall 1), ergibt sich die Pulsängenänderung $\Delta\tau$ zu null. Ist U_{C1} größer als die restlichen gleichen Steuerspannungen (Fall 2), ergibt sich eine Pulsverlängerung ($\Delta\tau > 0$). Fall 3 ergibt entsprechend eine Pulsverkürzung.

Eine Variation von U_{C2} erzeugt ein komplementäres Verhalten: für Fall 2 ergibt sich eine Pulszeitverkürzung, für Fall 3 eine Pulszeitverlängerung. Eine Steigerung der Empfindlichkeit kann folglich erreicht werden, wenn beispielsweise nicht nur U_{C1} , sondern eine weitere Steuerspannung mit gleicher Wirkung, d.h. Pulsschwund oder Pulsverlängerung, einbezogen wird. Der passende Partner zu U_{C1} ist U_{C4} .

Gleichung 2.8 zeigt auch die zu unterdrückenden parasitären Abhängigkeiten der Pulslänge von der Betriebsspannung VDD und der Temperatur, von der die Einsatzspannung und die im Übertragungsleitwertfaktor enthaltene Ladungsträgerbeweglichkeit abhängig sind.

Zur Abschätzung der Empfindlichkeit ist eine Simulation mit Prozessdaten realistischer als die vereinfachte Berechnung nach Gleichung (2.8). Abbildung 6 zeigt die simulierte Abhängigkeit der Pulsängenänderung von der Differenzspannung für einen typischen Arbeitspunkt unserer Schaltung. U_{C1} variiert von 1290 mV bis 1310 mV, die restlichen Steuerspannungen sind zu 1300 mV festgelegt. Damit schätzt sich die Empfindlichkeit der Pulsängenänderung zu etwa



Koppelglied

Abbildung 7: Layout des pulslängenändernden Buffers (oben, die in Abbildung 5 beschriebenen Transistoren sind markiert.) und der Grundzelle (unten) mit markiertem Koppelglied.

120 ps/mV ab. Wird ein Eingangsimpuls von 100 ns Länge eingespeist, verschwindet er folglich bei 1 mV Steuerspannungsdifferenz nach etwa 850 Durchläufen. Je nach Rauschen und Stabilität der Schaltung ist auf Basis dieser Abschätzung dann eine Spannungsauflösung im Mikrovoltbereich zu erwarten.

III. REALISIERUNG

Der ADC wurde im Rahmen eines Multiprojekt-Test-Chips mit der Software *Tanner Tools Pro IC Design Suite* in der Version 15.2 entwickelt und über EURORACTICE in einer 0,35 μm CMOS-Technologie gefertigt. Alle Komponenten des TDC sind „full custom“ entworfen, der Zähler wurde mit Standardzellen generiert. Abbildung 7 zeigt das Layout des pulslängenändernden Buffers. Der Buffer wird mehrfach aneinandergereiht und bildet mit dem Eingangskoppelglied die Grundzelle des ADC. Insgesamt besitzt die Grundzelle eine ungerade Anzahl von Invertern, entsprechend wird das Signal negiert ausgegeben. Die Gesamtschaltung erfordert eine gerade Anzahl an Grundzellen.

Diese Designbesonderheit gründet sich auf Symmetrieanforderungen an das Layout. Beispielsweise muss der letzte Inverter der Verzögerungsstrecke den Zähler sowie das Koppelglied ansteuern (siehe Abbildung 3). Entsprechend ist dessen kapazitive Last, bezogen auf einen Inverter in der Mitte der Verzögerungsstrecke, deutlich höher. Ähnliche Effekte werden zusätzlich durch die Puls- und Reseteinspeisung im Koppelglied herbeigeführt, da die dort verwendeten NOR-Gatter durch ihren internen Aufbau andere Transfereigenschaften als die Inverter der Verzögerungsstrecke besitzen. So herbeigeführte Seiteneffekte verursachen unerwünschte Pulsängenänderungen. Durch die Verwendung von mindestens zwei der

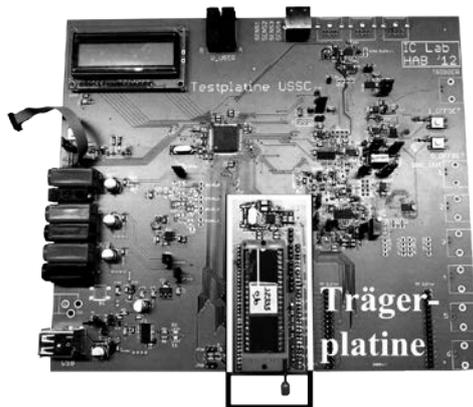


Abbildung 8: Mikrocontroller-gesteuerte Testplatine zur Auswertung der verschiedenen Testchips; Adapterplatine markiert.

Grundzellen können diese Effekte eliminiert werden, da der Puls die folgende Grundzelle inklusive Koppelglied nochmals invertiert passiert. Die Seiteneffekte wirken so gleichermaßen auf die fallende und auf die steigende Flanke des Pulses ein. Überflüssige Koppelglieder werden statisch beschaltet. Die durch den Zähler verursachte Pulslängenänderung wird nach der nächsten Grundzelle durch eine Dummy-Zelle, welche sich bezüglich ihrer verursachenden kapazitiven Last nicht von dem echten Zähler unterscheidet, ausgeglichen.

In unserem Testdesign wurden vier Grundzellen in einer Ringstruktur platziert (Abbildung 1). Das freie Feld in der Mitte ermöglicht die Platzierung von großflächigen Sensoranwendungen. Die komplette Struktur ist punktsymmetrisch zur Mitte. Neben dem ADC ist auch ein Pulse-Shrinking TDC auf dem Chip integriert. Er hat einen gleichartigen Aufbau, der Pulsschwund wird jedoch bei identisch gewählten Steuerspannungen über ein geändertes W/L-Verhältnis eingestellt. Er besitzt ein anderes Temperaturverhalten als der ADC und kann zur Temperaturkompensation eingesetzt werden. ADC sowie TDC besitzen Zähler, welche gleichzeitig auch als Schieberegister dienen und so per Mikrocontroller auslesbar sind.

IV. EXPERIMENTELLE ERGEBNISSE

Die Evaluation der Schaltungen auf dem Chip erfolgt über eine Mikrocontroller-gesteuerte Testplatine (Abbildung 8). Neben Standardkomponenten wie Versorgung, USB-Schnittstelle und LCD-Display besitzt die Platine ein Chip-Interface. Hier werden alle Funktionen zusammen- und über Testchip-spezifische Trägerplatinen dem Chip zugeführt. Optional kann auf der Trägerplatine zusätzlich ein kommerzieller TDC eingesetzt werden, um Referenzmessungen durchzuführen.

In der folgenden Auswertung werden die ADC-Messergebnisse für drei zufällig ausgewählte Chips verglichen. Abbildung 9 zeigt die Abhängigkeit der

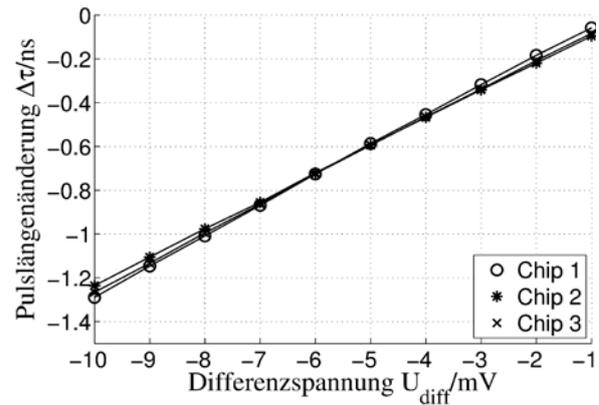


Abbildung 9: Aus der Messung (siehe Abbildung 10) ermittelte Pulslängenänderung bei einer Variation von U_{C1} von 1290 mV nach 1299 mV; U_{C2} bis U_{C4} =1300 mV. Mittelwert aus jeweils 1000 Messungen. Diese Ergebnisse entsprechen der Simulation (vergl. Abbildung 6).

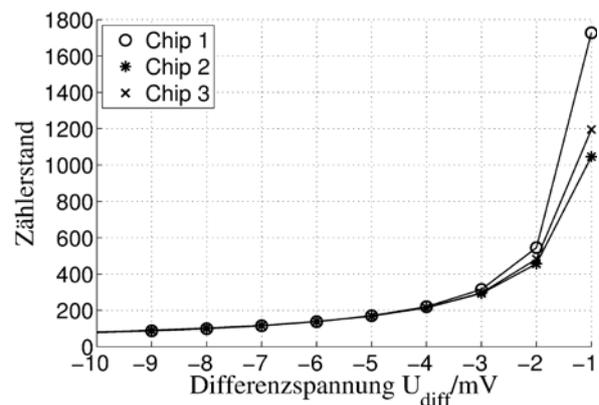


Abbildung 10: Zählerstand bei einer Variation von U_{C1} von 1290 mV nach 1299 mV; U_{C2} bis U_{C4} =1300 mV. Mittelwert aus jeweils 1000 Messungen.

Pulslängenänderung von der angelegten Differenzspannung. Wie im Fallbeispiel zuvor werden U_{C2} - U_{C4} konstant auf einer gemeinsamen Referenzspannung von 1300 mV gehalten. U_{C1} wird in 1mV-Schritten bis auf 1290 mV verringert, die Eingangspulslänge beträgt 100 ns. Es wurden 1000 Messungen bei einer Messrate von 10 kHz vorgenommen. Die einzelnen Messungen liegen jeweils ca. 10 s auseinander. Die ermittelte Spannungsabhängigkeit der Pulslängenänderung liegt bei den drei Testchips im Bereich von 123-129 ps/mV. Eine statistische Auswertung des Signal-Rausch-Verhältnisses über 3σ -Konfidenzintervalle ergibt eine theoretische Spannungsauflösung von ca. 70 μ V im gezeigten Differenzspannungsbereich.

Auflösung und Empfindlichkeit sind aus dem in Abbildung 10 gezeigten Zählerstand in Abhängigkeit von der Differenzspannung berechnet. Dem Funktionsprinzip des ADCs entsprechend steigt der Zählerstand mit betragsmäßig fallender Differenzspannung hyperbolisch. Für Differenzspannungen $|U_{Diff}|$ kleiner als

1 mV wird die resultierende Pulsänderung sehr klein, folglich ist die Anzahl an Umläufen sehr groß und der Zähler läuft über. Hierdurch entsteht eine Nullpunktverschiebung, welche bei der Kalibrierung eines Sensorsystems zu berücksichtigen ist. Bei sehr großen Differenzspannungen geht der Ausgangswert des Zählers gegen Null, weil der Puls durch eine sehr große Pulslängenänderung im ersten Durchlauf verschwindet.

V. ZUSAMMENFASSUNG UND AUSBLICK

In dieser Arbeit wird vorgeschlagen, anders als in allen bisher bekannten TDC-basierten ADC-Konzepten zur Sensorsignalauswertung eine spannungsgesteuerte Verzögerungsleitung nicht vor den TDC zu schalten, sondern als Bestandteil des TDCs selbst zu verwenden. Testchips wurden in 0,35 μm CMOS-Technologie gefertigt. Die vorliegenden Messergebnisse weisen die Realisierbarkeit nach. Es wird eine Spannungsempfindlichkeit entsprechend der Auslegung und Simulation erreicht. Die Auflösung im μV -Bereich eignet sich zur direkten Sensorsignalauswertung.

Zukünftige Arbeiten haben den digitalen, intelligenten, vollintegrierten CMOS-Sensor zum Ziel. Dazu ist vorgesehen, in einem finalen Design neben der CMOS-Sensorkomponente die Referenzpulserzeugung, die Temperaturkompensation und eine SPI-Schnittstelle zur Kommunikation mit einem externen Mikrocontroller zu integrieren.

DANKSAGUNG

Diese Arbeit wurde im Rahmen der Forschungsgruppe „Intelligente Fahrerassistenzsysteme“ (IFAS) im „Zentrum für Wissenschaftliche Services und Transfer“ der Hochschule Aschaffenburg durchgeführt, das vom Bayerischen Staatsministerium für Wissenschaft, Forschung und Kunst gefördert wird.

LITERATURVERZEICHNIS

- [1] G. W. Roberts and M. Ali-Bakhshian, "A Brief Introduction to Time-to-Digital and Digital-to-Time Converters," *IEEE Trans. Circuits Syst. II*, vol. 57, no. 3, pp. 153–157, 2010.
- [2] S. Henzler, *Time-to-digital converters*. Dordrecht, London: Springer, 2010.
- [3] J. Yu, F. F. Dai, and R. C. Jaeger, "A 12-Bit Vernier Ring Time-to-Digital Converter in 0.13 μm CMOS Technology," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 830–842, 2010.
- [4] Y.-H. Seo, J.-S. Kim, H.-J. Park, and J.-Y. Sim, "A 1.25 ps Resolution 8b Cyclic TDC in 0.13 μm CMOS," *IEEE J. Solid-State Circuits*, vol. 47, no. 3, pp. 736–743, 2012.
- [5] C. Poki, C. C. Chun, C. T. Chin, and F. L. Wen, "A time-to-digital-converter-based CMOS smart temperature sensor," *IEEE Journal of Solid State Circuits*, vol. 40, no. 8, pp. 1642–1648, 2005.
- [6] Young-Jae Min and Soo-Won Kim, "A CMOS TDC-based digital magnetic Hall sensor using the self temperature com-

ensation," in *IEEE 2008 Custom Intergrated Circuits Conference (CICC)*, pp. 329–332.

- [7] B.-J. Moon, D.-Y. Jung, J.-W. Chung, C.-Y. Joung, J.-S. Hong, S.-J. Lee, Y.-H. Shin, and C. Yoo, "A Full-Digital Multi-Channel CMOS Capacitive Sensor," in *2006 IEEE Asian Solid-State Circuits Conference*, pp. 247–250.
- [8] Broenner, D. Fuchs, U. Brunsmann, "An experimental test chip for TDC-based digital sensors", *Workshop der Multiprojekt-Chip-Gruppe Baden-Württemberg*, Reutlingen, pp. 67-77, 2010.
- [9] H. Pekau, A. Yousif, and J. Haslett, "A CMOS Integrated Linear Voltage-to-Pulse-Delay-Time Converter for Time Based Analog-to-Digital Converters," in *2006 IEEE International Symposium on Circuits and Systems*, pp. 2373–2376.
- [10] P. Chen, Shen-Luan Liu, and Jingshown Wu, "A CMOS pulse-shrinking delay element for time interval measurement," *IEEE Trans. Circuits Syst. II*, vol. 47, no. 9, pp. 954-958, 2000.
- [11] Y. Liu, U. Vollenbruch, Y. Chen, C. Wicpalek, L. Maurer, Z. Boos, and R. Weigel, "Multi-stage Pulse Shrinking Time-to-Digital Converter for Time Interval Measurements," in *2007 European Conference on Wireless Technologies*, pp. 347-350.
- [12] T.-H. Lee and P. A. Abshire, "Design methodology for a low-frequency current-starved voltage-controlled oscillator with a frequency divider," in *2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 646–649.
- [13] S.A. Mondal, S. Pal, H. Rahaman and P. Mondal, "Voltage controlled current starved delay cell for Positron Emission Tomography specific DLL based high precision TDC implementation," in *2012 5th International Conference on Computers and Devices for Communication (CODEC)*, pp.1-4.



Frank Säger erhielt den akademischen Grad des B.Eng in Elektro- und Informationstechnik im Jahr 2012 von der Hochschule Aschaffenburg, wo er sein Masterstudium in Elektro- und Informationstechnik voraussichtlich im Jahr 2013 beendet. Seine Forschungsinteressen liegen im Bereich der intelligenten Sensorik.



Ulrich Brunsmann ist Professor für Elektronische Bauelemente und Computational Intelligence an der Hochschule Aschaffenburg. Zuvor leitete er die Sensor- und Elektronikentwicklung für die Weltraumastronomie im Battelle-Institut, Frankfurt. Er arbeitete an der Universität Gießen auf dem Gebiet der Festkörperoberflächenphysik und erhielt dort 1977 den Grad des Dr. rer. nat. und 1972 den Grad des Diplom-Physikers. Seine gegenwärtigen Forschungsinteressen liegen auf dem Gebiet der intelligenten Sensorik mit dem Anwendungsschwerpunkt Fahrerassistenzsysteme.

System-Level Exploration of Design Decisions Based on Indicators

Marvin Freier, Axel Wenzler, Thomas Mayer, Joachim Gerlach, Wolfgang Rosenstiel

Abstract—By designing application specific integrated circuits (ASICs) a designer has to integrate more and more additional functions as well as managing the increasing complexity. A designer can reduce the design costs by speeding up the time-to-market (TTM) and by shortening the required development time. Thereby an essential factor is the validation and evaluation of design decisions in an early phase of the design flow. This work presents a method for the exploration of design decisions in models, which are described on system-level, by means of automatically determined indicators. The examined models can be described in MATLAB/Simulink or with SystemC.

Index Terms—ASIC design, exploration, system-level, SystemC, MATLAB/Simulink.

I. INTRODUCTION

In current ASIC projects designers generally apply a top-down approach to handle the increasing complexity. Thereby the designer starts to describe the wanted behavior of the ASIC abstractly on system-level. The result is known as “system-level model” (also known as “system model”). Using a system-level model enables the designer to examine the overall dynamical system’s behavior and to analyze the impact from the integration of additional functions. Furthermore a top-down approach supports to reduce the required development time, e.g. by reusing the test environment and test cases.

System-level models are described according to the ASIC specification. In this early design phase some of the design decisions, such as the hardware/software-partitioning or the dimensioning of the bus, haven’t been made. Next to the specification, decisions mainly base on spreadsheets and the designer’s experience. In the next design steps, the model is gradually refined to the implementation still in compliance with the specification. The resulting implementation is realized in a

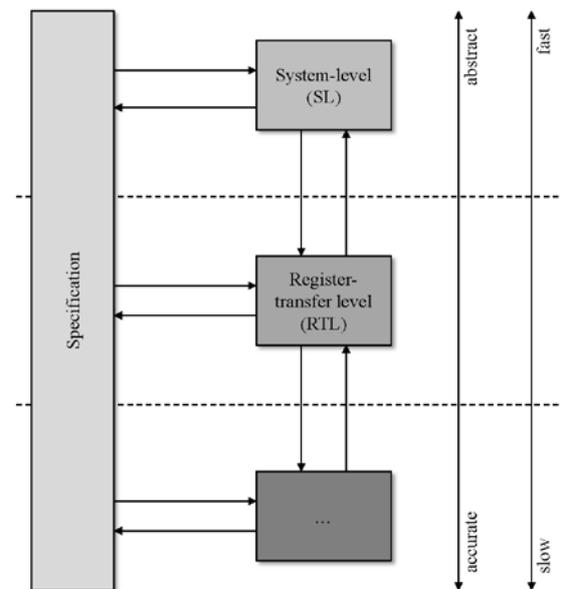


Figure 1: Exemplary design flow.

domain-specific hardware description language such as VHDL or Verilog on register-transfer level [6]. Figure 1 exemplarily visualizes this approach.

An essential factor in ASIC projects is the reliable evaluation and validation of a design decision in a preferable early phase. In consequence of this a designer can reduce the design costs by avoiding non-essential costs of non-optimal solutions or from time-consuming design iterations of incorrect decisions. Potential costs and required development time increase with the ongoing design. The exploration of decisions on system-level is challenging in regard of the lack of relevant information. On the one hand some information is unavailable on this abstract level, on the other hand details are systematically blanked out to speed up the simulation. In this work we present a method which enables a reliable evaluation and validation of design decisions in abstract models on system-level by means of the exploration of automatically determined indicators.

The paper is organized as followed. In section two the method and its implied steps are presented. The third section describes the requirements for worthwhile design decisions and includes examples. System-level models are discussed in section four. This

M. Freier, A. Wenzler and T. Mayer are employees of the Robert Bosch GmbH, P.O.B. 1342, 72703 Reutlingen.

J. Gerlach is professor of the faculty engineering at Albstadt-Sigmaringen University, Poststraße 6, 72458 Albstadt.

W. Rosenstiel (rosenstiel@uni-tuebingen.de) is dean of the faculty of science at Eberhard Karls University, Auf der Morgenstelle 8, 72076 Tübingen.

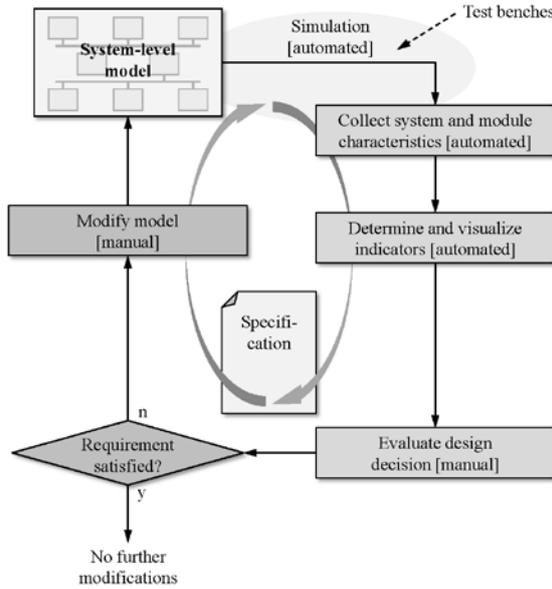


Figure 2: Method (overview).

section also gives an overview of MATLAB/Simulink as development environment and SystemC as system-level description language. The exemplary circuit with the included components is shown in section five. Section six summarizes the research work within the conclusion.

II. METHOD

The method is used in an early design phase and supports a designer to evaluate design decisions. An abstract model on system-level builds the method's center. This model represents according to the specification the basic functionality of the whole ASIC or the behavior from a subset of components, e.g. digital signal path. Figure 2 shows the complete method and its several steps.

In the first step system and module characteristics are collected during a simulation. These characteristics are needed for further examinations. Hereby the simulation has to cover different points of view. These views cover the perspectives of the customers, module designers, ASIC designers, sensor engineers and software designers. As the test bench and its scenarios have a significant impact on system characteristics, they have to be thoroughly selected. Examples for module and system characteristics are sample rate, signal data type, latency or transfer rate.

In the subsequent step, indicators are automatically derived from the collected system and module characteristics. Indicators build the basis for evaluating design decisions on system-level. According to equation (1) an indicator Ind is the weighted sum of the characteristics g multiplied with a corresponding weight coefficient x . The weight coefficient of a characteristic is calculated by a weighting function. Another aspect

in determining indicators is the reduction of required characteristics. As a result the test bench and its scenarios can be adjusted with the aim to reduce simulation time which is needed to get worthwhile characteristics. However the indicators mustn't lose their expressiveness.

$$f(Ind_k) = \sum_{i=0}^n g_i x_i \quad (1)$$

Once the indicators are determined they are visualized in a chart or table to a designer. An important aspect is the transparent compound of an indicator. In this way a designer can comprehend and draw conclusions from the visualizations.

Based on indicators a designer evaluates a realized module in terms of a specific design decision. This step is intentional not automated. At this point a designer has the opportunity to incorporate his expertise and if necessary to decide against the rating. Possible reasons could be non-functional requirements like increasing the flexibility despite lower area consumption.

Is a designer unsatisfied with a design decision due to the indicators, the designer can modify the model manually and apply the method one more time. With the repeated application the impact of the modification on the overall system can be investigated. In addition to the current model a designer could have alternative solutions with corresponding indicators from previous examinations. That way it is possible to reduce the exploration loop. This approach can be repeated as often as necessary. The method ends as soon as a design alternative meets the requirements from the specification and from a designer.

III. DESIGN TOPICS AND DECISIONS

In an early design phase the customer primarily defines the requirements of an integrated circuit. Examples of such requirements are the maximum allowed power and area consumption, the target costs or required interfaces. On the basis of these requirements designers specify design topics which have to be addressed while realizing the integrated circuit. Solutions of how to technically realize topics are design decisions. Depending on the design phase, non-optimal solutions or wrong decisions could cause time-consuming design iterations and extensive costs.

The presented method is used to evaluate design decisions which are typically addressed in an early phase and significantly affect the system design. For a time-spending and profitable exploration the following constraints are recommended:

- *Simulation.* Needed system and module characteristics for deriving indicators are determined during a simulation. The designer must be sure of his

own that the test cases cover all relevant application cases.

- *Availability.* Necessary modules which influence the examined design decisions are implemented on system-level and integrated into the model. Irrespective of the abstract system description the characteristics have to be applicable and accessible.
- *Transparency.* Base of the exploration are the automatically determined indicators. For this reason, the simulation results and achieved characteristics have to be comprehensible and transparent to a designer. Another aspect is the reproducibility of results.
- *Effort.* Some explorations need the refinement of the system-level model. However, refining the model and adding information should remain manageable and should not take too much time. Similarly it should be possible to analyze the simulation in a relative short time.
- *Benefit.* The use of the proposed method to evaluate a design decision has to be compared with currently used approaches. For some cases static information from spreadsheets and assumptions are sufficient in this design phase.

A reliable and resource-efficient exploration cannot be guaranteed if at least one of the listed constraints is broken. Examples for topics which are ideally addressed in an early design phase are the dimensioning of the front-end, hardware/software-partitioning (HW/SW-partitioning) or the parameterization of an interface. Due to the ongoing digitalization of an ASIC, the importance of an adequate HW/SW-partitioning increases rapidly. In this context digitalization means the implementation of previously analog components as digital components. This is caused by the better shrinking factor of digital elements in progressive technologies. The shrinking factor stands for the percentage reduction of the required area of a component by using a newer technology. A second aspect of HW/SW-partitioning is the realization of a component in software. Compared to a silicon solution, a software-based implementation improves the flexibility but leads to higher area consumption. During exploration a designer has to analyze such trade-offs.

IV. SYSTEM-LEVEL MODELS

There are multiple system-level modeling languages to describe a circuit on system-level [1]. On this high level the model represents the basic functionality. Besides modeling language, system-level models can differ in abstraction, system view and range of covered functions. This research examines system-level models which are described with SystemC [2] or in MATLAB/Simulink [3].

MathWorks offers with MATLAB[®] an interactive environment and a high-level description language. MATLAB is suitable for scientific and engineering computations, for example in the fields of linear algebra and Fourier analysis. By means of additional function libraries (so-called toolboxes) the application field can be extended to e.g. digital signal processing or image and video processing. The toolbox MATLAB/Simulink[®] (in the following: Simulink) is a graphical design environment and enables a model-based design of dynamic systems. While modeling the system behavior a designer inserts function blocks from the provided library and adjusts individually the block's parameters. During the development a designer groups blocks, which are functionally connected, to subsystems. Such subsystems typically represent filters or digital signal processors (DSPs). Simulink has numerous toolboxes which also widens the field of application. An example is described in [4]. In this paper the toolboxes were integrated into the design flow to synthesize a system-level model to a resource sensitive description on register-transfer level.

The system-level description language SystemC is a C++ class library and extends the object-oriented programming language to describe typical hardware characteristics such as synchronization, parallelism or inter-process communication. SystemC is established to model complex electronic systems on system-level or on register-transfer level. Compared to other description languages, SystemC is usually used for modeling and to simulate the overall system [5]. This overall system can contain next to hardware components also in software realized components. The software can be connected via host-code execution or runs on an instruction set simulator [6]. While using the TLM approach (transaction level modeling) the focus of the data transfer and communication mechanism lies on the functionality instead of the actual implementation. Thereby the communication is encapsulated into packages and has a more abstract description. The advantage of TLM is the fast and easy replacement of modules and system enhancement [7].

V. EXEMPLARY CIRCUIT

The first application of the method takes place in the design of a sensor ASIC. This ASIC should process the sensor data of a yaw rate sensor and multiple acceleration sensors and provide the processed sensor data for further handling. The ASIC is intended to be integrated in automotive electronic control units (ECUs), such as the electronic stability program (ESP[®]) or the airbag control unit. The method is proved on the precedent project. From the ASIC the specification, including the requirements, block diagrams, spread-sheets and the test environment with its test cases are available. Figure 3 illustrates some characterizing components of the exemplary circuit.

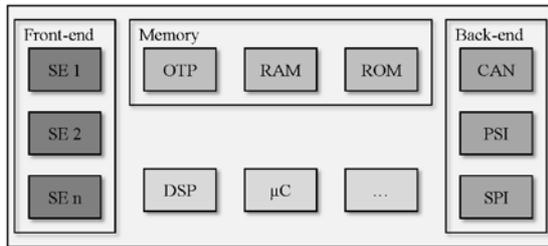


Figure 3: Structure Exemplary Circuit.

In the front-end the signal sequences of the yaw rate sensor and acceleration sensors are prepared by analog components, e.g. filter structures or analog-to-digital converters, for the subsequent signal processing. The signal processing takes place in a digital signal processor and partly in digital hardware. The ASIC has three different kinds of memory: a non-rewriteable read-only memory (ROM), an one-time programmable read-only memory (OTP) and a rewriteable random-access memory (RAM). The ROM contains firmware which is executed by the microcontroller. The sensors are adapted by means of the application-specific definitions in the OTP. Also the OTP provides a facility for the allocation of potential software patches in addition to other module configurations. During runtime the data from the modules are stored in the RAM which can be read via several interfaces. Among others to these interfaces belong CAN (controller area network), SPI (serial peripheral interface) and PSI (peripheral sensor interface). Presently the PSI and CAN interfaces are implemented in the integrated microcontroller. Next to the interface implementations, the microcontroller provides safety features. The PSI and SPI have several modes. For example the SPI modes differ in frame size and the kind of responding to a request. Thereby a response can take place within the same frame or in the subsequent frame. In Figure 3 some components are not illustrated, e.g. the buses for the internal communication and the safety controller.

The method is applied to evaluate a design decision in the field of HW/SW-partitioning. A reliable evaluation of the HW/SW-partitioning on system-level enables a first estimation of the area consumption and required memory size. These estimations can also be used as an additional factor in determining the process technology for the ASIC. Furthermore the software development can start in an early phase. The method identifies for each component the sample rate and an indicator which approximately represents the area consumption for a possible realization in hardware. According to equation (1) an indicator is compounded by the sum of weighted characteristics. The characteristics include the signal word widths, the number of filter stages and the number of basic elements, such as shift registers, adders and multipliers. The initial weighting factors are configurable by the designer. Compared to conventional approaches the proposed

method evaluates design decisions directly inside the design environment, model-based and involves the dynamic behavior.

VI. CONCLUSION

This paper proposed a method for ASIC development which enables a reliable system-level exploration of design decisions in an early design phase. Thereby the method bases on automatically determined indicators. During a simulation the method collects module and system characteristics from a system-level model. This model could be described in Simulink or with SystemC. Indicators are derived from the collected characteristics and described by a weighted sum. Subsequent the indicators are visualized in a chart and table. Based on the indicators a designer evaluates the design decisions and, if appropriate, modifies the model. After modification the method can be repeated. Only design topics which fulfill a defined set of constraints should be examined. These constraints enable a time-spending and profitable exploration.

A first application takes place designing a sensor ASIC which processes signals from different kinds of sensors. As an example the realized method was applied to the precedent project. The application of the method is described in another current paper. A second design topic is part of instantaneous work.

REFERENCES

- [1] Mauderer, A., Oetjens, J., and Rosenstiel, W., "System-Level Design for Automotive Mixed-Signal-ASICs: An Industrial Point of View", in: *Proceedings of MBMV, Vol. 2011*, 2011.
- [2] Accellera Systems Initiative: Homepage Accellera Systems Initiative, <http://www.accellera.org/home/>, 2012.
- [3] MathWorks, Inc.: Homepage Mathworks – MATLAB and Simulink for Technical Computing, <http://www.mathworks.com>, 2012.
- [4] Mauderer, A., Freier, M., Oetjens, J., and Rosenstiel, W., "Efficient Digital Design for Automotive Mixed-Signal ASICs Using Simulink", in: *Design and Diagnostics of Electronic Circuits and Systems (DDECS)*, 2012 15th IEEE International Symposium on, 372-377, IEEE, 2012.
- [5] Maillot-Contoz, L., "Standards for System Level Design", in *Computer-Aided Design (ICCAD)*, 2012 IEEE/ACM International Conference on, 332-335, Syst. Platforms Group, STMicroelectronics, Grenoble, France, 2010.
- [6] Cockx, J., "Efficient Modeling of Preemption in a Virtual Prototype", in *Rapid System Prototyping*, 2000, RSP 2000, Proceedings, 11th International Workshop on, 14-19, IEEE, 2000.
- [7] Ghenassia, F., "Transaction Level Modeling with SystemC", Springer Verlag, 2005.



Marvin Freier studied Systems Engineering at Albstadt-Sigmaringen University and received the degree Master of Engineering in 2011. He is currently working toward the Ph.D. degree at the department of computer engineering, University of Tübingen, in collaboration with the Department of Automotive Electronics, Robert Bosch GmbH. His dissertation is supervised by Prof. Dr. Rosenstiel and Prof. Dr. Gerlach.



Thomas Mayer received the degree Master of Science in Computer Engineering from the Case Western Reserve University (CWRU) in 1996. He graduated his Diploma in Informatics from the University of Dortmund in the year 1997. Thomas Mayer is senior expert in the field of inertial sensor ASICs for Automotive Electronics, Robert Bosch GmbH.



Axel Wenzler graduated his Diploma in Electrical Engineering from the University of Stuttgart in 1994. He received the degree of Dr.-Ing. from the University of Stuttgart in the year 1999. Currently he is head of an ASIC design department at Robert Bosch GmbH. He's lecturer at the Baden-Württemberg Cooperative State University (DHBW) and member of the Union Radio Scientifique Internationale (U.R.S.I.).



Joachim Gerlach received his Diploma in Computer Science from the Technical University of Karlsruhe in 1995 and got his Ph.D. from the University of Tübingen in 2000. He worked at the Automotive Electronics division of Robert Bosch for nine years. Since 2009 he is professor for computer and systems engineering at the Albstadt-Sigmaringen University.



Wolfgang Rosenstiel graduated his Diploma in Computer Science from the University of Karlsruhe in the year 1980 and received 1984 the degree of Dr.rer.nat. from the University of Karlsruhe. Since 1990 he is professor for Computer Science at the University of Tübingen and Director of the Department "System Design in Microelectronics" at FZI. Since 2010 he is Dean of the Faculty of Science at the University of Tübingen.

Implementierung eines generischen LDPC-Decoders für unstrukturierte Codes mittels SystemC

Andreas Torno, Frank Kesel, Thomas Greiner

Zusammenfassung—LDPC (Low Density Parity Check) Codes gehören zu den linearen Blockcodes und sind durch eine niedrige Anzahl der Einsen in der Paritätsprüfmatrix gekennzeichnet. Bei großen Längen (mehrere Tausend Spalten der Paritätsprüfmatrix) sind diese Codes besser als die Alternativen RS (Reed Solomon) Codes. Deswegen wurden RS-Codes durch LDPC-Codes mit der Länge 64000 im DVB-S2 im Jahr 2003 abgelöst. Im Jahr 2012 wurde im Rahmen des Merses-Projektes in [1] für DMC (Data Matrix Code) ein LDPC-Code mit der Länge 576 entwickelt, welcher eine höhere Fehlerkorrekturfähigkeit als die dafür ursprünglich verwendeten RS-Codes besitzt. Im Merses-Projekt (<http://www.merses.de/>) und im Rahmen der Master-Thesis wurde ein generischer LDPC-Decoder entwickelt, welcher am besten für den entwickelten LDPC-Code geeignet ist und gleichzeitig auch die Fähigkeit besitzt andere LDPC-Codes zu decodieren. Dazu wurden verschiedene Architekturen ausgewertet und die am besten geeignete mit SystemC implementiert. Die umgesetzte Architektur wurde anschließend im Hinblick auf niedrigen Chipflächenverbrauch optimiert. Es ist geplant, den SystemC-Code in synthesesfähigen VHDL-Code umzusetzen.

Schlüsselwörter—LDPC (Low Density Parity Check), LDPC-Decoder, MSA (Min-Sum Algorithm), OPMP (One Phase Message Passing), DMC (Data Matrix Code), unstructured codes, SD (Soft Decision) Decoding.

I. EINLEITUNG

LDPC-Codes wurden von Robert Gallager während seiner Dissertation entwickelt und im Jahr 1962 in [2] vorgestellt. Der Name *Low-Density Parity-Check* ergibt sich aus der geringen Einserdichte (Anzahl der Einsen dividiert durch die Anzahl aller Elemente) in der Paritätsprüfmatrix H (engl.: *parity check matrix*) zustande, welche den LDPC-Code repräsentiert.

Andreas Torno, andreastorno@hotmail.com, Frank Kesel, frank.kesel@hs-pforzheim.de und Thomas Greiner, thomas.greiner@hs-pforzheim.de sind Mitglieder der Hochschule Pforzheim, Tiefenbronner Straße 65, 75175 Pforzheim.

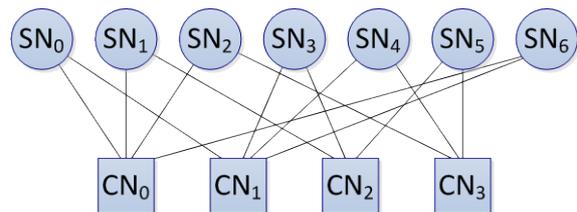


Abbildung 1: Tanner-Graph.

Der Hauptvorteil dieser Codes besteht darin, dass sie bei sehr großer Codelänge sehr nah an der Kanalkapazität liegen und für die parallele Decodierung in den Hardware-Realisierungen geeignet sind. Zu der Zeit, als die LDPC-Codes entdeckt wurden, besaßen die Rechner noch keine ausreichende Rechenleistung, um die Decodierung mit hohem Datendurchsatz zu ermöglichen. Dadurch gerieten sie für lange Zeit in Vergessenheit und kommen erst in den letzten Jahren verstärkt zum Einsatz.

II. LDPC-CODES

A. Darstellung der LDPC-Codes

LDPC-Codes werden mathematisch durch die Paritätsprüfmatrix H oder grafisch durch den *Tanner-Graph* (Abbildung 1) dargestellt. Ein Tanner-Graph ist ein bipartiter Graph, welcher dadurch gekennzeichnet ist, dass er zwei Knotenmengen besitzt und es keine Kanten zwischen den Knoten einer Menge existieren. Es sei folgende H -Matrix gegeben¹:

$$H_{4 \times 7} = \begin{pmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 & 0 \end{pmatrix} \begin{matrix} CN_0 \\ CN_1 \\ CN_2 \\ CN_3 \end{matrix}$$

Für die grafische Darstellung wird die H -Matrix auf die Knoten (engl.: *nodes*) und Kanten (engl.: *edges*) aufgeteilt. Die Spalten werden als *Symbolknoten* (engl.: *symbol nodes* – SN) und die Zeilen als *Check-*

¹ In der Realität haben LDPC-Codes mehrere hundert bis tausend Zeilen und Spalten. Da es nicht möglich ist einen LDPC-Code mit der niedrigen Dichte und den kleinen Dimensionen zu konstruieren, werden LDPC-Codes anhand dieser H -Matrix beschrieben.

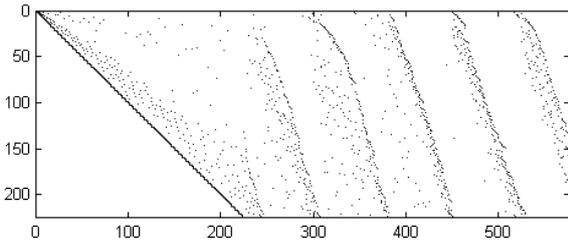


Abbildung 2: Paritätsprüfmatrix des Ziel-LDPC-Codes.

knoten (engl.: *check nodes* – CN) bezeichnet; die Knotenindizes entsprechen den Zeilen- bzw. den Spaltenindizes der H -Matrix. Die Einser in der Matrix entsprechen den Kanten, welche die entsprechenden Knoten miteinander verbinden.

Der Tanner-Graph (Abbildung 1) wird zur Beschreibung der Decodierung eingesetzt, da die entstandenen Knoten jeweils eine Funktion besitzen. Die Symbolknoten akkumulieren die durch die Decodierung gewonnene Information und die Checkknoten erzeugen diese und validieren zusätzlich das decodierte Codewort durch die Syndrombildung.

Abbildung 2 zeigt die Paritätsprüfmatrix des Ziel-LDPC-Codes, bei welcher die Punkte die Einser in den jeweiligen Zeilen und Spalten darstellen. Bei diesem LDPC-Code handelt es sich um den sogenannten nicht strukturierten Code; solche Codes werden in Hinblick auf die hohe Fehlerkorrekturfähigkeit entwickelt. Im Gegensatz dazu wird bei der Entwicklung der strukturierten Codes das spätere Scheduling-Verfahren der Decodierung in Hardware berücksichtigt.

B. Eigenschaften der LDPC-Codes

Das Knotengewicht (engl.: *node degree*) bezeichnet die Anzahl der an den Knoten angeschlossenen Kanten. Da zwei unterschiedliche Typen von Knoten existieren, wird auch zwischen dem Symbolknotengewicht d_{SN} und dem Checkknotengewicht d_{CN} differenziert. Das Knotengewicht entspricht der Anzahl der Einser pro Zeile bzw. pro Spalte in der H -Matrix.

Es existieren sowohl *reguläre* als auch *irreguläre* LDPC-Codes. Reguläre LDPC-Codes sind diejenigen, bei welchen die Anzahl der Einser jeweils pro Zeile und Spalte der H -Matrix gleich ist. Obwohl die Decoder für die regulären LDPC-Codes in Hardware einfacher zu realisieren sind, werden die irregulären LDPC-Codes wegen ihrer besseren Fehlerkorrekturfähigkeit bevorzugt.

III. LDPC-DECODIERUNG

A. Symbolweise MAP-Decodierung

Die LDPC-Decodierung basiert auf der symbolweisen MAP (*Maximum-A-Posteriori*) Decodierung. Bei

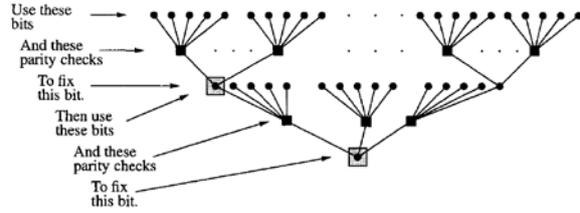


Abbildung 3: Sequentielle Decodierung im zyklusfreien Graphen (Quelle: [3]).

diesem Verfahren wird die Bitfehlerwahrscheinlichkeit (engl.: *bit error rate* - BER) minimiert. Dies bedeutet, dass das decodierte Codewort \hat{c} nicht als Ganzes bestimmt, sondern aus einzelnen Bits \hat{c}_n zusammengesetzt wird, welche getrennt voneinander die optimalen Entscheidungen darstellen [4]. Die symbolweise MAP-Decodierung ist folgendermaßen definiert:

$$\frac{P(c_n = s|r)}{T_n} = \frac{P(r_n|c_n = s)}{I_n} \cdot \frac{P(c_n = s|r_{n' \neq n})}{E_n}, s \in \{0,1\}$$

Diese Formel beschreibt, dass die totale Information T_n für die Wahrscheinlichkeit des Bits c_n (engl.: *code word*), das Symbol s zu sein, proportional zu dem Produkt der intrinsischen Information I_n und der extrinsischen Information E_n ist. Intrinsisch ist als *von innen her* definiert. In Bezug auf die symbolweise MAP-Decodierung ist die intrinsische Information I_n diejenige, die für das jeweilige Bit n direkt aus dem empfangenen Symbol r_n (engl.: *received*) abhängig vom verwendeten Kanalmodell gewonnen wird [6]. Extrinsisch hat die Bedeutung: *von außen her*. Diese Information wird für das jeweilige Bit n aus den anderen empfangenen Symbolen $r_{n' \neq n}$ (ohne die Berücksichtigung des Symbols r_n) gewonnen.

B. Sequentielle Decodierung

Die Zusammensetzung der totalen Information T_n für das empfangene Symbol r_n ist in der Abbildung 3 unter der Annahme eines zyklusfreien Graphen dargestellt. Zur Bestimmung des Bits \hat{c}_n , wird der Tanner-Graph des entsprechenden LDPC-Codes so angeordnet, dass der Symbolknoten SN_n die Wurzel des Baumes darstellt. Die Knoten verschicken Nachrichten an die weiter unten liegenden Knoten und propagieren somit die extrinsische Information. Durch solche Decodierung tragen alle empfangenen Symbole $r_{n' \neq n}$ zur Schätzung des Bits \hat{c}_n bei.

Die Checkknoten berechnen aus den empfangenen Nachrichten die extrinsische Information für die Symbolknoten des nächstniedrigen Ranges und verschicken diese. Die Symbolknoten des nächstniedrigen Ranges fügen ihre intrinsische Information, welche für den SN_n die extrinsische Information ist, zu den empfangenen Nachrichten von den Checkknoten hinzu und verschicken diese an die weiter unten liegenden Checkknoten. Somit enthält die in diesem Schritt

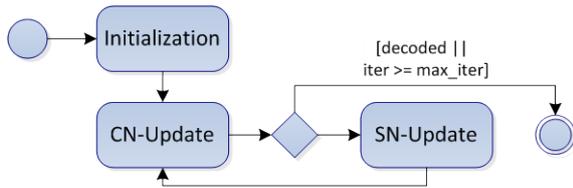


Abbildung 4: Iterative Decodierung - Two Phase Message Passing.

kalkulierte Nachricht die extrinsische Information eines ganzen oberen Baumbereiches. Die Propagation der extrinsischen Information durch die Knoten erfolgt solange, bis der unterste Symbolknoten erreicht wurde. Im letzten Schritt wird die totale Information aus den empfangenen extrinsischen und der intrinsischen Informationen gebildet und daraus das Bit \hat{c}_n abgeschätzt. Zur Decodierung anderer Stellen des empfangenen Informationsvektors r muss der Graph so umgestellt werden, dass die jeweiligen Symbolknoten die Wurzel des Baumes darstellen und die extrinsische Information zur Wurzel des Baumes weitergeleitet werden [5].

C. Soft-Decision Decodierung

Zur Steigerung der Fehlerkorrekturfähigkeit wird statt der binären Decodierung die *SD* (*Soft Decision*) Decodierung verwendet. Bei der Decodierung anhand von *SD*-Werten handelt es sich um die Decodierung der Binärinformation mit der Zuverlässigkeitsinformation. Unter der Annahme der BPSK (*Binary Phase Shift Keying*) Modulation steht das Vorzeichen des *SD*-Wertes für die binäre Information selbst. Der Betrag stellt die Zuverlässigkeitsinformation dar; das ist die Information, wie wahrscheinlich die binäre Information ist.

Da die *SD*-Decodierung anhand der Zuverlässigkeitsinformation erfolgt und als Ergebnis solcher Decodierung ein binäres Codewort entstehen soll, wird beim *SD*-Decoder der Demodulator nicht vor, sondern nach ihm geschaltet oder in diesen integriert. Nach der Decodierung erfolgt die Bildung des binären Codewortes, indem durch das Vorzeichen der *SD*-Werte die *HD* (*Hard Decision*) Werte bitweise gebildet werden.

D. Iterative Decodierung

Der sequentielle Decodier-Algorithmus eignet sich sehr gut, um anschaulich zu zeigen, wie die extrinsische Information aus den anderen Stellen des empfangenen Informationsvektors $r_{n' \neq n}$ gewonnen wird. Allerdings ist der iterative Algorithmus besser für die Decodierung geeignet, da die Anzahl der zu berechnenden Operationen niedriger wird. Der Grund dafür liegt darin, dass bei der iterativen Decodierung alle Stellen des Codewortes \hat{c} gleichzeitig decodiert werden und dass die Decodierung bereits nach einigen Iterationen erfolgen kann, bevor die Symbolknoten die

Tabelle 1: MSA als TPMP (Standardverfahren).

Initialisierung	$I_n = r_n$ $R_{n \rightarrow m} = r_n$
Checkknoten-Update-Phase	$R_{m \rightarrow n} = \prod_{k \in \mathcal{N}(m) \setminus n} \text{sign}(R_{k \rightarrow m}) \cdot \min_{k \in \mathcal{N}(m) \setminus n} R_{k \rightarrow m} $ $s_m = \prod_{k \in \mathcal{N}(m)} \text{sign}(HD_k)$
Symbolknoten-Update-Phase	$R_{n \rightarrow m} = I_n + \sum_{k \in \mathcal{M}(n) \setminus m} R_{k \rightarrow n}$ $SD_n = I_n + \sum_{k \in \mathcal{M}(n)} R_{k \rightarrow n}$ $HD_n = \begin{cases} 1, & SD_n < 0 \\ 0, & SD_n \geq 0 \end{cases}$

extrinsische Information von allen anderen Symbolknoten gesammelt haben.

Die Propagation der extrinsischen Information erfolgt dabei nicht linear wie beim sequentiellen Algorithmus. Aus der Sicht eines einzelnen Symbolknotens erfolgt die Weitergabe seiner intrinsischen Information kreisförmig: nach der ersten Iteration kommt diese Information an die an ihn durch die Checkknoten verbundenen Symbolknoten, nach der zweiten Iteration an die im Graph nächsten Symbolknoten, usw. Somit bekommt jeder Symbolknoten schon nach der ersten Iteration die extrinsische Information der an ihn durch die Checkknoten verbundenen Symbolknoten.

Auch beim iterativen Algorithmus erfolgt die Decodierung durch die Propagation der extrinsischen Information. Dies geschieht durch den Austausch der Nachrichten in zwei Phasen: *SN-Update* und *CN-Update*. Das entsprechende Decodier-Verfahren heißt TPMP (*Two Phase Message Passing*) und ist in der Abbildung 4 dargestellt.

Das Vorhandensein der Zyklen im LDPC-Code führt dazu, dass der Graph nicht mehr auf die unabhängigen Bereiche durch die Knoten aufgeteilt ist. Somit enthält die extrinsische Information für den SN_n nach einigen Iterationen, abhängig von der Länge der Zyklen, die eigene intrinsische Information. Obwohl dies zur Verfälschung der extrinsischen Information führt, zeigen die Simulationen, dass die Verwendung dieses Algorithmus an den zyklenbehafteten Graphen zu nicht exakten aber immer noch sehr guten Ergebnissen führt [3, 5].

E. MSA – Min-Sum-Algorithmus

Der Min-Sum-Algorithmus ist die Approximation des aufwendigeren SPA (*Sum-Product-Algorithmus*), bei welcher die Tatsache ausgenutzt wird, dass beim SPA die kleinste am Checkknoten ankommende Nachricht dominiert. Deswegen wird im Checkknoten die Nachricht mit niedrigstem Betrag und dem entsprechenden Vorzeichen ausgewählt. Da im Checkknoten der minimale Betrag ausgewählt und im Sym-

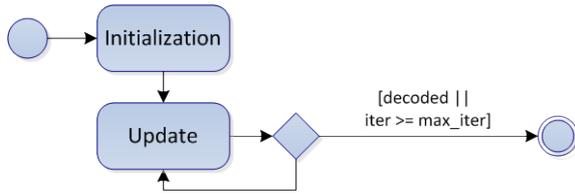


Abbildung 5: Iterative Decodierung - One Phase Message Passing.

bolknoten die Summe berechnet wird, kommt der Name Min-Sum zustande. Die formale Beschreibung des Min-Sum-Algorithmus ist der Tabelle 1 zu entnehmen.

1) Initialisierung

Die Decodierung fängt mit der Initialisierung an und erfolgt in zwei Phasen nach Abbildung 4, bis die HD -Werte einem gültigen Codewort \hat{c} entsprechen, bzw. alle Stellen des Syndroms gleich Null sind, oder bis die maximale Anzahl von Iterationen erreicht wurde. Während der Initialisierung werden die empfangenen Symbole r_n in den intrinsischen Speicher geladen und gleichzeitig als Nachrichten $R_{n \rightarrow m}$ an die Checkknoten verschickt.

2) CN-Update-Phase

Sobald alle notwendigen Nachrichten für den jeweiligen Checkknoten vorhanden sind, findet die Berechnung in den Checkknoten statt. Die Aufgabe der Checkknoten ist zu bestimmen, welchen Wert die an sie angeschlossenen Symbolknoten haben sollten. Dies geschieht für alle angeschlossenen Symbolknoten aufgrund der Tatsache, dass das Syndrom gleich Null sein soll, und unter der Annahme, dass die Nachrichten von den anderen angeschlossenen Symbolknoten den richtigen Wert haben.

Die Menge $\mathcal{N}(m) \setminus n$ ist die Menge aller an den CN_m angeschlossenen Symbolknoten mit der Ausnahme des SN_n . Zusätzlich findet in den Checkknoten die Validierung des decodierten Codewortes statt, indem in den Checkknoten jeweils eine Stelle des Syndroms aus den HD -Werten gebildet wird.

3) SN-Update-Phase

Die Aufgabe der Symbolknoten ist die extrinsische Information eines kompletten Teils des Graphen an andere Symbolknoten zu propagieren. Bei dem sequentiellen Algorithmus (Abbildung 3) erfolgt die Weitergabe dieser Information von oben nach unten zu dem Wurzel-Symbolknoten. Da in dem iterativen Algorithmus alle Stellen des empfangenen Informationsvektors r gleichzeitig decodiert werden, sollen die Nachrichten für alle an die Symbolknoten angeschlossenen Checkknoten bestimmt werden. Genauso wie in der CN -Update-Phase, werden auch hier zur Berechnung der Nachricht $R_{n \rightarrow m}$ nur die Nachrichten von den Checkknoten CN_k mit $k \in \mathcal{M}(n) \setminus m$ berücksich-

Tabelle 2: MSA als OPMP (optimiertes Verfahren).

Initialisierung	$I_n = r_n$ $SD_n^{old} = r_n$
Update (Checkknoten)	$R_{n \rightarrow m} = \begin{cases} SD_n^{old}, & \text{first iteration} \\ SD_n^{old} - R_{m \rightarrow n}, & \text{else} \end{cases}$ $R_{m \rightarrow n} = \prod_{k \in \mathcal{N}(m) \setminus n} \text{sign}(R_{k \rightarrow m}) \cdot \min_{k \in \mathcal{N}(m) \setminus n} R_{k \rightarrow m} $ $HD_n = \begin{cases} 1, & SD_n^{old} < 0 \\ 0, & SD_n^{old} \geq 0 \end{cases}$ $s_m = \prod_{k \in \mathcal{N}(m)} \text{sign}(HD_k)$
Update (Symbolknoten)	$SD_n^{new} = \begin{cases} I_n + R_{m \rightarrow n}, & \text{first } R_{m \rightarrow n}^{new} \\ SD_n^{new} + R_{m \rightarrow n}, & \text{else} \end{cases}$

tigt. Zusätzlich werden in den Symbolknoten die SD - und anschließend die HD -Werte gebildet, welche in den Checkknoten in der nächsten Iteration validiert werden.

F. OPMP – One Phase Message Passing

Die TPMP-Decodierung kann zu einer Phase optimiert werden, indem die SD -Werte in den Symbolknoten partiell gebildet werden: sobald eine neue $R_{m \rightarrow n}$ -Nachricht verfügbar ist, wird diese zum partiellen SD -Wert dazu addiert. Dies hat zur Folge, dass die Komplexität von den Symbolknoten zu den Checkknoten verschoben wird. Der OPMP-Algorithmus und seine formale Beschreibung sind in der Abbildung 5 und in der Tabelle 2 dargestellt. Der Vorteil dieses Algorithmus gegenüber dem TPMP liegt in der halben Ausführungszeit, da die SN - und CN -Update-Phasen parallel in einer $Update$ -Phase ausgeführt werden.

Da die Symbolknoten keine $R_{n \rightarrow m}$ -Nachrichten mehr bilden, werden diese innerhalb der Checkknoten selbst gebildet. Zusätzlich kommt hinzu, dass die SD -Werte von den Symbolknoten in der gleichen $Update$ -Phase aktualisiert werden, während die alten SD -Werte von den Checkknoten zur Berechnung der $R_{n \rightarrow m}$ -Nachrichten benötigt sind. Deswegen werden SD^{old} und SD^{new} eingeführt. Da die $R_{m \rightarrow n}$ -Nachrichten im Gegensatz dazu nur einmal pro Algorithmus-Iteration gelesen werden, müssen sie nicht doppelt gespeichert werden.

IV. IMPLEMENTIERUNG DER KNOTEN

Bis jetzt wurden die Knoten des Tanner-Graphen algorithmisch beschrieben. In diesem Kapitel werden sie auf *Register-Transfer-Level* (RTL) dargestellt. Diese Knoten existieren physikalisch auf dem ASIC oder FPGA und berechnen die Nachrichten für die logischen Knoten des Tanner-Graphen anhand des verwendeten Algorithmus. Physikalische Knoten werden in der Literatur als FUs (*functional units*) bezeichnet.

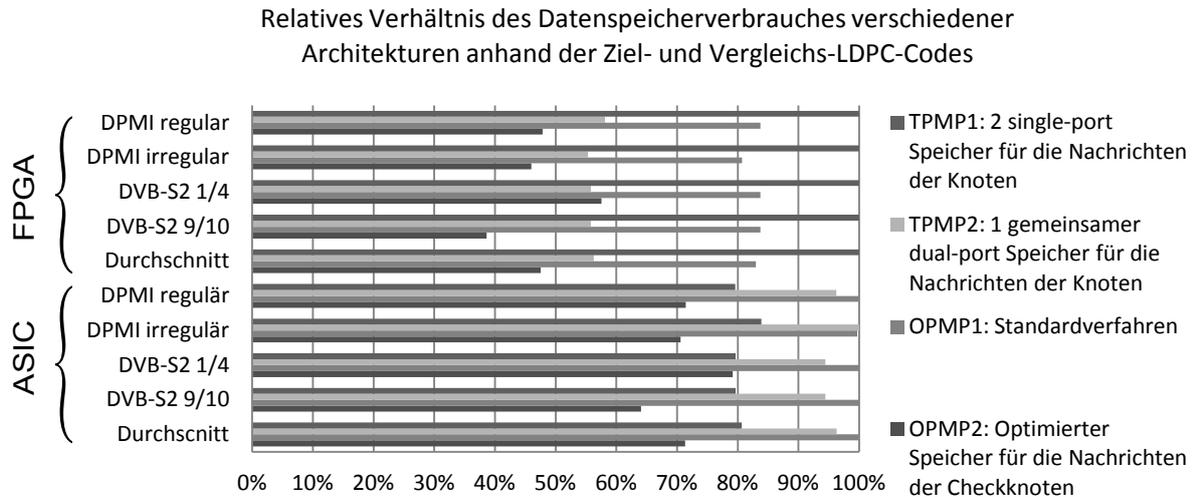


Abbildung 8: Auswertung der Architekturen anhand des Datenspeicherverbrauches – die Reihenfolge der Balken im Diagrammbereich entspricht der Reihenfolge der Architekturen in der Legende.

Nachrichten bestimmt werden, werden die Zwischenergebnisse in den Registern $R4$ bis $R8$ für den nächsten logischen Checkknoten berechnet.

Da der CN-FU mehrere logische Checkknoten mit unterschiedlichem Gewicht verarbeiten soll, ist die Länge des Schieberegisters für die Vorzeichen variabel, jedoch maximal auf $d_{CN,max}$ begrenzt. Zusätzlich werden die Wartezyklen zwischen solchen Checkknoten eingeführt, damit die Berechnungen der Nachrichten für diese zwei Checkknoten sich nicht überschneiden und beeinflussen.

V. ARCHITEKTUR DES LDPC-DECODERS

A. Grundlegende Architekturarten

1) Vollkommen parallel

Zur Umsetzung der vollkommen parallelen Architektur genügt es, den entsprechenden Tanner-Graph auf die Hardware abzubilden. Dabei existieren genauso viele FUs wie Knoten im Tanner-Graph. Diese sind auch vollkommen parallel. Die Nachrichten werden in den Registern innerhalb der Knoten gespeichert.

In der parallelen Architektur werden für eine Algorithmusiteration zwei Taktzyklen benötigt, z.B.: im geraden Taktzyklus wird SN - und im ungeraden Taktzyklus die CN -Update-Phase ausgeführt. Dies kann auch bis auf einen Taktzyklus pro Algorithmusiteration optimiert werden, indem die Register der Symbol- und Checkknoten auf unterschiedliche Taktflanken sensitiv gemacht werden.

2) Rein sequentiell

Bei der rein sequentiellen Architektur existieren entweder jeweils eine Verarbeitungseinheit für Symbolknoten und Checkknoten oder eine Verarbeitungs-

einheit für beide Knoten. Da die rein sequentiellen Architekturen nur eine Verarbeitungseinheit enthalten, müssen die Nachrichten im Speicher (Datenspeicher) abgelegt werden. Zusätzlich muss innerhalb eines anderen Speichers (Schedulig-Speicher) die Reihenfolge, in welcher die Nachrichten von den Knoten eingelesen und verarbeitet werden, gespeichert werden.

3) Partiiell parallel

Da bei den LDPC-Decodern der Datenspeicher die größte Fläche des Chips einnimmt, haben die partiell parallelen Architekturen das beste Verhältnis zwischen dem Durchsatz und der benötigten Chipfläche. Aus diesem Grund wurde an der Hochschule Pforzheim beschlossen, den LDPC-Decoder als partiell parallele Architektur zu implementieren.

B. Auswahl der Architektur

Die drei wichtigsten Auswertekriterien für den umgesetzten LDPC-Decoder sind der Durchsatz, Ressourcenverbrauch und die Decodier-Genauigkeit. Da die Decodier-Genauigkeit nur von der verwendeten Bitbreite der I - und SD -Werte, der R -Nachrichten und des verwendeten Decodier-Algorithmus abhängt, soll sie bei allen LDPC-Decodern gleich bleiben. Somit wurden die zurzeit bekannten Architekturen anhand von Durchsatz und Ressourcenverbrauch ausgewählt. Es wurden durch die Literatur drei verschiedene Architekturarten eingegrenzt: TPMP1, TPMP2 und OPMP1. Letztere wurde zusätzlich in Hinblick auf den Datenspeicherverbrauch optimiert und als OPMP2 bezeichnet.

Wie bereits in dem Kapitel III beschrieben wurde, benötigen die OPMP-Architekturen nur die Hälfte der Ausführungszyklen. Die Auswertung des Datenspeicherverbrauches dieser Architekturen ist in der Abbil-

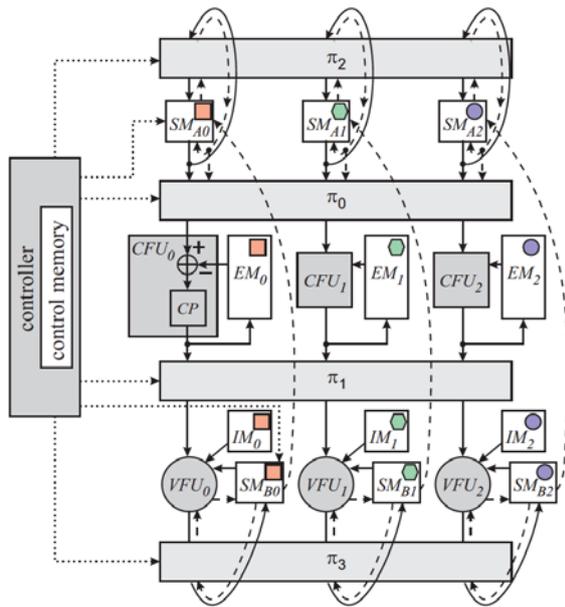


Abbildung 9: OPMP-Architektur mit dem Parallelitätsgrad drei – logischer Ablauf (Quelle: [5]).

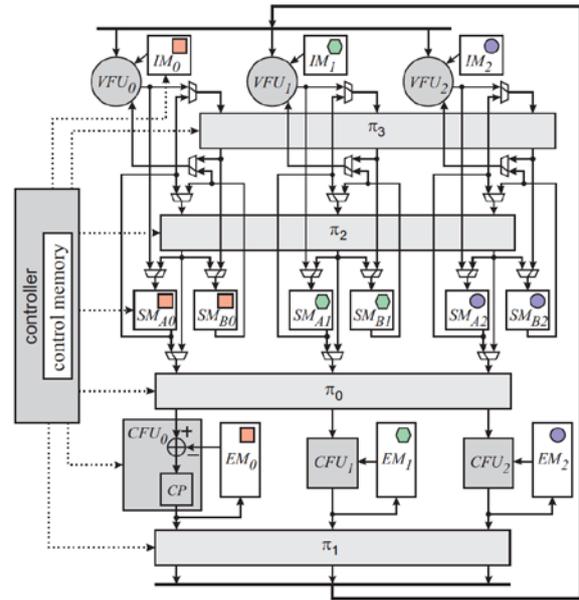


Abbildung 10: OPMP-Architektur mit dem Parallelitätsgrad drei – Hardware-Realisierung (Quelle: [5]).

Abbildung 8 dargestellt. Zur Untersuchung des Datenspeicherverbrauchs wurde dieser für alle vier oben genannten Architekturen unter Verwendung von zwei Ziel-LDPC-Codes für DPMI und zwei Referenz-LDPC-Codes für DVB-S2 berechnet. Da die LDPC-Codes für DPMI die Länge von 576 und für DVB-S2 die Länge von 64000 haben, sind die Werte auf den größten Datenspeicherverbrauch innerhalb eines LDPC-Codes normiert.

Die vier untersuchten Architekturarten benötigen unterschiedliche Größen sowohl für den Single-Port als auch für den Dual-Port-Datenspeicher. Da die FPGAs sowieso nur den Dual-Port-Speicher haben, werden für sie die beiden Speicher gleich gewichtet. Bei der Implementierung des Dual-Port-Speichers im ASIC benötigt dieser etwa einen Faktor 2,5 mehr an Fläche als der Single-Port-Speicher. [5]

Die Auswertung des in der Abbildung 8 notwendigen Datenspeicherverbrauchs zeigt, dass die OPMP2-Architektur bei allen LDPC-Codes die beste Wahl ist, unabhängig davon, ob der LDPC-Decoder auf einem FPGA oder als ASIC implementiert werden soll. Die einzige Ausnahme stellt der DVB-S2 1/4-Code dar, bei welchem der Datenspeicherverbrauch der OPMP2-Architektur ungefähr den TPMP-Architekturen entspricht. Da der OPMP-Algorithmus zwei Mal so schnell wie TPMP-Algorithmus ist, soll auch hier die OPMP2-Architektur die bessere Wahl sein.

C. Ausgewählte Architektur

Es wurde die OPMP2-Architektur ausgewählt, als Optimierung von OPMP1. Die OPMP1-Architektur wurde in der Doktorarbeit [5] im Jahr 2010 entwickelt und ist in der Abbildung 9 dargestellt. In der OPMP1-

Architektur werden im extrinsischen Speicher EM alle $R_{m \rightarrow n}$ -Nachrichten gespeichert. Die Checkknoten berechnen aber beim Min-Sum-Algorithmus nur zwei Minima mit den n Vorzeichen und dem Index des zweiten Minimums (Abbildung 6); aus dieser Information werden die $R_{m \rightarrow n}$ -Nachrichten erst anschließend zusammengesetzt. Um den Datenspeicher für die $R_{m \rightarrow n}$ -Nachrichten zu optimieren, wird in der OPMP2-Architektur pro Checkknoten der Tupel $min1/min2/index/signs$ gespeichert bzw. der Inhalt der Register $R1-R3$, $R7$ und des variablen Schieberegisters.

Da die OPMP2-Architektur sich von der OPMP1-Architektur nur anhand des extrinsischen Datenspeichers unterscheidet, ist das Scheduling von diesen zwei Architekturen identisch. Deswegen wird die OPMP2-Architektur anhand der in [5] entwickelten OPMP-Architektur (Abbildung 9) beschrieben. Da sie in dieser Abbildung die Parallelität drei hat, besitzt sie jeweils drei FUs und alle Speicher sind auf drei Bänke aufgeteilt. π_0 bis π_4 sind Permutationsnetzwerke, welche im nächsten Kapitel beschrieben werden.

Der SM_A -Speicher beinhaltet die SD_n^{old} -Werte, welche an die Checkknoten (CFU) verschickt werden. Checkknoten berechnen extrinsische Nachrichten, speichern diese für die nächste Algorithmus-Iteration im EM -Speicher ab und verschicken diese an die Symbolknoten (VFU). Diese bilden partielle Summen aus den extrinsischen Nachrichten und der intrinsischen Information (IM) und schreiben diese als SD_n^{new} -Werte in den SM_B -Speicher. Nach jeder Algorithmus-Iteration werden die SD_n^{old} -Werte verworfen und durch die SD_n^{new} -Werte ersetzt, bzw. der Inhalt von SM_B nach SM_A kopiert.

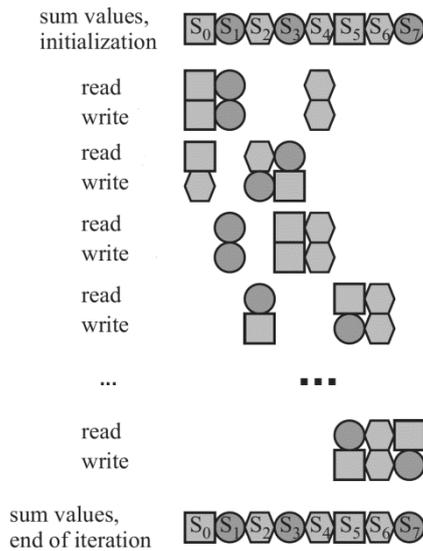


Abbildung 11: Permutation der SD -Werte innerhalb der SM -Speicherbänke nach jedem Zugriff (Quelle: [5]).

Da das Kopieren des kompletten Inhaltes von SM_B nach SM_A mehrere Taktzyklen pro Iteration benötigt, wird in der Hardware diese Architektur nach Abbildung 10 implementiert. Durch die zusätzlichen Multiplexer werden in der geraden Iteration die SD_n^{new} -Werte in den SM_A - Speicher und dementsprechend in der ungeraden Iteration in den SM_B - Speicher geschrieben. In der Abbildung 10 ist die Einstellung der Multiplexer für die erste (ungerade) Iteration dargestellt.

D. Scheduling und Datenanordnung

Da jeder SD -Wert von mehreren Checkknoten verwendet wird, ist es nicht möglich, die für die Checkknoten jeweils notwendigen SD -Werte in einer Speicherbank anzuordnen. Aus diesem Grund schaltet das Permutationsnetzwerk π_0 die notwendigen SM -Bänke zu den entsprechenden Checkknoten. π_1 ist die Inverse zu π_0 , weil die Antwortnachrichten von den Checkknoten den gleichen Symbolknoten erreichen sollen.

Die größte Schwierigkeit beim OPMP-Algorithmus liegt darin, dass es nicht möglich ist, die SD -Werte auf die Speicherbänke so zu verteilen, dass die für jeden Zugriff notwendigen SD -Werte sich in verschiedenen Speicherbänken befinden und es nicht zu Kollisionen kommt. Ohne einen bestimmten Datenanordnungs- und Scheduling-Algorithmus müssten *Stalls* (Wartezyklen) eingeführt werden. Dies würde aber die Anzahl der für die Decodierung notwendigen Taktzyklen um ca. den Faktor zwei erhöhen. Aus diesem Grund ist ein bestimmter Datenanordnungsalgorithmus notwendig, welcher bei jedem Zugriff auf die SD -Werte sicherstellt, dass sie sich in unterschiedlichen Speicherbänken befinden.

Abbildung 11 stellt die Lösung des Problems dar: es wird ein „look-ahead“ Datenanordnungsalgorithmus verwendet, welcher die SD -Werte nach jedem Zugriff innerhalb der Speicherbänke so permutiert, dass die für den nächsten Zugriff notwendige SD -Werte sich in unterschiedlichen Speicherbänken befinden. Diese Aufgabe übernehmen die Permutationsnetzwerke π_2 für die SD_n^{old} - und π_3 für die SD_n^{new} -Werte. Bei der dritten Leseoperation werden in diesem Beispiel die SD_1 -, SD_3 - und SD_4 -Werte gelesen. Ohne diesen Datenanordnungsalgorithmus wären die SD_1 - und SD_3 -Werte in der gleichen Speicherbank SM_2 ² und es käme zur Kollision.

Die Ansteuerung für die Permutationsnetzwerke wie auch die Adressen der entsprechenden SD -Werte innerhalb der Speicherbänke³ sind abhängig vom jeweiligen LDPC-Code und der gewünschten Parallelität und müssen *offline* (vor der Decodierung) z.B. mit Matlab anhand der H -Matrix erstellt werden. Die Initiierung des LDPC-Decoders mit anderer Steuerungsinformation ermöglicht die Decodierung eines anderen LDPC-Codes.

VI. IMPLEMENTIERUNG

A. Vorgehensweise

Das Ziel der Master-Thesis war die Implementierung des vorgestellten LDPC-Decoders in einem FPGA oder einem ASIC. Aufgrund der komplexen Struktur des Decoders wurde zunächst ein etwas abstrakteres aber dennoch taktgenaues SystemC-Modell erstellt, welches anschließend komponentenweise in ein VHDL-RTL-Modell umgesetzt werden soll. Im Folgenden werden das SystemC-Modell und die Simulationsumgebung beschrieben.

B. Simulationsumgebung

Die Simulationsumgebung des LDPC-Decoders ist in der Abbildung 12 dargestellt. Vor der eigentlichen Simulation findet die Datenaufbereitung statt, während der die zu decodierenden verrauschten Codewörter und die Scheduling-Information für den Ziel-LDPC-Code erstellt werden. Diese können in den Dateien abgelegt und für spätere Simulationen verwendet werden.

Während der Simulation werden als erstes der LDPC-Decoder anhand der Scheduling-Information, welche in den Steuerungsspeicher geladen wird, und die Begrenzung der Iterationen auf die maximale Anzahl instanziiert. Durch den Prozess *GenStimuli* wird der Decoder zurückgesetzt und freigegeben.

² Die geometrischen Figuren entsprechen den Speicherbänken (siehe Abbildung 10).

³ Auf die extrinsische Information innerhalb der EM -Speicherbänke wird sequentiell zugegriffen.

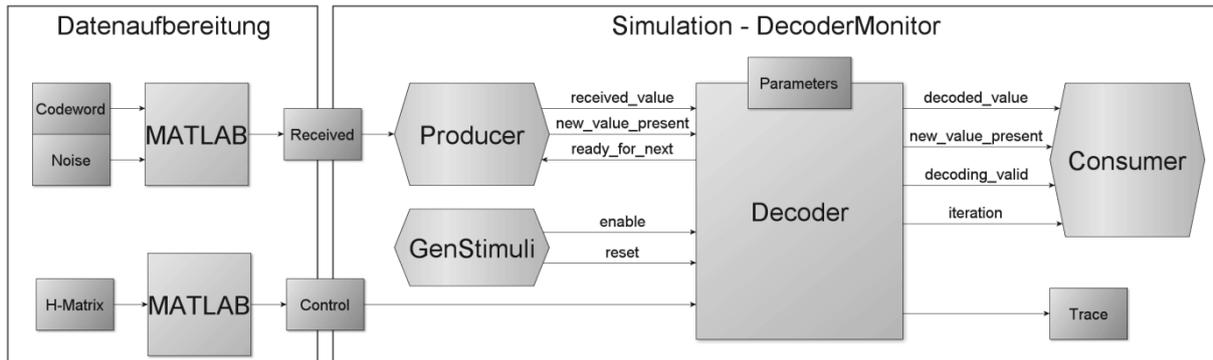


Abbildung 12: Simulationsumgebung des entwickelten LDPC-Decoders.

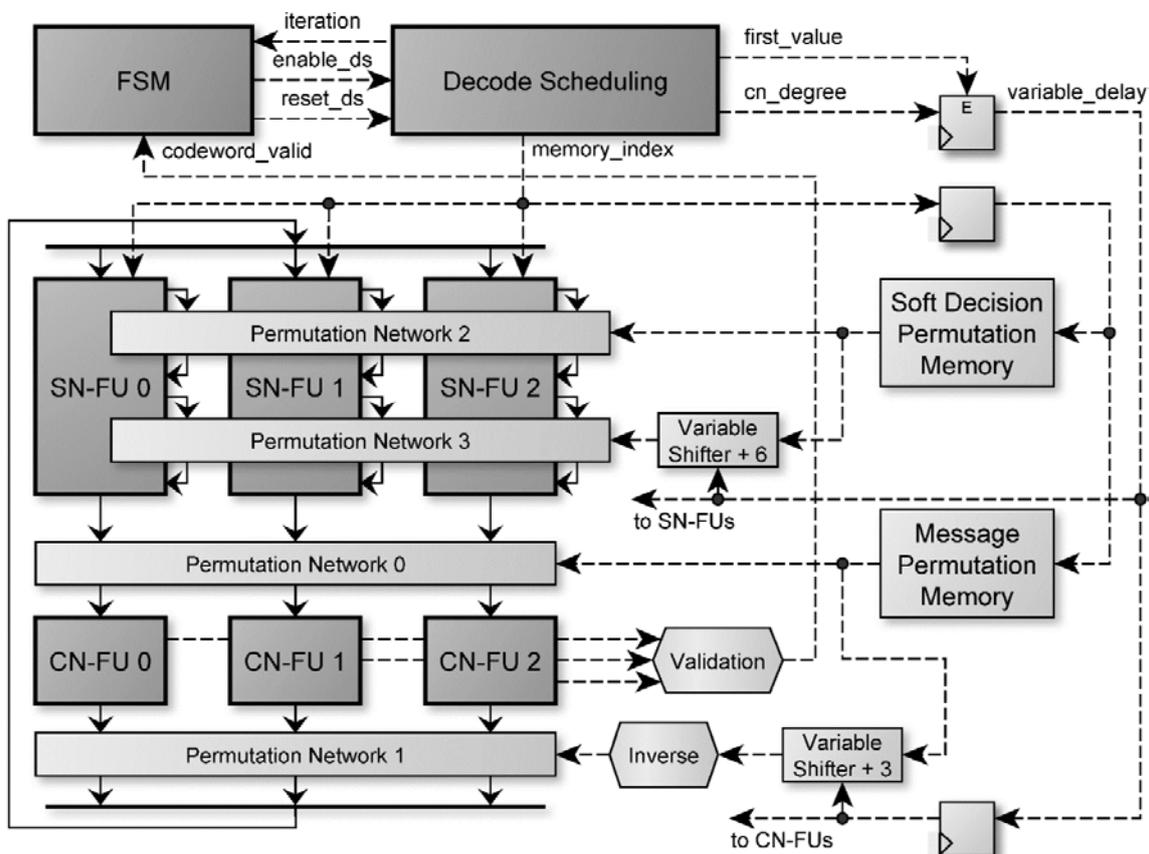


Abbildung 13: Ausschnitt aus dem taktgenauen SystemC-Modell des partiell parallelen LDPC-Decoders – Ansteuerung der Steuerungsspeicher und Timing der Zugriffe während der Decodierung.

Der Prozess *Producer* liest die zu decodierenden Codeworte symbolweise (*SD*-Werte) ein und ist an die Schnittstelle des LDPC-Decoders auf der Eingangsseite angeschlossen. Diese *SD*-Werte auf die entsprechende Adresse der entsprechenden *IM*-Speicherbank zu schreiben ist die Aufgabe des Decoders. Der Prozess *Consumer* ist an die Schnittstelle des Decoders auf der Ausgangsseite angeschlossen und nimmt die *HD*-Werte nach der Decodierung sequentiell entgegen.

C. SystemC-Modell

Abbildung 13 stellt das Grundprinzip der Decodierung und somit die wichtigsten Elemente des implementierten SystemC-Modells für den partiell parallelen LDPC-Decoder dar. Die Peripherie sowohl für die Initialisierung mit dem verrauschten Codewort als auch für das Auslesen der decodierten *HD*-Werte und die Ansteuerungssignale der Knoten sind hier nicht dargestellt. Der linke untere Teil des Schaltbildes entspricht der OPMP-Architektur aus der Abbildung 10 mit der Ausnahme, dass die Datenspeicher inner-

halb der Knoten implementiert wurden. FSM steht für *Finite State Machine* und ist für das Scheduling auf der oberen Schicht zuständig. *Decode Scheduling* steuert dementsprechend die Decodierung.

Zwei Hauptsignale, die von *Decode Scheduling* generiert werden, sind *memory_index* und *cn_degree*. *memory_index* ist die Adresse aller Steuerungsspeicher (Symbolknoten enthalten zusätzliche Steuerungsspeicher, da auf die *SD*-Werte nicht sequentiell zugegriffen wird), welche als ROMs (*Read Only Memories*) implementiert wurden, und wird mit jedem Taktzyklus inkrementiert. Die Ausnahme stellen diejenigen Zyklen dar, in welchen in den CN-FUs logische Checkknoten mit unterschiedlichen Gewichten verarbeitet werden.

Die Steuerungsinformation aus den ROMs wird immer zwei Mal verwendet: vor der Verarbeitung und nach der Verarbeitung in den Knoten. Da die Verarbeitungsdauer im Checkknoten abhängig von dem jeweiligen d_{CN} ist, werden auch hier für die Verzögerung die Schieberegister mit variabler Größe eingesetzt. Ihre Größe ist durch die Summe des *cn_degree* und eines Offsets bestimmt.

VII. ZUSAMMENFASSUNG UND AUSBLICK

In dieser Arbeit wurde die Decoder-Architektur mit dem entsprechenden Scheduling-Verfahren ausgewählt, welche am besten für den Ziel-LDPC-Code geeignet ist. Die ausgewählte Architektur wurde mittels SystemC beschrieben und anhand eines bereits existierenden algorithmischen Matlab-Modells validiert. Zusätzlich wurde in Matlab der Algorithmus zur Erstellung der Steuerungsinformation, mit welcher der LDPC-Decoder initiiert wird, anhand der *H*-Matrix für verschiedene Parallelitätsgrade erstellt.

Da das SystemC-Modell taktgenau ist, sollte die folgende VHDL-Umsetzung keine Schwierigkeiten bereiten und zum größten Teil nur die Optimierung des längsten Pfades sein. Das SystemC-Modell kann zwar keine Aussage über die Frequenz und somit den Durchsatz des Decoders ermöglichen, allerdings sollte der Ressourcenverbrauch durch die Datenspeicheroptimierung der Checkknoten niedriger als beim in [5] entwickelten LDPC-Decoder sein.

Für die ausführliche Beschreibung des implementierten SystemC-Modells als auch des noch zu implementierenden synthesesfähigen VHDL-Codes sei auf die Master-Thesis [7], mit der Veröffentlichung in November 2013, verwiesen.

DANKSAGUNG

Das Projekt Merses wird gefördert durch die Europäische Union, Europäischer Fonds für regionale Entwicklung (EFRE) und das Land Baden Württemberg, Ministerium für Wissenschaft, Forschung und Kunst.

LITERATURVERZEICHNIS

- [1] W. Proß, "Design of Robust 2D Barcodes for Industrial Environments," *Doktorarbeit*, România\Timisoara, 2012
- [2] R. Gallager, „Low-Density Parity-Check Codes,“ *IRE Transactions on Information Theory*, pp. 21-28, 1962.
- [3] K. T. Moon, "Error Correction Coding - Mathematical Methods and Algorithms," New Jersey: John Wiley & Sons, 2005.
- [4] M. Bossert, „Kanalcodierung,“ 2. Hrsg., Stuttgart: B.G. Teubner Stuttgart, 1998.
- [5] C. Beuschel, "Fully Programmable LDPC Decoder Hardware Architectures," *Doktorarbeit*, Ulm, 2010.
- [6] F. Guilloud, "Generic Architecture for LDPC Codes Decoding," *Doktorarbeit*, Paris, 2004.
- [7] A. Torno, "Implementierung eines generischen LDPC-Decoders für unstrukturierte Codes mittels SystemC und VHDL," *Masterthesis*, Pforzheim, 2013.



Andreas Torno erhielt den akademischen Grad des Bachelor of Engineering in Technische Informatik im Jahr 2011 von der Hochschule Pforzheim. Zurzeit studiert er im Masterstudiengang Embedded Systems an der gleichen Hochschule und ist wissenschaftlicher Mitarbeiter im Zentrum für Angewandte Forschung MERSES.



Frank Kesel erhielt den akademischen Grad des Dipl.-Ing. in Elektrotechnik im Jahr 1988 von der Universität Karlsruhe (TH) und den Grad des Dr.-Ing. in Elektrotechnik von der Universität Hannover im Jahr 1994. Er ist Professor für integrierte Schaltungstechnik an der Hochschule Pforzheim.



Prof. Dr. Thomas Greiner ist Sprecher des Zentrums für Angewandte Forschung MERSES und einer der Sprecher des in Zusammenarbeit mit der Universität Tübingen angebotenen Promotionskollegs "Entwurf und Architektur Eingebetteter Systeme", Hauptarbeitsgebiete: System- und Softwaremodellierung, Entwurf und Architektur signalverarbeitender eingebetteter Systeme.

Specification and Implementation of an AXI4-Burst-Master

Christian Ngamy, Steffen Jaeckel, Axel Sikora

Abstract—Due to the ever increasing complexity of system-on-chip solutions, more and more complex modules can be monolithically integrated, such as CPU cores, memories, and interface controllers. Increasingly powerful bus systems connect these modules. This paper presents the implementation of a bus master, which is based on the AXI4 protocol. It is used for the system integration of a Gigabit Ethernet MAC-controller. It was designed in VHDL and tested in a SystemC-based simulation environment.

Index Terms—AXI4-Master, Gigabit Ethernet MAC, VHDL, SystemC.

I. INTRODUCTION

Bus systems are an important stepping stone for the interconnection of digital modules in a system. A typical embedded design is equipped with a general purpose processor, cache (SRAM), memory (SDRAM), DMA port, bridging ports to slower I/O busses, peripherals and interfaces. These elements are all interconnected via bus systems.

A typical bus system is shown in Fig. 1. It normally consists of a data bus that carries information, an address bus to determine the destination of the read or the write process, and a control bus to select the actual operation. A bus protocol is needed to define the chronological sequence of bus transactions [1].

There is a plethora of different buses. They are all optimized to specific requirements in the conflict of objectives, like performance and complexity. It is an old dream to specify standard interfaces that all manufacturers of hardware modules would possibly adhere to. However, these efforts can be seen in the context of a very heterogeneous market and different requirements in practice [2].

In our project, a Gigabit Ethernet MAC (GMAC) controller is designed, which shall be used flexibly in different environments; therefore, its bus interfaces shall be interchangeable.

Christian Ngamy, gngaminy@stud.hs-offenburg.de, Steffen Jaeckel, steffen.jaeckel@stzedn.de, and Axel Sikora, axel.sikora@hs-offenburg.de, are with Hochschule Offenburg, Badstraße 24, 77652 Offenburg, Germany.

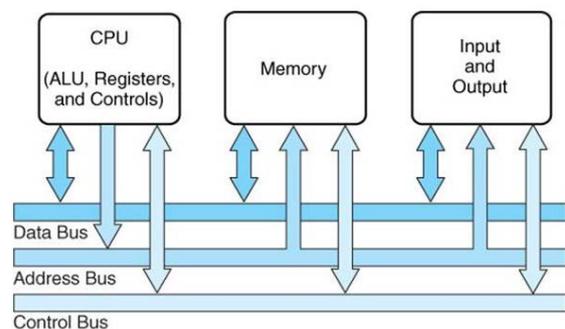


Figure 1: The Bus system.

AXI is one of the buses/interfaces of the Advanced Microcontroller Bus Architecture family (AMBA) introduced by ARM Ltd. AXI stands for Advanced eXtensible Interface. It is suitable for the interface design of our GMAC controller, as the AMBA AXI protocol supports high-performance, high-frequency system designs and is burst-based [3]. It also supports burst lengths of 1 to 256 transfers.

The AXI4 burst master runs at a clock frequency of 75 MHz. A native data width of 32 Bits (4 bytes) and a maximum burst length of 16 data beats per AXI4 transaction (64 bytes transaction) are used for the implementation of the AXI-bus. The resulting maximally achievable data rate on the bus is $75 \text{ MHz} * 32 \text{ Bits} = 2 \text{ GBit/s}$. The AXI4-burst-Master is a part of the MAC-design. Therefore, it is important to understand first the MAC Architecture.

II. THE MAC ARCHITECTURE

A. General overview

A Gigabit Ethernet MAC controller consists of three main parts: The MAC core, the PHY interface and the bus interface. These three elements can be integrated into existing systems as one instance of the MAC controller [6]. A general overview of the MAC is given in Fig. 2.

The MAC controller supports the MII (Media Independent Interface) interface as well as the RMII (Reduced Media Independent Interface) interface. An external driver is needed to interface the Ethernet-MAC to the Ethernet medium (physical layer, PHY). The PHY and the bus interface are connected via

FIFO interfaces, allowing easy replacement by implementations for different PHY, and bus interfaces, respectively.

The slave interface connects the GMAC's registers to the control logic of the FPGA, whereas the bus master interface connects the GMAC's DMA engine to the memory, where the data to transmit or receive are stored. The FIFO interfaces are also connected to the bus master and receive or provide these data from/to the bus master.

B. Bus Interfaces

The bus systems that shall be available in the first version to interface the bus master are:

- The Avalon bus system used on Altera Nios II SoCs called SOPC (System on Programmable Chip) [5],
- the family of bus interfaces OCP (Open Core Protocol) defined by the OCP International Partnership [4], and
- the Advanced eXtensible Interface (AXI) bus of the Advanced Microcontroller Bus Architecture family (AMBA) introduced by ARM Ltd [3].

All the three bus interfaces shall be implemented as Single-Request-Multiple-Data Master and Single-Request-Single-Data Slaves, where both are supporting only in-order requests and serving in-order responses [6]. Fig. 2 shows the bus master with the three different bus interfaces. The FIFO going out of the Master represents the transmit channel (Tx-channel) and the one coming into the Master represents the receive channel (Rx-channel). The Master sends the data to transmit through the Tx-channel and reads the data to be stored through the Rx-channel.

This paper will focus on the master implementation with the AXI and Rx-channel interfaces. The bus master will be called AXI4-Master or AXI4-burst-master, as AXI is burst-based.

III. THE AXI4-BURST-MASTER ARCHITECTURE

A. General architecture

The AXI4-master interface is an interface capable to be supported by Direct Memory Access (DMA). This means that it can access memory independently of the central processing unit (CPU). It can be connected to a memory region in the design where the MAC can write received data to or read data to transfer from.

The general architecture of the AXI4 master shows six different parts as shown in Fig. 3:

- The sub-module "U0" is actually the state machine of the AXI4-Master. It decides which of the five other sub-modules (U1 – U5) is to be executed.
- The sub-module "U1" stores the data from the MAC CORE in the master so that it can be used.

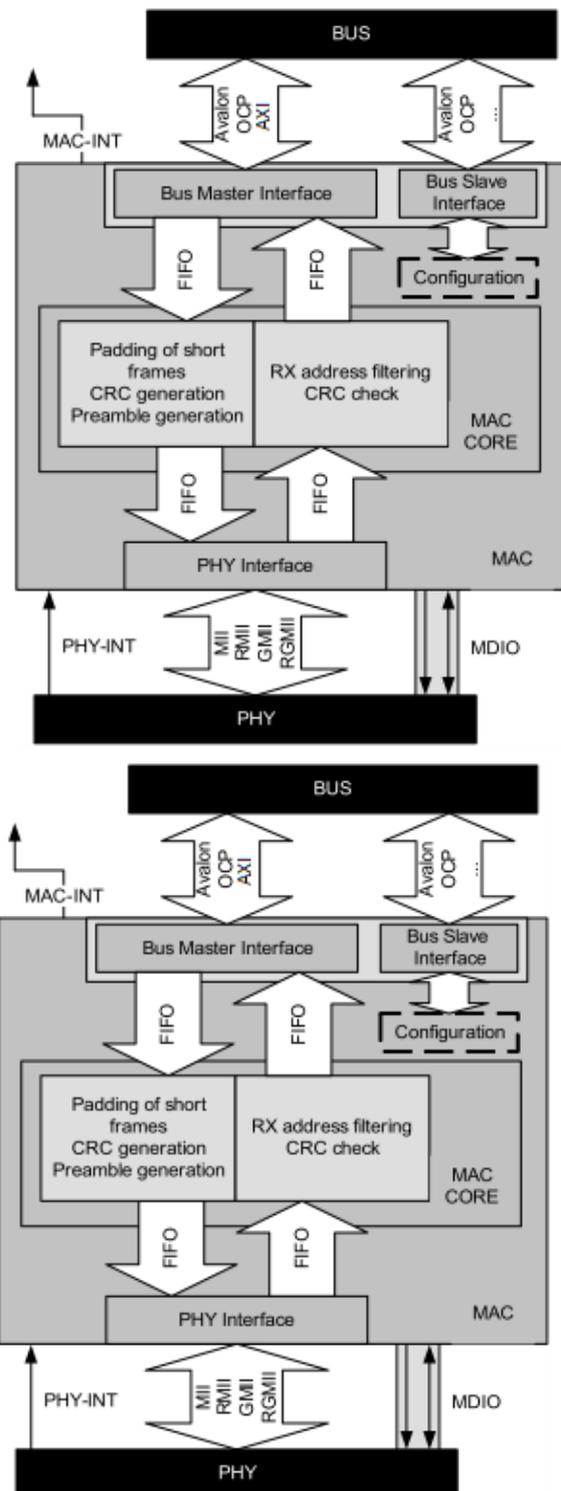


Figure 2: Block diagram of the GIGABIT ETHERNET MAC [6].

- The sub-module "U2" determines the addresses that are needed for the burst transactions and for the update of the buffer descriptors. Those addresses are: The addresses of the first and last buffer descriptors in the memory, the address of the buffer descriptor that is going to be used and the address of its allocated buffer.

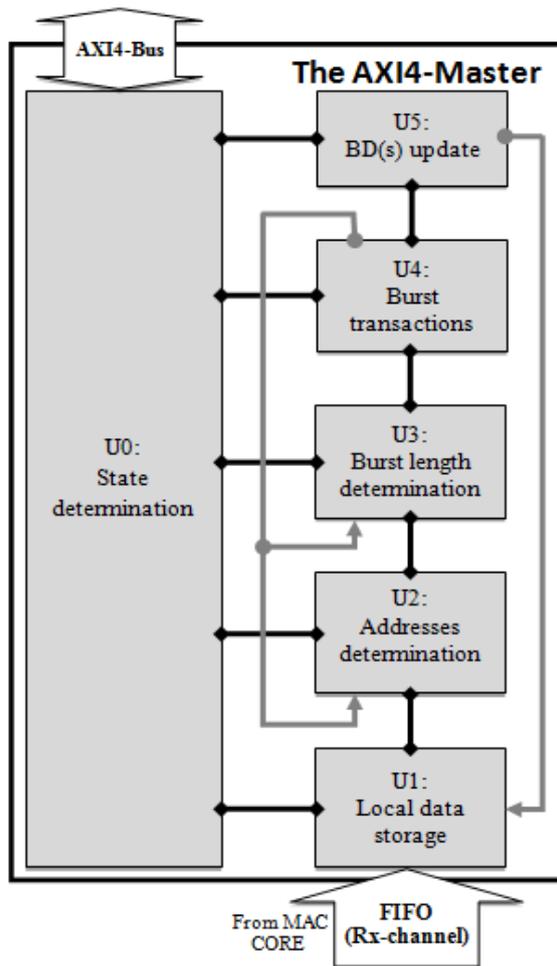


Figure 3: Block diagram of the AXI4-Burst-Master.

- The sub-module “U3” determines the burst length.
- The sub-module “U4” handles the data transfers. The data from the FIFO are saved in buffers in the memory according to the buffer addresses determined in “U2”.
- The sub-module “U5” deals with the update of the buffer-descriptors which buffers were used for the data transfers.

The AXI Master Burst is configured for a native data width of 32-bits (4 bytes) and a maximum allowed burst length of 16 data beats per AXI4 transaction (64 bytes transaction). In case the command length is over 64 bytes, the master has to fragment the transaction into multiple AXI4 transactions. Such a burst transaction can be completed with only the start address issued. The address for each transfer in the burst is determined by incrementing the address for the previous transfer. The increment value depends on the size of the transfer. In this case, the address for each transfer is the previous address plus four, as the configured burst-width is 4 bytes.

The memory which the AXI4-Master can access, is a set of buffer descriptors (BD) divided into two parts:

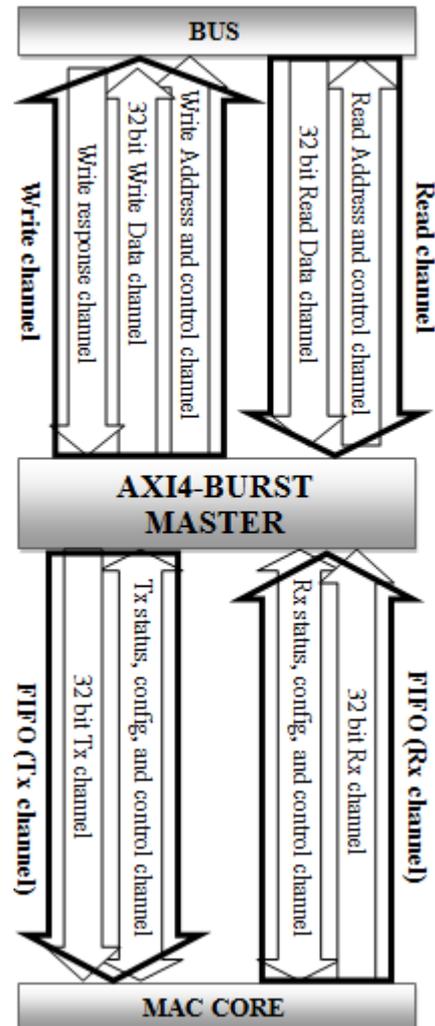


Figure 4: AXI4-Burst-Master interfaces.

transmit BDs (Tx-BD) and receive BDs (Rx-BD). The transmission and the reception processes are based on them. The BD's are all 64 bits long and contain information about the received frames (length, status) and pointers to the buffers holding the relevant data. These buffers holding the relevant data are a set of registers. All these registers have a width of 32 bits.

B. AXI4-master interfaces

The AXI4-master has on one side the AXI bus interface and on the other side the FIFO interfaces as shown in Fig. 4. The AXI protocol defines the format of read address, read data, write address, write data, and write response channels. Those channels are independent transaction channels.

The FIFO interfaces consist of a transmit channel and a receive channel. Both these two channels consist of two main channels: one 32 bit Tx/Rx and a Tx/Rx status, configuration and control channel. A focus on

the Rx channel gives some information about its channels:

The 32 bit Rx channel is actually a data signal of 32 bits. It carries the information that will be written in a Receive Buffer. The Rx status, configuration and control channel consists mainly of the following signals:

- *The status signals:* they are in charge of signaling when a frame has been read successfully out of the FIFO, when a frame was received successfully and when a buffer descriptor overflow has occurred.
- *The configuration signals* give information about the Receive Buffer Descriptors Start Address and the maximum length of a Receive Buffer. A signal is also set as a pulse to signal to the Master that a Receive Buffer Descriptor has been freed and is ready for frame reception. If the interface receiver should be enabled, another signal is set to allow it.
- *The control signals* give information about the current frame. Three pulses are activated to signal the Master respectively about the start, the end, and the invalid state of the frame. Two signals content information about the Ethernet payload length and the number of words written to the FIFO. Some other signals give indication about the destination address (promiscuous, broadcast, multicast or unicast). If there is currently a burst in progress which cannot be interrupted, a signal is set.

Moreover, the Rx-channel also has a signal that allows the master to acknowledge its data readings and a signal that continually shows the current number of words written to the FIFO. The master uses it to know when it should start the burst, as a burst transfer can only be started when the FIFO has reached its half or when the end of the frame occurs.

IV. SPECIFICATION AND IMPLEMENTATION OF THE AXI4-BURST-MASTER

A. Specification & Implementation

The presented AXI4-master implementation follows a requirement's driven engineering design approach. The requirements description is an important part of a project and constitutes one of its essential parts. The documentation includes the features of the resulting product.

The hardware description language used for the implementation is IEEE 1076-1993. For compatibility reasons only IEEE packages and self-defined packages that are contained in the source-code shall be used. The usage of standard packages shall be limited to:

- ieee.std_logic_1164.all
- ieee.numeric_std.all
- ieee.math_real.all

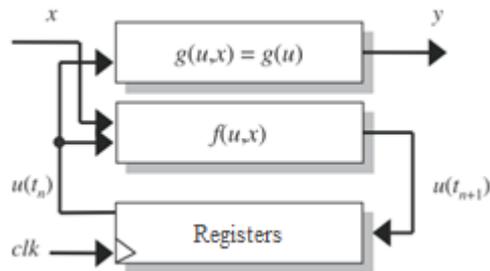


Figure 5: Moore finite state machine [7].

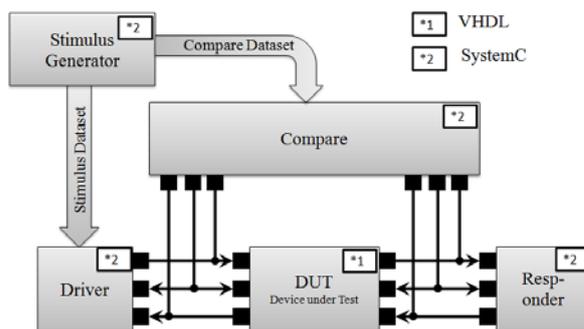


Figure 6: Virtual environment - Module Tests.

All the VHDL entities contain three processes according to the Moore finite state machine as shown in Fig. 5. It consists of two combinational processes (asynchronous logic) and one sequential process (registers). Inputs to the entity are denoted x and outputs y . All outputs are grouped into one entity specific record type, declared in a global interface package. Input ports are of output record types from other entities. The algorithm $g(u,x) = g(u)$ is performed in the combinational process. In the sequential process, the inputs $u(t_{n+1})$ are copied to the outputs $u(t_n)$ on the clock edge. One of the important benefits of this method is that sequential coding is well known and understood. The simulation and synthesis speed are also improved [8].

B. Verification

A virtual environment (test bench) was used to verify the correctness of the designed master as shown in Fig. 6. The verification of hardware components is always one of the most time-consuming tasks in the development process. In this case, a test bench was first written for all sub modules (U0 – U5) of the AXI4 master (Fig. 3) in order to make the verification easier. Then, all the sub-modules were connected together and tested. SystemC was chosen as simulation environment, because it promises the best efficiency of testbench implementation. Thus, it was used to generate test data for the program to be tested (device under test or DUT). Mentor Graphics Questa 10.1c was used as simulation engine, which allows

cross-language simulation between VHDL, Verilog, SystemVerilog and SystemC models.

C. Results

The AXI4 burst master was first successfully tested in the SystemC environment prepared for it. Here, only one test was executed with the objective to verify the first reactions of the designed master (right burst lengths, burst transfers, BD's update...) and reduce the initial number of bugs. The simulation environment did not fully contain the real conditions.

In the second test phase, the AXI4-Master was instantiated within the "Gigabit Ethernet MAC" and also tested in a specific SystemC environment. This test-phase was more demanding and the simulation environment reflected the real conditions. A random number of different tests could be generated.

Two parameters were adjusted in order to generate a frame, the frame length which can be *too short*, *normal* or *too long*, and either if the CRC checksum is *correct* or *erroneous*. Besides these six test cases were two other cases: *FIFO overrun* which can occur when the burst master is not clocked fast enough or if the bus is under heavy load, and "*BD overrun*" which signals that the length of a received frame is larger than the size of all provided buffers. In total some hundred pseudo-random frames for each case were tested. This test-phase gave also the opportunity to verify the BD- and buffer addresses and the buffer contents after the burst-transfers. Thus, the designed master could fully be tested. As results, the AXI4-burst Master needs around 49 clocks to complete a 16 data beats transaction. This includes the query of the buffer descriptor in order to get the buffer address, and the handshake before the transaction.

The positive results of these tests make it now possible to implement the design in various devices. Implementation of the AXI4-Master for Xilinx Spartan 6 xc6slx150-2, using Xilinx ISE 14.3, results in a resource usage of 574 slices, 1179 slice registers and 639 LUTs. The achievable frequency, when integrated in the Ethernet MAC, is not affected by the AXI4-Master. After synthesis the maximum frequency of the Ethernet MAC, on xc6slx150-2, is approximately 139 MHz. The delay from 'data reception finished' to 'Buffer Descriptor update start' is 5 clock cycles.

V. SUMMARY AND OUTLOOK

The growing system complexity is creating many system design challenges. A system designer has a number of choices for buses. The three system buses implemented in the first version of the Gigabit MAC provide different performance characteristics, features and resources requirements. They will all be used in different environments.

The AXI4-Master has the advantage that it is reusable. With some adjustments, it can also be used in

further projects. The presented design is the first version. The next versions will include some other features of the AXI4-Bus like caching or transaction ID.

DEFINITIONS

AXI: Advanced eXtensible Interface is one of the buses/interfaces of the Advanced Microcontroller Bus Architecture family (AMBA) introduced by ARM ltd.

Beat: An individual data transfer within an AXI burst.

Burst: In an AXI transaction, the payload data is transferred in a single burst that can comprise multiple beats, or individual data transfers.

BD: A Buffer Descriptor (BD) is a memory location that contains information about a frame (length, status) and a pointer to the buffer holding the relevant data.

REFERENCES

- [1] Frank Kesel, Ruben Bartholomä, "Entwurf von digitalen Schaltungen und Systemen mit HDLs und FPGAs, Einführung mit VHDL und SystemC", 2. Auflage, Oldenbourg Verlag München, 2009.
- [2] A. Sikora, R. Drechsler, "Software-Engineering und Hardware-Design: Eine systematische Einführung", Carl Hanser Verlag, 2002.
- [3] ARM, "AMBA ® AXI™ and ACE™ Protocol Specification", 28.10.2011.
- [4] <http://ocpip.org>
- [5] http://altera.com/literature/manual/mn1_avalon_spec.pdf
- [6] A. Rohleder, S. Jaeckel, A. Sikora, „Design and Test of a Gigabit Ethernet MAC for High-Speed HIL-Support“, 50. Workshop der Multiprojekt-Chip-Gruppe Baden-Württemberg, Furtwangen, 2011.
- [7] A. Sikora, C. Siemers, "Taschenbuch Digitaltechnik", Carl Hanser Verlag, 2007.
- [8] Jiri Gaisler, "Fault-tolerant Microprocessors for Space Applications".



Christian Ngamy studied Information Technology as an exchange student at the University of Applied Sciences Offenburg in Germany, the IUT Haguenau (Université de Strasbourg) in France and the HEC Arc Ingénierie in Switzerland and specialized in embedded systems. He received his Licence Professionnelle and B.Sc. degree in September 2012 and B.Eng. degree in April 2013. Since then, he works as engineer in Hardware development at Steinbeis Innovation Center Embedded Design and Networking mainly in the field of bus systems.



Steffen Jaeckel studied Computer Engineering at the University of Applied Sciences, Furtwangen and received his Dipl.-Inform. Degree in April 2009. After that, he continued to work as project engineer at Steinbeis Innovation Center Embedded Design and Networking mainly in the field of embedded wireless and wired communication, embedded security and hardware design for networking protocols.



Dr.-Ing. Axel Sikora holds a diploma of Electrical Engineering and a diploma of Business Administration, both from Aachen Technical University. He has done a Ph.D. in Electrical Engineering at Fraunhofer Institute of Microelectronics Circuits and Systems, Duisburg. After various positions in the telecommunications and semiconductor industry, he became a professor at the Baden-Wuerttemberg Cooperative State University Loerrach in 1999. In 2011, he joined Offenburg University of Applied Sciences, where he holds the professorship of Embedded Systems and Communication Electronics. His major interest is in the system development of efficient, energy-aware, autonomous, secure, and value-added algorithms and protocols for wired and wireless embedded communication. He is also founder and head of Steinbeis Transfer Center Embedded Design and Networking (stzedn).

Dr. Sikora is author, co-author, editor and co-editor of several textbooks and numerous papers, as well as conference committee member to various international conferences in the field of embedded design and wireless and wired networking.

MULTI PROJEKT CHIP GRUPPE

Hochschule Aalen

Prof. Dr. Bürkle, (07361) 576-2103
heinz-peter.buerkle@htw-aalen.de

Hochschule Albstadt-Sigmaringen

Prof. Dr. Rieger, (07431) 579-124
rieger@hs-albsig.de

Hochschule Esslingen

Prof. Dr. Lindermeir, (0711) 397-4221
walter.lindermeir@hs-esslingen.de

Hochschule Furtwangen

Prof. Dr. Rülling, (07723) 920-2503
rue@hs-furtwangen.de

Hochschule Heilbronn

Prof. Dr. Gessler, (07940) 1306-184
gessler@hs-heilbronn.de

Hochschule Karlsruhe

Prof. Dr. Koblitz, (0721) 925-2238
rudolf.koblitz@hs-karlsruhe.de

Hochschule Konstanz

Prof. Dr. Schick, (07531) 206-657
cschick@htwg-konstanz.de

Hochschule Mannheim

Prof. Dr. Giehl, (0621) 292-6860
j.giehl@hs-mannheim.de

Hochschule Offenburg

Prof. Dr. Sikora, (0781) 205-416
axel.sikora@hs-offenburg.de

Hochschule Pforzheim

Prof. Dr. Kesel, (07231) 28-6567
frank.kesel@hs-pforzheim.de

Hochschule Ravensburg-Weingarten

Prof. Dr. Siggelkow, (0751) 501-9633
siggelkow@hs-weingarten.de

Hochschule Reutlingen

Prof. Dr. Kreutzer, (07121) 271-7059
hans.kreutzer@hochschule-reutlingen.de

Hochschule Ulm

Prof. Dipl.-Phys. Forster, (0731) 50-28338
forster@hs-ulm.de

www.mpc.belwue.de