

MPC

MULTI PROJECT CHIP GRUPPE
BADEN-WÜRTTEMBERG

Herausgeber: Technische Hochschule Ulm
Workshop: Pforzheim Februar 2019

Ausgabe: 61/62

ISSN: 1868-9221

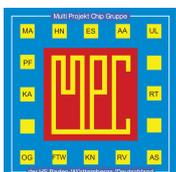
Workshop: Furtwangen Juli 2019

Band 61 Workshop: Pforzheim Februar 2019

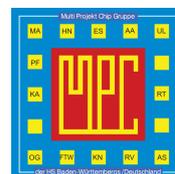
- 1 Aktiver Mikroelektroden CMOS ASIC zur elektrischen Charakterisierung von biologischen Materialien**
Harald Richter, Christine Harendt, Bernd Leibold, Elisabeth Penteker, Michael Schau,
Institut für Mikroelektronik Stuttgart
- 5 Verstärker für Multielektrodenarrays**
Marcio Camoleze de Andrade, Bernd Vettermann, Jürgen Giehl, Tobias Hemmerich, Hochschule Mannheim
- 15 Entwurf und Realisierung eines echtzeitfähigen KNX-Gateway-Moduls**
Ingo Stutz, Gregor Burmberger, Hochschule Konstanz
- 21 Experimental Validation of the LOCOD Approach for the Design of Quasi-synchronous Finite State Machines**
Athanasios Gatzastros, Dominik Wrana, Tobias Wolfer, Eckhard Hennig, Hochschule Reutlingen

Band 62 Workshop: Furtwangen Juli 2019

- 27 Chip Integration in Printed Circuit Boards, System in Package, System in Board**
Thomas Gottwald, Christian Roessle, Alexander Neumann, Schweizer Electronic AG
- 33 Wie erstellt man einen C-Compiler für einen Prozessor mit eigenem Befehlssatz?**
Dirk Jansen, Hochschule Offenburg
- 41 Circular Estimation for Rectangular Shape Tracking**
Bleard Loshaj, Ekkehard Batzies, Michael Gabb,
Hochschule Furtwangen und Karlsruher Institut für Technologie (KIT)
- 47 Development of a novel blood pressure measurement method for the integration into a wheelchair**
Normen Nauber, Achim Bumüller, Katrin Skerl, Hochschule Furtwangen
- 53 Entwicklung einer Dreikanal EKG-Schaltung zur Integration in einen Rollstuhl**
Rudolf Hoffmann, Achim Bumüller, Katrin Skerl, Hochschule Furtwangen



Cooperating Organisation
Solid-State Circuit Society Chapter
IEEE German Section



Inhaltsverzeichnis

Band 61 Workshop: Pforzheim Februar 2019

Aktiver Mikroelektroden CMOS ASIC zur elektrischen Charakterisierung von biologischen Materialien	1
Harald Richter, Christine Harendt, Bernd Leibold, Elisabeth Penteker, Michael Schau, Institut für Mikroelektronik Stuttgart	
Verstärker für Multielektrodenarrays	5
Marcio Camoleze de Andrade, Bernd Vettermann, Jürgen Giehl, Tobias Hemmerich, Hochschule Mannheim	
Entwurf und Realisierung eines echtzeitfähigen KNX-Gateway-Moduls	15
Ingo Stutz, Gregor Burmberger, Hochschule Konstanz	
Experimental Validation of the LOCOD Approach for the Design of Quasi-synchronous Finite State Machines	21
Athanasios Gatzastras, Dominik Wrana, Tobias Wolfer, Eckhard Hennig, Hochschule Reutlingen	

Band 62 Workshop: Furtwangen Juli 2019

Chip Integration in Printed Circuit Boards, System in Package, System in Board	27
Thomas Gottwald, Christian Roessle, Alexander Neumann, Schweizer Electronic AG	
Wie erstellt man einen C-Compiler für einen Prozessor mit eigenem Befehlssatz?	33
Dirk Jansen, Hochschule Offenburg	
Circular Estimation for Rectangular Shape Tracking	41
Bleard Loshaj, Ekkehard Batzies, Michael Gabb, Hochschule Furtwangen und Karlsruher Institut für Technologie (KIT)	
Development of a novel blood pressure measurement method for the integration into a wheelchair	47
Normen Nauber, Achim Bumüller, Katrin Skerl, Hochschule Furtwangen	
Entwicklung einer Dreikanal EKG-Schaltung zur Integration in einen Rollstuhl	53
Rudolf Hoffmann, Achim Bumüller, Katrin Skerl, Hochschule Furtwangen	

Tagungsband zum Workshop der Multiprojekt-Chip-Gruppe Baden-Württemberg
Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie.

Die Inhalte der einzelnen Beiträge dieses Tagungsbandes liegen in der Verantwortung der jeweiligen Autoren.

Herausgeber:

Lothar Schmidt, Technische Hochschule Ulm, Prittwitzstraße 10, D-89075 Ulm

Mitherausgeber (Peer Reviewer):

Joachim Gerlach, Hochschule Albstadt-Sigmaringen, Jakobstraße 6, D-72458 Albstadt-Ebingen

Jürgen Giehl, Hochschule Mannheim, Paul-Wittsack-Straße 10, D-68163 Mannheim

Frank Kesel, Hochschule Pforzheim, Tiefenbronnerstraße 65, D-75175 Pforzheim

Elke Mackensen, Hochschule Offenburg, Badstraße 24, D-77652 Offenburg

Christoph Schick, Hochschule Konstanz, Alfred-Wachtel-Straße 8, D-78462 Konstanz

Anestis Terzis, Technische Hochschule Ulm, Prittwitzstraße 10, D-89075 Ulm

Alle Rechte vorbehalten

Diesen Workshopband und alle bisherigen Bände finden Sie im Internet unter:
<http://www.mpc-gruppe.de/de/workshopbaende.html>

Aktiver Mikroelektroden CMOS ASIC zur elektrischen Charakterisierung von biologischen Materialien

Harald Richter, Christine Harendt, Bernd Leibold, Elisabeth Penteker, Michael Schau

Zusammenfassung—Zur elektrischen Charakterisierung von organischen, speziell biologischen Materialien wurde ein CMOS ASIC mit aktiven Mikroelektroden entwickelt und gefertigt. Details dieses ASICs bezüglich Schaltungstechnik und Herstellverfahren werden präsentiert.

Schlüsselwörter—Mikroelektroden, CMOS ASIC, Gold Prozess, Lift-Off.

I. EINLEITUNG

Mit Hilfe von modernen Syntheseverfahren lassen sich eine Vielzahl von unterschiedlichen biologischen Materialien, z.B. Peptide auf kleinster Fläche parallelisiert herstellen [1]. Zur elektrischen Charakterisierung wird eine Plattform benötigt, die es erlaubt, diese Proben parallel zu messen und damit auszuwerten. Das System soll gleichzeitig in der Lage sein, auch andere aufgebrauchte Materialien, wie z.B. Zellen bezüglich ihrer elektrischen Eigenschaften (DC/AC) zu charakterisieren. Hierzu wurde ein spezieller ASIC entwickelt und in Musterstückzahlen gefertigt. In den folgenden Abschnitten werden die Schaltungskomponenten sowie die Gesamtschaltung erläutert (II.), danach die Herstelltechnologie (III.) sowie das Auswertesystem (IV.) vorgestellt. Schließlich werden beispielhafte Anwendungen (V.) sowie eine Zusammenfassung mit Ausblick präsentiert (VI.).

II. SCHALTUNGEN

Der in Abbildung 1 gezeigte Chip enthält 10.000 quadratische Goldflächen der Größe $70 \times 70 \mu\text{m}^2$ in einem $100 \times 100 \mu\text{m}^2$ Raster auf einer Gesamtchipfläche von $12 \times 12 \text{mm}^2$. Unter diesen Goldflächen ist jeweils ein Integrator, der den Strom durch seine Goldfläche in eine Spannung wandelt und ein Analogschalter, der die Spannung nach außen zugänglich macht, implementiert. Durch Variation der Integrationszeit kann man den Wandelbereich des Integrators in weiten Grenzen einstellen [2]. Zum Kalibrieren besteht die Möglichkeit, einen externen Strom in die Goldflächen

Harald Richter (richter@ims-chips.de), Christine Harendt (harendt@ims-chips.de), Bernd Leibold (leibold@ims-chips.de), Elisabeth Penteker (penteker@ims-chips.de) und Michael Schau (schau@ims-chips.de), Institut für Mikroelektronik Stuttgart (IMS CHIPS), Allmandring 30 A, 70569 Stuttgart.

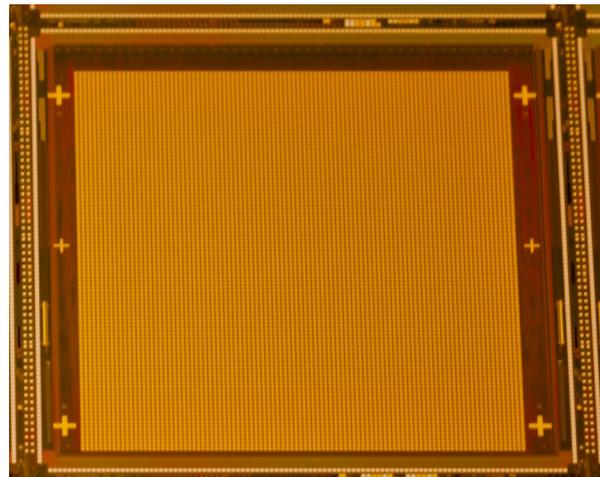


Abbildung 1. Mikroskop-Bild des Mikroelektroden CMOS ASIC.

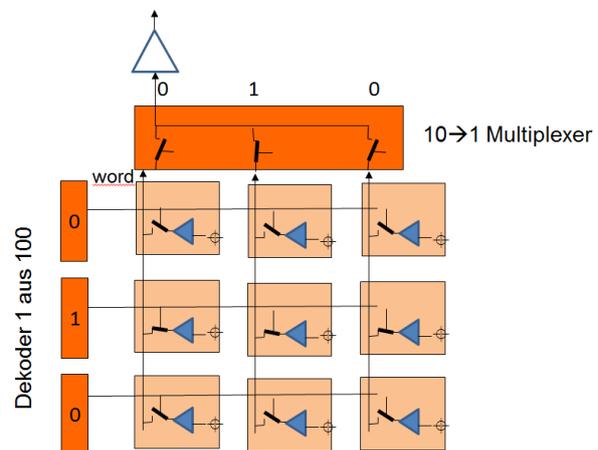


Abbildung 2. Ansteuerung und Auslesprinzip des Elektrodenfeldes.

einzuspeisen und dabei die integrierten Spannungen zu messen.

Die Ausgänge der Integratoren werden über analoge Schalter auf Spaltenleitungen geschaltet, die wiederum über einen 10 zu 1 Multiplexer auf analoge Ausgangsverstärker geschaltet werden, so dass das gesamte Elektrodenfeld über 10 Ausgänge ausgelesen werden kann. Das Prinzip dieser Ansteuerung ist in Abbildung 2 gezeigt.

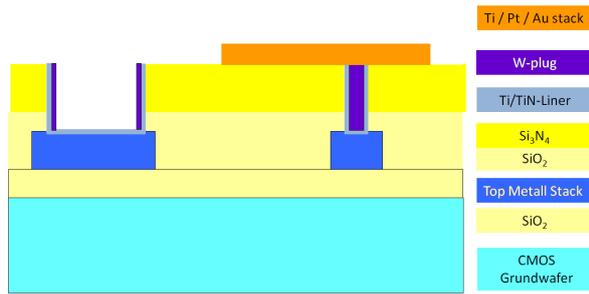


Abbildung 3. Prozessquerschnitt nach Entfernen des Lift-Off-Lackes und damit Fertigstellung der Gold-Elektroden.

Neben der funktionellen Schaltung wurden umfangreiche Testfunktionen eingebaut, die es erlauben, die komplette digitale Funktion der Schaltung zu testen. Die als Schieberegister ausgeführten Dekoder werden auf externe Anschlüsse geführt, so dass ihre Funktionalität überprüft werden kann. Weiterhin werden die über die ganze Chipbreite verlaufenden Ansteuerleitungen an einer Seite getrieben und an der anderen Seite wiederum über Schieberegister ausgelesen.

III. TECHNOLOGIE

Basis für die Produktion des ASICs ist der IMS CHIPS $0,5 \mu\text{m}$ CMOS-Prozess [3]. Für die Herstellung der Grundschialtung wurde ein Gate-Array-ähnlicher Ansatz gewählt. Während die Elektroden-Schaltung als Spezialzelle mit entsprechenden Transistoren, Widerständen und Kapazitäten mit eingeschränkten Möglichkeiten zur Modifikation entworfen wurde, wurden standardisierte Mixed-Signal Gate-Array Teile ergänzt, die über die Metallisierung eine freie Gestaltung der Ansteuer-Logik und der Weiterverarbeitung der Ausgangssignale erlauben. Damit war es möglich, bereits vor Fertigstellung des Layouts der Komplettschaltung mit der Waferprozessierung zu beginnen. Gleichzeitig sind damit auch nachträgliche Modifikationen über die Verdrahtung möglich.

Da eine Prozessierung von Gold in CMOS-Linien nicht möglich ist, wurde ein Lift-Off-Prozess entwickelt, der die Strukturierung der Elektroden außerhalb der CMOS-Linie erlaubt. Die hierzu entwickelte Prozessfolge ist in Abbildung 3 als Querschnitt dargestellt. Nach Fertigstellung des CMOS-Wafers wird die Passivierung (SiO_2 und Si_3N_4) mittels Chemisch-mechanischem Polieren (CMP) planarisiert, Via-Öffnungen (Größe $0,6 \times 0,6 \mu\text{m}^2$) zur Kontaktierung der Gold-Elektroden geätzt, mit einem Ti / TiN-Liner versehen und mit Wolfram aufgefüllt, so dass vor der Elektrodenabscheidung eine sehr planare Oberfläche entsteht.

Nach Herstellung einer Lift-Off-Lackmaske im Reinraum wird die Elektrodenschichtfolge (z.B. Ti / Pt / Au) außerhalb des Reinraumes aufgebracht und durch Ablösen des Lift-Off-Lackes strukturiert. Abbildung 3

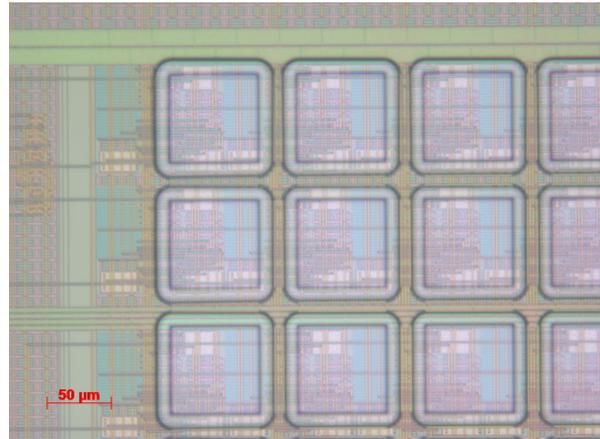


Abbildung 4. Mikrofotografie eines Ausschnitts des Elektrodenfeldes nach Strukturierung des Lift-Off-Lackes und vor Abscheidung der Elektroden. Die Elektroden haben ein Wiederholmaß von $100 \mu\text{m}$ in x und y Richtung.

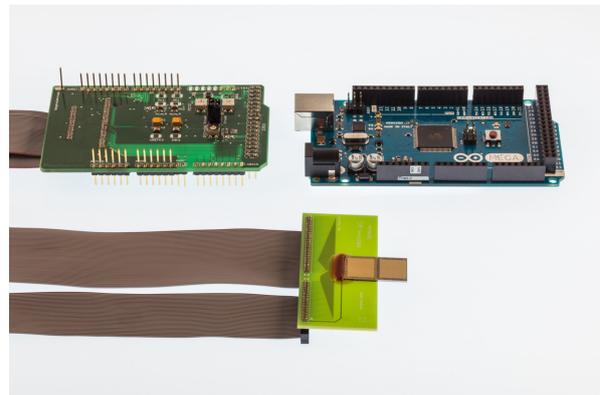


Abbildung 5. Adapterplatine, Arduino-Board, Messchip auf Platine.

zeigt den schematischen Prozessquerschnitt und Abbildung 4 einen Ausschnitt des Elektrodenfeldes vor dem Aufdampfen des Elektrodenmaterials.

Details zur Prozessführung können dem Abschlussbericht des Projektes entnommen werden [7].

IV. AUSWERTESYSTEM

Als Interface für die Auswertung dient ein Arduino Mega-2560 Board [4] [5] mit einer Aufsteckplatine, die es erlaubt, den Chip mit analogen Signalen zu versorgen und die ausgegebenen Spannungen zu digitalisieren, siehe Abbildung 5. Der Prozessor des Arduinos bereitet die ausgelesenen Daten auf und sendet sie über eine USB-Schnittstelle an einen Windows-PC. Die Software auf dem PC führt die Kommunikation mit dem Arduino durch, zeigt die Messergebnisse grafisch an und speichert die Werte für eine Tabellenkalkulation ab.

Diese Hardware und eine erste Version der Firmware und Software wurden im Rahmen einer Masterarbeit entwickelt [6] und implementiert. Abbildung 5 zeigt die PC Bedienoberfläche für den Betrieb des Systems.

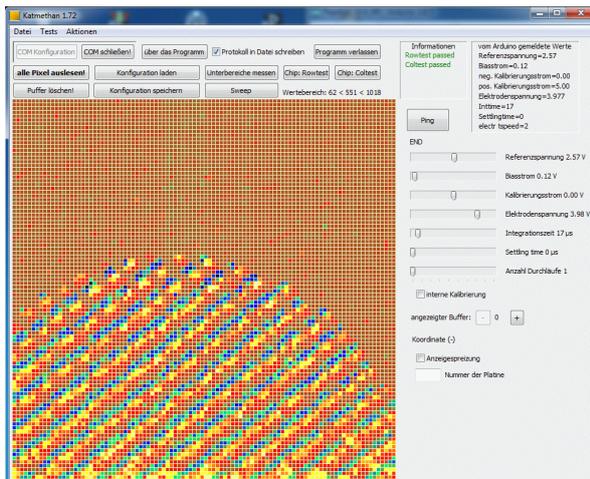


Abbildung 6. PC Bedienoberfläche zur Konfiguration des Systems sowie zum Auslesen und Darstellen der Ergebnisse.

Neben einem integrierten Funktionaltest des ASICs können hier alle analogen und digitalen Parameter eingestellt werden und der ASIC in verschiedenen Modi ausgelesen werden. Zusätzlich zum Auslesen von Teilfeldern können auch Serienmessungen bei Variation eines externen Parameters durchgeführt und in CSV-Dateien abgespeichert werden. Auch eine automatische Korrektur des Integrator-Offsets ist möglich. Abbildung 6 zeigt als Messobjekt einen auf die ASIC Oberfläche aufgelegten Finger, bei dem klar die Linienstruktur erkennbar ist.

V. BEISPIELHAFT ANWENDUNGEN

Der ASIC mit dem Auswertesystem bietet eine Basis für die parallele Untersuchung einer großen Menge verschiedener biologischer Materialien. Durch die Messung des Stroms durch ein Material kann evaluiert werden, ob das Material für eine elektrochemische Reaktion zur Auswertung in der Medizin oder auch für eine elektrische Funktion z.B. als Solarzelle geeignet ist.

Da die Integrationskapazität in der Pixelzelle fest 730 fF beträgt, kann der Messbereich des Stromes nur durch die Integrationszeit festgelegt werden. Diese wird im vorliegenden Messsystem durch den μC und die darauf laufende Software auf Bereiche größer $1 \mu\text{s}$ begrenzt. Dadurch ergibt sich bei einer Referenzspannung von $2,5 \text{ V}$ ein Messbereich von $\pm 1,8 \mu\text{A}$, die mit einer durch den Analog-Digital-Wandler (ADC) im μC gegebenen Auflösung von 10 Bit digitalisiert wird. Abbildung 7 zeigt die Ansteuerung der Schaltung und den sich daraus ergebenden Signalverlauf in Form einer Simulation. Im Prinzip können die Ströme aller Elektroden gleichzeitig integriert werden und dann über die 10 Ausgänge sequentiell ausgelesen werden. Die ausgelesenen Werte können in Form einer Farbskala orts aufgelöst dargestellt (wie in Abbildung 6

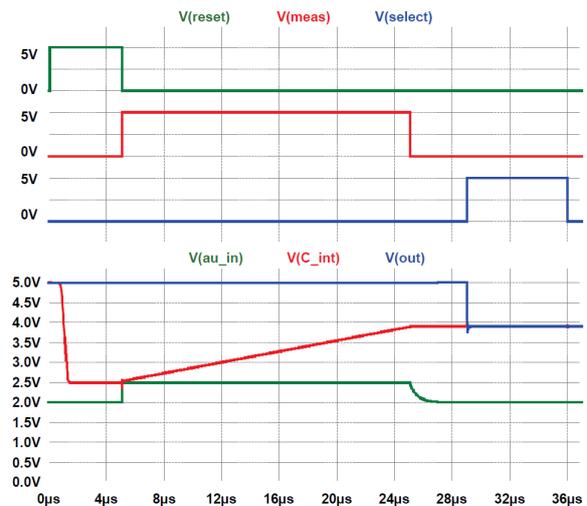


Abbildung 7. Oberes Teilbild: Ansteuerung des ASICs für eine Messperiode mit Zurücksetzen des Integrators (reset), Integration des Stromes (meas) und Durchschalten des Integratorwertes auf einen Ausgang. Unteres Teilbild: Spannung an der Au Elektrode (au_in), Spannung am Integrator-Ausgang (C_int) sowie am Chip-Ausgang (out) [8].

gezeigt) und als numerische Werte in Tabellenform gespeichert werden.

In [9] ist ein komplett neues Anwendungsfeld des ASICs dargestellt. Durch Modifikation der externen Ansteuerung kann der zeitliche Verlauf des Stromes nach einer impulsförmigen elektrischen Anregung mit einer Abtastrate von bis zu 10 MHz aufgezeichnet werden. Daraus lässt sich wiederum mit entsprechenden Rechenmethoden die frequenzabhängige Impedanz des zu untersuchenden Systems bis zu einer Frequenz von 1 MHz ermitteln. Man kann damit elektrochemische Impedanzspektroskopie (EIS) hochkanalig parallel an auf den Chip aufgebrachten biologischen Materialien, z.B. Zellen durchführen.

VI. ZUSAMMENFASSUNG UND AUSBLICK

Der ASIC mit dem Arduino-basierten Auswertesystem bietet eine Basis für die parallele Untersuchung einer großen Menge verschiedener biologischer Materialien. Durch die Messung des DC-Stromes durch ein Material kann u.a. evaluiert werden, ob das Material für eine elektrochemische Reaktion zur Auswertung in der Medizin oder auch für eine elektrische Funktion z.B. als Solarzelle geeignet ist. Beim Einsatz in einem Impedanz-Messsystem können Materialien orts aufgelöst und hoch parallel charakterisiert werden. Neben der bereits zitierten Anwendung [9] sind weitere Projekte in Planung.

DANKSAGUNGEN

Teile dieser Arbeit wurden mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 03EK3030D und der Europäischen

Union in Rahmen des FP7 Programmes (grant agreement N° 256672) gefördert.

Die Verantwortung für den Inhalt dieser Veröffentlichung liegt allein bei den Autoren.

Besonderer Dank gilt Prof. Frank Breitling, KIT IMT für die Initiierung und Leitung der oben genannten Projekte, Prof. U. Pliquett und seinen Mitarbeitern beim IBA Heiligenstadt für die neuartigen Messanwendungen sowie allen Kollegen bei IMS CHIPS für ihren Beitrag zur technologischen Umsetzung des ASICs.

LITERATURVERZEICHNIS

- [1] Loeffler F.L., et al. „High-flexibility combinatorial peptide synthesis with laser-based transfer of monomers in solid matrix material“, *Nature Communications* 7, Article number: 11844; doi:10.1038/ncomms11844, June 2016.
- [2] D. Seiz, H. Richter, „Entwicklung einer CMOS Pixelzelle zur Charakterisierung von Peptid-basierten Fotodioden“, *Tagungsband 48. MPC-Workshop 2012*, Aalen, Deutschland, pp. 9-16, . ISSN: 1868-9221, July 2012.
- [3] Data Sheet Mixed-Signal Gate Array, http://www.ims-chips.de/content/pdf/text/White_paper_MS_Array_09_11.pdf.
- [4] <https://store.arduino.cc/mega-2560-r3>.
- [5] http://www.atmel.com/Images/Atmel-2549-8-bit-AVR-Microcontroller-ATmega640-1280-1281-2560-2561_datasheet.pdf.
- [6] Yuchen Sun, *Entwicklung einer Auswertplattform für Sensorsignale aus Peptid Charakterisierungs-ASICs auf Basis eines Arduinobords*, M.S. Thesis, INES, Universität Stuttgart, 2015.
- [7] Richter, Harald , Schau, Michael, „Screening Chip“, *Schlussbericht zum Teilprojekt 4 im Verbundvorhaben Katalytische Synthese von Methan (KATMETHAN)*, TIB, Reportnr. / Förderkennzeichen: 03EK3030D, 01136006.
- [8] Daniel Seiz, *Entwicklung einer CMOS Pixelzelle zur Charakterisierung von Peptid-basierten Fotodioden*, Studienarbeit, Institut für Nano- und Mikroelektronische Systeme, Universität Stuttgart, 4. April 2012.
- [9] C. Gansauge, H. Richter, D. Catherall, U. Pliquett, „Aktives Elektrodenfeld für hochkanalige Impedanzdetektion“, *Proc. 19. Heiligenstädter Kolloquium*, D. Beckmann, S. Kaufhold (Hrsg.), ISBN 978-3-00-060656-4, S. 335-342, 2018.



Harald Richter erhielt den akademischen Grad Diplom-Physiker im Jahre 1980 von der Universität Kaiserslautern und promovierte 1983 an der Universität Stuttgart zum Dr. rer. nat.

Seit 1986 arbeitet er am Institut für Mikroelektronik Stuttgart. Seit 1996 leitet er den Bereich Systeme.



Christine Harendt promovierte 1987 an der Freien Universität Berlin in Physikalischer Chemie.

Seit 1988 ist sie am Institut für Mikroelektronik Stuttgart (IMS CHIPS) beschäftigt. Sie leitet dort das Geschäftsfeld Halbleiterintegration.



Bernd Leibold absolvierte 1985 das Studium im Fach Angewandte Chemie an der Fachhochschule für Technik und Wirtschaft Reutlingen.

Danach war er als wissenschaftlicher Mitarbeiter am Max-Planck-Institut für Festkörperforschung, Stuttgart tätig.

Seit 1999 ist er am Institut für Mikroelektronik Stuttgart beschäftigt und ist dort zuständig für die Silizium-Technologie.



Elisabeth Penteker erhielt den akademischen Grad des Dipl.-Ing. in Technologie der organischen Chemie im Jahr 1982 von der Universität Babes Bolyai in Klausenburg (Cluj Napoca). Danach war sie bis Ende 1985 bei den Firmen Colorom (Farben und Lacke) und Azuchemie (Pharmaindustrie) wissenschaftlich tätig.

Seit 1986 ist sie wissenschaftliche Angestellte bei IMS CHIPS und zuständig für Nasschemische Prozesse in der Si Technologie.



Michael Schau erhielt den akademischen Grad des Dipl.-Ing. in Elektrotechnik im Jahr 1988 von der Technischen Universität Karlsruhe.

Danach war er als wissenschaftlicher Mitarbeiter bei IMS CHIPS tätig. Von 1992 bis 1993 war er bei der Firma Tasking Software BV als Supportingenieuer und von 1994 bis 1995 bei der Firma Interkom als Schaltungsentwickler beschäftigt.

Seit 1996 ist er wieder bei IMS CHIPS in der Abteilung Sensorsysteme tätig.

Verstärker für Multielektrodenarrays

Marcio Camoleze de Andrade, Bernd Vettermann, Jürgen Giehl, Tobias Hemmerich

Zusammenfassung—Im Rahmen der BMBF-Förderung „Ingenieurnachwuchs“ soll ein neuartiges großflächiges flexibles Mikroelektrodenarray (MEA) in Chipkartengröße und mit hoher Elektrodendichte aufgebaut werden. Dazu haben sich die Hochschulen Furtwangen und Mannheim zusammengeschlossen.

In diesem Paper werden das Design und die Inbetriebnahme eines Operationsverstärkers vorgestellt, der in einer Vorverstärkerschaltung für Mikroelektrodenarrays (MEAs) angewendet werden kann. Der OP wurde in einer $0,35\ \mu\text{m}$ Technologie gefertigt und weist eine Open-Loop-Verstärkung über 120 dB auf. Die Offsetspannung liegt bei weniger als einem mV, während das Eingangsrauschen bei ca. $2,4\ \mu\text{V}_{\text{RMS}}$ liegt. Er besitzt ein GBW von ca. 10 MHz und ein PSRR von über 60 dB.

Schlüsselwörter—MEA, Medizintechnik, Neurochip, Bioamplifier

I. EINLEITUNG

Das Untersuchen des Nervensystems ist ein interessantes und vielversprechendes Forschungsgebiet. Dabei eröffnen sich Möglichkeiten wie Maschinen durch Biosignale zu steuern oder chronische Krankheiten gezielter zu behandeln. Parkinson oder Epilepsie, zum Beispiel, können unter anderem durch Tiefenhirnstimulation behandelt werden [1, 2]. Dabei werden elektrische Stromimpulse auf die neuronalen Zellen im Gehirn abgegeben.

Mikroelektrodenarrays [3]–[7] sind Schnittstellen, die Nervenzellen mit elektronischen Schaltungen verbinden können. Sie enthalten eine Vielzahl von Kontakt-Elektroden, durch die neuronale Zellsignale oder Muskelzellensignale elektrisch aufgenommen oder abgegeben werden können. Leider existieren diese bisher nur mit kleinen nutzbaren Flächen (wenige mm^2). Großflächige Elektrodenarrays (Fläche: einige cm^2), wie sie z.B. bei der Epilepsiediagnostik unter der Schädeldecke zum Einsatz kommen, haben hingegen nur eine geringe räumliche Auflösung, weil die Kontaktierung von einigen tausend Elektroden pro cm^2 technisch nicht möglich ist. [4, 8]

Es besteht für die Medizintechnik also eine klaffende Lücke zwischen hochintegrierten Neurochips mit hoher Elektrodendichte und großflächigeren flexiblen Elektrodenarrays mit ungenügender Ortsauflösung.

In diesem Projekt soll ein neuartiges großflächiges flexibles Elektrodenarray in Chipkartengröße in Kombination mit hoher Elektrodendichte aufgebaut werden.

Marcio Camoleze de Andrade, camoleze@hs-mannheim.de, Bernd Vettermann, b.vettermann@hs-mannheim.de, Jürgen Giehl, j.giehl@hs-mannheim.de, Tobias Hemmerich, tobias.hemmerich@exco.de, Hochschule Mannheim, Paul-Wittsack-Straße 10, 68163 Mannheim.

Das Elektrodenarray soll aus einzelnen Chips bestehen, die in eine flexible Matrix eingebettet sind, so dass das gesamte MEA flexibel ist. Die Chips sollen Vorverstärker enthalten, welche ihrerseits dicht an den Elektroden anliegen, damit ein gutes Signal-Rausch-Verhältnis bzw. eine gute Signalqualität erreicht wird. An diese Vorverstärker werden bestimmte Anforderungen gestellt, wie z.B. eine kleine Chipfläche, ein niedriges Eingangsrauschen, eine DC-Offset-Unterdrückung und eine geringe Leistungsaufnahme.

Mit dem Ziel zukünftig einen Vorverstärker für Multielektrodenarrays herzustellen, wurde ein Operationsverstärker entworfen und wichtige Eigenschaften ausgemessen.

A. Multielektrodenarrays

Nerven- oder Herzmuskelzellen werden häufig untersucht, indem deren elektrische Aktivität verifiziert wird, bekannt unter der Namen Elektrophysiologie. Es gibt verschiedene elektrophysiologische Methoden, die sich aufgrund der verwendeten Messverfahren und den zu analysierenden Zelltypen unterscheiden. Bekannte Untersuchungsmethoden sind beispielsweise die Elektroenzephalographie (EEG), die Elektrokortikographie (ECoG), die Elektrokardiographie (EKG) und die Elektromyographie (EMG). Um solche Methoden durchzuführen, werden bestimmte Geräte benötigt, welche die Aktivitäten der Zellen in elektrische Signale umsetzen können. Die Aktivitäten der Zellen können auf verschiedene Art und Weise untersucht werden, wie zum Beispiel durch die Patch-Clamp-Technik, die Ströme aus einzelnen Ionenkanälen herleiten kann, und durch Mikroelektroden, die Änderungen des elektrischen Feldes im Extrazellulärraum detektieren können. [9]

Mikroelektroden enthalten eine Vielzahl von Kontakt-Elektroden, welche die Zellsignale aufnehmen oder die Zelle stimulieren können. Die Kontakt-Elektroden können verschiedene spitze oder planare Formen haben. Die MEAs unterscheiden sich je nach Einsatzbereich in zwei Hauptkategorien: *in vitro* und *in vivo*. *In vitro* MEAs werden eingesetzt, um Signale aus einer Zellkultur zu untersuchen, wohingegen *in vivo* MEAs implantierbar sind bzw. direkt auf dem zu untersuchenden Gewebe, beispielsweise am Gehirn oder Herzen, platziert werden. *In vivo* MEAs müssen deshalb in der Regel strengeren Anforderungen genügen als *in vitro* MEAs. Aus diesem Grund erreichen sie höhere Auflösungen und erhalten mehr Elektroden per Array.

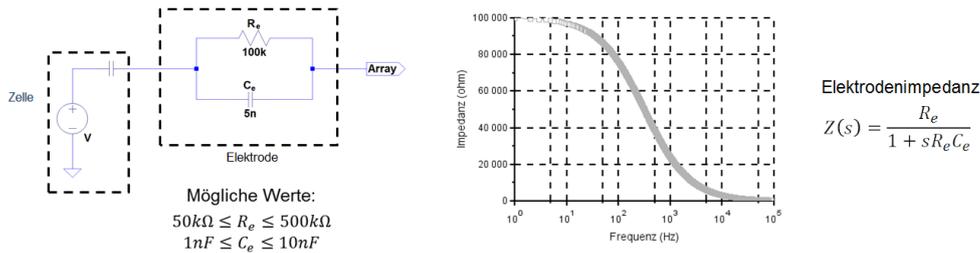


Abbildung 1. Ersatzschaltbild der Elektrode.

Tabelle I
 FREQUENZ- UND AMPLITUDENBEREICH VON VERSCHIEDENEN
 BIOSIGNALEN.

	Frequenz-Bereich	Amplitude-Bereich
EEG	0.01 Hz – 100 Hz	1 μ V – 100 μ V
EKG	0.05 Hz – 100 Hz	500 μ V – 10 mV
EMG	2 Hz – 500 Hz	50 μ V – 5 mV
AP	500 Hz – 10 kHz	10 μ V – 1 mV
LFP	0.1 Hz – 300 Hz	50 μ V – 5 mV

B. Biosignale

Die mit einem MEA aufgenommenen Signale werden auch als Biosignale bezeichnet. Biosignale sind elektrische Spannungen, die aus einer biologischen Aktivität entstehen. Sie unterscheiden sich hauptsächlich durch Amplitude und Frequenz.

Tabelle I zeigt zusammenfassend verschiedene Biosignale. Allgemein weisen solche Signale sehr kleine Amplituden auf und enthalten relativ niedrige Frequenzen. Die Signale können aufgrund elektrochemischer Reaktionen an der Gewebe-Elektroden-Schnittstelle [10] große DC-Offsetspannungen aufweisen, die bei einigen hundert Millivolt liegen können.

Bei der Untersuchung von Nervenzellen mithilfe eines MEAs, sind zwei Signale von Bedeutung: die Local Field Potentials (LFPs) und die Aktionspotentiale (APs) oder Spikes.

Die LFPs weisen kleine Amplituden auf und sind im Bereich niedrigerer Frequenzen von 0,1 Hz bis 300 Hz zu finden. Sie sind das Resultat der gleichzeitigen Aktivitäten von mehreren Nervenzellen und werden für die Untersuchung von Nervenzellengruppen analysiert. [11]

Die APs befinden sich in einem Bereich von ca. 500 Hz bis 10 kHz. Diese Signale weisen im Vergleich mit den LFPs eine höhere Frequenz auf und stammen aus einer einzelnen Nervenzelle. Aktionspotentiale sind kurze Änderungen des Membranpotentials erregbarer Zellen. Dies passiert, wenn ein bestimmtes Schwellenpotential überschritten wird. [9, 12]

Ein MEA kann Änderungen des elektrischen Feldes detektieren. Solche Änderungen werden durch die Bewegung von Ionen in der Gewebe-Elektroden-Schnittstelle verursacht. Da die Elektrode ansatzweise

wie eine Antenne bzw. wie eine Kapazität funktioniert, ist der Abstand zwischen Gewebe und Elektrode von großer Bedeutung für die empfangene Amplitude.

C. Elektroden

Die Elektroden in einem MEA spielen ebenfalls eine wichtige Rolle. Je nach Form, Größe oder Material verfügen die Elektroden über unterschiedliche Impedanzwerte oder können sich besser an die Umgebung anpassen.

Dabei sollten die Elektroden eine kleine Impedanz aufweisen, so dass ein höheres Signal-Rausch-Verhältnis (SNR) erreichbar ist. Dies gelingt dadurch, dass die Elektroden eine größere Fläche besitzen [12]. Der Nachteil hierbei ist, dass durch die größeren Elektroden eine kleinere Ortsauflösung erreicht werden kann.

Das bei einer Elektrode verwendete Material ist von großer Bedeutung. Da die Elektrode im Kontakt mit Gewebe ist und eventuell implantiert wird, muss das Material biokompatibel und stabil sein. Aus diesem Grund bestehen die Elektroden oft aus Titannitrid (TiN), Platin (Pt) oder Gold (Au).

Des Weiteren spielt die Form der Elektroden eine wesentliche Rolle bei der Qualität des empfangenen Signals. Deswegen können Elektroden verschiedene Anordnungen haben. Sie können beispielsweise pilzförmig, planar oder spitz sein. Das Ziel ist es, den Abstand zwischen den zu untersuchenden Zellen und den Elektroden zu verringern und dadurch bessere bzw. stärkere Signale zu empfangen. [13]

Damit die Signale elektronisch weiterverarbeitet werden können, muss zunächst die Elektrolyt-Elektrode-Schnittstelle moduliert werden. Das heißt, dass die Interaktionen zwischen Elektroden und der Umgebung durch elektrische Schaltungen umgesetzt werden bzw. ein Ersatzschaltbild für die elektrische Kopplung erstellt wird.

In Abbildung 1 ist eine vereinfachte Version des Ersatzschaltbildes einer Elektrode zu sehen. Häufig verfügt das Modell über einen seriellen Widerstand, dessen Wert aber im Vergleich mit der Impedanz aus dem RC-Glied niedrig ist, so dass er vernachlässigt werden kann. [14]

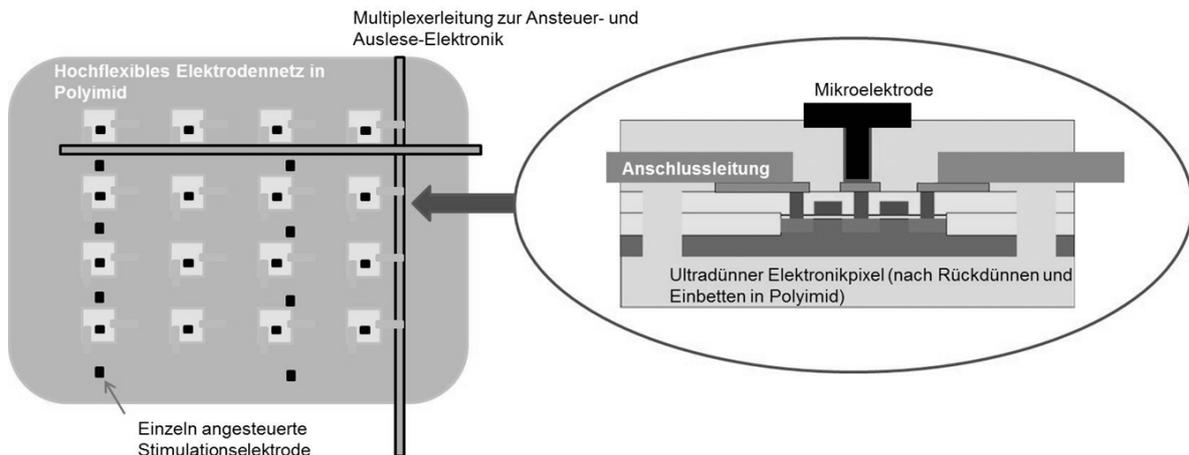


Abbildung 2. Querschnitt durch ein einzelnes Pixel eines Mikroelektrodenarrays (rechts) und schematische Anordnung als MEA (links).

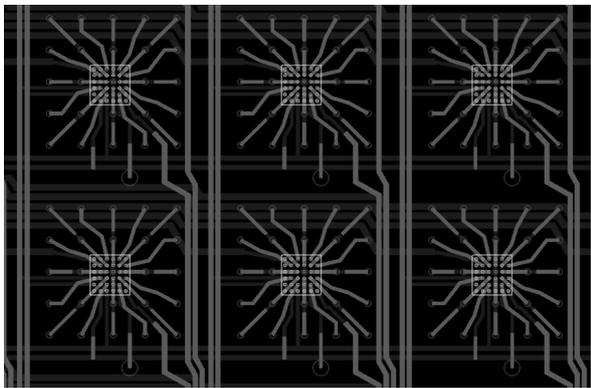


Abbildung 3. Ausschnitt des Mikroelektrodenarrays: Verdrahtung in der Polyimid-Schicht und Anordnung der Chips.

Die absoluten Werte des Widerstandes und der Kapazität können natürlich individuell für jede Elektrode abweichen, wie schon oben erwähnt wurde. Dabei ist es wichtig zu beachten, dass der Impedanzwert hoch und variabel ist, was für den nachfolgenden Verstärker besondere Anforderungen mit sich bringt.

D. Projekt Neuro-Flexarray

Im Rahmen der BMBF-Förderung „**Ingenieurnachwuchs**“ soll ein neuartiges großflächiges flexibles Mikroelektrodenarray in Chipkartengröße und mit hoher Elektrodendichte aufgebaut werden. Der prinzipielle Aufbau ist in Abbildung 2 gezeigt. Rechts ist der Querschnitt durch ein einzelnes Pixel dargestellt. Einzelne Halbleiter-Chips (blau) auf einem Silizium-Substrat werden über die Oberseite in Polyimid eingebettet und mechanisch verbunden. In der Polyimidschicht sind die einzelnen Integrierten Schaltkreise (ICs) elektrisch miteinander über Leiterbahnen verbunden. Die Flexibilität der Anordnung wird dank der Verwendung des Flexboardmaterials Polyimid erreicht. [15]

Die Elektroden ragen aus der Polyimidschicht heraus. Die Rückseite der Chips wird noch dünner ge-

schliffen und anschließend ebenfalls mit Polyimid und einer anorganischen Barrierschicht (Atomic Layer Deposition, ALD) in Multilagentechnik verkapselt, damit die Elektronik gegen den Einfluss von Körperflüssigkeiten geschützt ist. [15]

Bei den MEAs in diesem Projekt sitzt unter jeweils 25 Mikroelektroden ein eigener miniaturisierter dünner Vorverstärker-Chip, welcher das Auslesen der 25 Elektroden über eine Leitung nach außen durch Multiplexing ermöglicht. Diese Anordnung ist in Abbildung 3 [15] zu sehen.

II. BIOAMPLIFIER

Das von der Elektrode empfangene Signal muss so früh wie möglich verstärkt werden, damit ein vernünftiges SNR erreicht werden kann. Dafür wird ein sogenannter Bioamplifier benötigt. Der Bioamplifier ist ein Vorverstärker, der ein Biosignal verstärkt.

Die besonderen Eigenschaften der Elektroden und der Biosignale führen dazu, dass strenge Anforderungen an den Bioamplifier gestellt werden. Folgende Eigenschaften werden beim Entwurf des Verstärkers angestrebt: [10]

- Große Offsets unterdrücken
- Hohe Eingangsimpedanz
- Low-Power Verstärker
- Low-Noise Verstärker
- Geringe Chipfläche
- Filterung zwischen 0,1 Hz und 10 kHz

Die empfangenen Biosignale können Offsets bis einige Hundert Millivolt aufweisen, was verglichen mit den eigentlichen Signalen, die im Bereich von ca. $10 \mu\text{V}$ bis 10 mV liegen können [Tabelle I], sehr groß ist. Damit der Verstärker nicht übersteuert wird und dadurch das Signal verloren geht, müssen diese großen Offsets unterdrückt werden.

Da Elektroden eine relative hohe Impedanz haben, muss der Bioamplifier eine noch höhere Eingangsim-

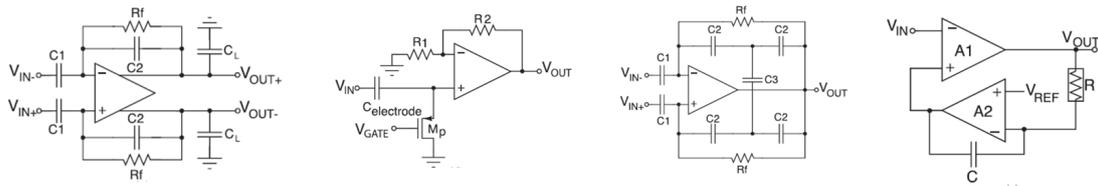


Abbildung 4. Verschiedene Bioamplifier-Schaltungen.

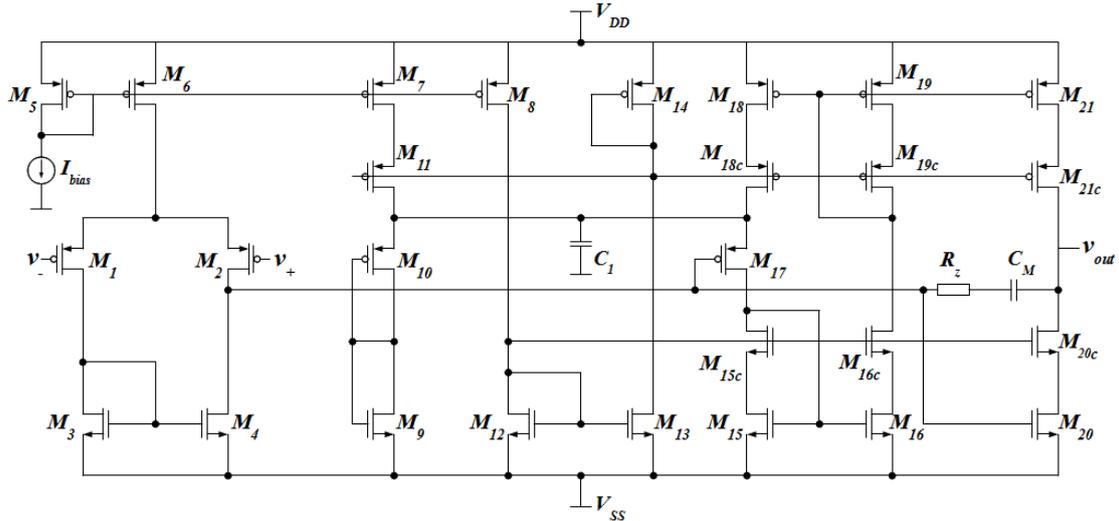


Abbildung 5. Operationsverstärker Schaltbild.

pedanz aufweisen, damit die schon schwachen Signale nicht am Eingang gedämpft werden. Die Impedanz einer Elektrode kann bis ca. 500 kΩ aufweisen. Deswegen muss die Eingangsimpedanz des Vorverstärkers im Bereich MΩ liegen.

Außerdem muss der Verstärker unbedingt leistungsarm sein, da die Wärmeenergie die zu untersuchen Zellen abtöten könnte. Die Leistungsdichte sollte 40 mW/cm² nicht überschreiten, was etwa einem Viertel der Energiedichte der Sonnenstrahlung entspricht. [16]

Darüber hinaus muss der Verstärker rauscharm sein, denn das Rauschen sollte niedriger sein als das Background-Rauschen der Zellen (< 10 μV_{RMS}). [17]

Je nachdem was für ein Signal zu untersuchen ist, muss ein Bandpassfilter eingesetzt werden. Falls beispielsweise LFPs und APs zu untersuchen sind, wird demzufolge eine Bandpass-Filterung zwischen 0.1 Hz und ca. 10 kHz benötigt.

Abschließend müsste die Schaltung so wenig Fläche wie möglich verbrauchen, so dass bessere Auflösungen durch eine höhere Elektrodendichte erreicht werden können.

Es existieren unterschiedliche Schaltkreise, die als Bioamplifier geeignet sind. In Abbildung 4 sind einige Beispiele von möglichen Bioamplifiern dargestellt.

Die Hochpassfilterung eines Bioamplifiers ist eine hohe Anforderung, da die mögliche Offsetspannung

sehr groß ist und die Biosignale sehr geringe Frequenzen erhalten. Um die Filterung zu ermöglichen, werden dafür hochohmige Widerstände eingesetzt, die durch den Einsatz von Pseudowiderständen und gesperrten Transistoren Fläche sparend auf dem Chip realisiert werden können. [17]

Abbildung 4 macht deutlich, dass bei allen abgebildeten Bioamplifiern der Operationsverstärker ein sehr wichtiges Bauteil ist. Dies hat zur Folge, dass beim Entwurf des Operationsverstärkers die bereits genannten Anforderungen berücksichtigt werden müssen.

III. DESIGN UND INBETRIEBNAHME DES OPERATIONSVERSTÄRKERS

A. Topologie und Dimensionierung

Mit dem Ziel zukünftig einen Bioamplifier zu entwerfen wurde im Rahmen des Projekts NeuroFlexarray ein Operationsverstärker in einer 0,35 μm CMOS-Technologie entwickelt und gefertigt.

Die Topologie des Operationsverstärkers ist in Abbildung 5 zu sehen. Es handelt sich um einen zweistufigen Klasse-AB-Verstärker mit Miller-Kompensation.

Die Eingangsstufe wurde so dimensioniert, dass das gesamte Eingangsrauschen des Verstärkers zwischen 0.1 Hz und 10 kHz kleiner als 10 μV_{RMS} ist. In Tabelle II sind die Dimensionen aller zum Operationsverstärker zugehörigen Bauteile dargestellt.

Tabelle II
DIMENSIONEN DER BAUTEILE.

Bauteil	W / L [$\mu\text{m}/\mu\text{m}$]	Bauteil	W / L [$\mu\text{m}/\mu\text{m}$]
M1, M2	160 / 1,5	M15	1,2 / 0,55
M3, M4	10 / 20	M16	2,4 / 0,55
M5	4 / 3	M16c	2,4 / 0,35
M6	40 / 3	M18	4,5 / 0,55
M7	16 / 3	M18c	4,5 / 0,35
M8	12 / 3	M19	9 / 0,55
M9	1,2 / 0,55	M20	14,4 / 0,55
M10, M17	7,5 / 0,55	M20c	14,4 / 0,35
M11, M19c	9 / 0,35	M21	54 / 0,55
M12, M13	2 / 10	M21c	54/0,35
M14	4 / 4		

Bauteil	Parameter	Bauteil	Parameter
C_M	0,86 pF	R_Z	11 k Ω
C_1	0,7 pF		

MOS-Transistoren haben hauptsächlich zwei Arten von Rauschen, das weiße Rauschen und das $1/f$ -Rauschen. Während das weiße Rauschen ein konstantes Leistungsdichtespektrum hat, weist das $1/f$ -Rauschen bei niedrigen Frequenzen eine höhere spektrale Leistungsdichte auf [18]. Aus diesem Grund ist es wichtig, dass das $1/f$ -Rauschen gering ist, da sich die zu untersuchenden Biosignale im niedrigen Frequenzbereich befinden. Um dies zu ermöglichen, muss zunächst das Rauschen analysiert und dabei festgestellt werden, in welchen Bereichen die Schaltung angepasst werden muss.

Hauptrauschquellen sind die Transistoren der Eingangsdifferenzstufe M1 – M4. Vorausgesetzt, dass das Rauschen von M1 und M2 sowie von M3 und M4 jeweils gleich ist, beträgt das äquivalente Eingangsrauschen des Operationsverstärkers (1):

$$e_{eq}^2 \approx 2e_{n1}^2 \left[1 + \left(\frac{g_{m3}}{g_{m1}} \right)^2 \left(\frac{e_{n3}^2}{e_{n1}^2} \right) \right] \quad (1)$$

In Formel (1) spiegelt sich die Bedeutung der Eingangstransistoren M1, M2, M3 und M4 für das gesamte Eingangsrauschen wider. Mithilfe dieser allgemeinen Formel lässt sich das Eingangsrauschen berechnen, das heißt, dass sie sowohl für das weiße Rauschen als auch das $1/f$ -Rauschen verwendet werden kann. Um den Beitrag vom $1/f$ -Rauschen genauer zu untersuchen, werden die Rauschquellen durch die folgende Gleichung (2) ersetzt:

$$e_{ni}^2 = \frac{B}{fW_iL_i} \quad (\text{V}^2/\text{Hz}) \quad (2)$$

Gleichung (2) modelliert das $1/f$ -Rauschen eines MOS-Transistors. Zu beachten ist dabei, dass je größer

die Fläche $W \cdot L$ ist, desto geringer ist das gesamte $1/f$ -Rauschen. Dies hat zur Folge, dass die Eingangstransistoren großflächig werden, was in der Tabelle II erkennbar ist. Der Faktor B ist abhängig vom Transistortyp und der Technologie. Grundsätzlich gilt jedoch beim $1/f$ -Rauschen, dass bei gleicher Skalierung PMOS- weniger als NMOS-Transistoren rauschen bzw. der Faktor B kleiner ist. Einsetzen der Formel (2) in (1) liefert die folgende Gleichung (3):

$$e_{eq}^2 = 2e_{n1}^2 \left[1 + \left(\frac{K'_N B_N}{K'_P B_P} \right) \left(\frac{L_1}{L_3} \right)^2 \right] (\text{V}^2/\text{Hz}) \quad (3)$$

Gleichung (3) beschreibt das $1/f$ -Eingangsrauschen des Operationsverstärkers. Der Faktor K'_i ist der Leitwertparameter (*process transconductance*) und ist wie der Faktor B abhängig vom Transistortyp und der Technologie. Es wurde angenommen, dass $g_{mi} = \sqrt{2I_{di}W_i/L_i}K'_i$ ist und die Ströme I_d durch die Transistoren M1-M4 gleich sind. Durch Analyse der Gleichung lässt sich feststellen, dass nicht nur die großflächigen Transistoren sondern auch das Verhältnis der entsprechenden Längen eine entscheidende Rolle für das Eingangsrauschen spielen. Darüber hinaus wurden PMOS-Transistoren am Eingang eingesetzt, was eine positive Wirkung auf das gesamte Eingangsrauschen hat.

$$e_{ni}^2 = \frac{8kT}{3g_m} \quad (\text{V}^2/\text{Hz}) \quad (4)$$

Zum $1/f$ -Rauschen kommt noch das weiße Rauschen hinzu (Formel (4)). Die Übertragung des weißen Rauschens wird ebenfalls durch Formel (2) beschrieben [18]. Der simulierte Effektivwert des Rauschens zwischen 0.1 Hz und 10 kHz beträgt ca. $2.0 \mu\text{V}_{\text{RMS}}$. Die gemessene spektrale Verteilung des Rauschens ist in Abbildung 11 gezeigt. Das $1/f$ -Rauschen ist am 10 dB/Dekade-Gefälle der Kurve zu erkennen.

Die zweite Stufe des OPs wurde als Klasse-AB-Stufe realisiert. Die Transistoren M9, M10 bilden eine Replika von M20, M17, um den Ruhestrom einzustellen. Die Rückkopplung erfolgt über M11. Weiterhin wurde die Ausgangsstufe des OPs als Kaskode ausgeführt, sodass eine hohe Open-Loop-Verstärkung erreicht wird. Die für die Kaskode-Schaltungen benötigten Bias-Spannungen sind intern generiert (M8 und M12-M14).

B. Layout

Das Layout des Operationsverstärkers wurde mithilfe des Mentor Pyxis-IC-Tools erstellt. Dazu wurden insgesamt zwei Metalllagen für die Verdrahtung verwendet.

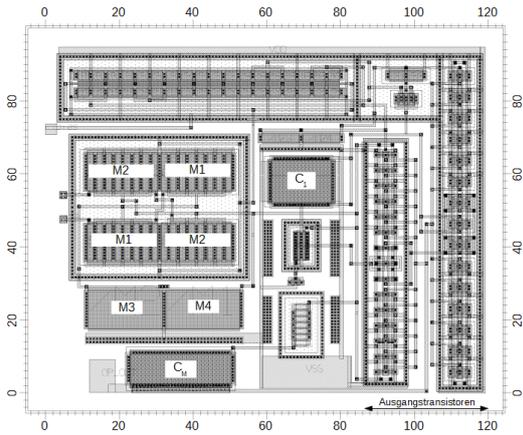


Abbildung 6. Layout des Operationsverstärkers.

Um die Schaltung beispielsweise vor Prozessschwankungen, verschiedenen Temperaturgradienten oder mechanischem Stress zu schützen, wurde durch Common-Centroid-Layout Matching zwischen bestimmten Bauteilen realisiert.

In Abbildung 6 ist das gesamte Layout dargestellt. Mittig links befinden sich die Eingangstransistoren des Differenzverstärkers. Auf der rechten Seite sind die Transistoren der Ausgangsstufe abgebildet. Unten links ist die Millerkapazität zu sehen. Um Fläche zu sparen, wurden für die Kapazitäten Diffusionskapazitäten benutzt. Das gesamte Layout beträgt ca. $120 \times 95 \mu\text{m}^2$.

C. Messungen

Die gefertigten Chips mit dem Operationsverstärker wurden in ein CPG064-Gehäuse montiert und abschließend ausgemessen. Folgende Eigenschaften wurden dabei verifiziert: die Open-Loop- und die Closed-Loop-Verstärkung, das Verstärkungs-Bandbreite-Produkt (GBW), die Leistungsaufnahme, der DC-Offset, der THD und der Versorgungsspannungsdurchgriff (PSRR).

Für die Inbetriebnahme des Chips wurde eine Platine gefertigt, die einen Stecksockel für alle 64 Pads enthält. Die zusätzlichen Bauteile, zum Beispiel Operationsverstärker, die das Signal weiterverarbeiten, wurden auf einem Steckbrett angeschlossen und anschließend mit dem Chip auf der Platine verbunden. Um Störungen zu vermeiden, wurde der Verstärker mit Batterien betrieben. In Abbildung 7 ist der Messaufbau dargestellt.

1) *Leistungsaufnahme:* Zunächst wurde die Leistungsaufnahme des Chips verifiziert. Es ist von großer Bedeutung, dass die Leistungsaufnahme des Operationsverstärkers gering ist, da die Hitze aus dem Bioamplifier Zellen abtöten kann. [10]

Für die Messung der Leistungsaufnahme des OPs wurde dieser mit einem Biasstrom von $1 \mu\text{A}$ versorgt und als Spannungsfolger angeschlossen. Die Versorgungsspannung wurde mithilfe des SourceMeter 2450 von Keithley generiert und der gelieferte Strom direkt

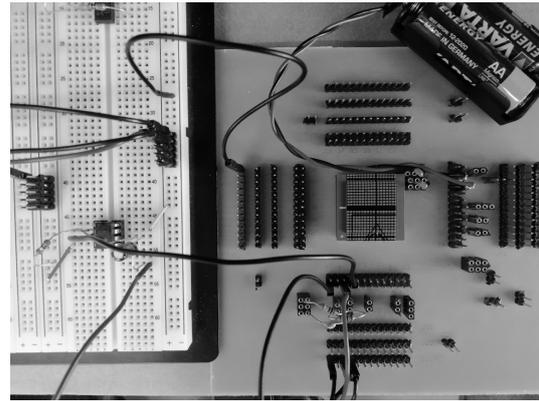


Abbildung 7. Messaufbau für die Inbetriebnahme des Chips.

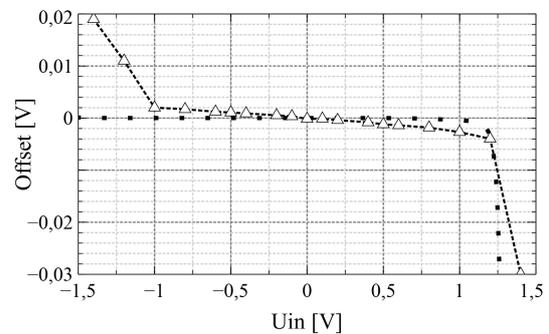


Abbildung 8. Vergleich zwischen dem simulierten (■-■-■) und dem gemessenen (Δ---Δ) Offset des Operationsverstärkers.

abgelesen. Um die Leistung zu berechnen, wurde die abgelesene Stromaufnahme mit der Versorgungsspannung multipliziert.

Bei einer Versorgungsspannung von 3 V wurde eine Stromaufnahme von $86 \mu\text{A}$ gemessen gegenüber einem simulierten Wert von $78 \mu\text{A}$. Dies entspricht einer gemessenen Leistung von $258 \mu\text{W}$ gegenüber $235 \mu\text{W}$ aus der Simulation.

2) *DC-Offset:* Für die Messung des Offsets wurde ein ähnlicher Aufbau wie bei der Leistungsaufnahme verwendet. Der OP wurde als Spannungsfolger angeschlossen und es wurden verschiedene Eingangsspannungswerte eingespeist. Dabei wurde die Ausgangsspannung abgelesen und die Differenz zum Eingang als Offset erstellt. Der gemessene Offset bleibt im Arbeitsbereich unterhalb von 1 mV. Beispielsweise liegt er bei einer Eingangsspannung von 0 V bei 0,15 mV. In Abbildung 8 ist der Vergleich zwischen simulierter und gemessener Offsetspannung dargestellt.

3) *AC-Verhalten:* Zur Untersuchung des Übertragungsverhaltens müssen die Leerlaufverstärkung, also die maximale Verstärkung, die der OP leisten kann, und die Transitfrequenz, beziehungsweise GBW ermittelt werden.

Dies muss jedoch durch unterschiedliche Messverfahren geschehen, da die Leerlaufverstärkung des OPs

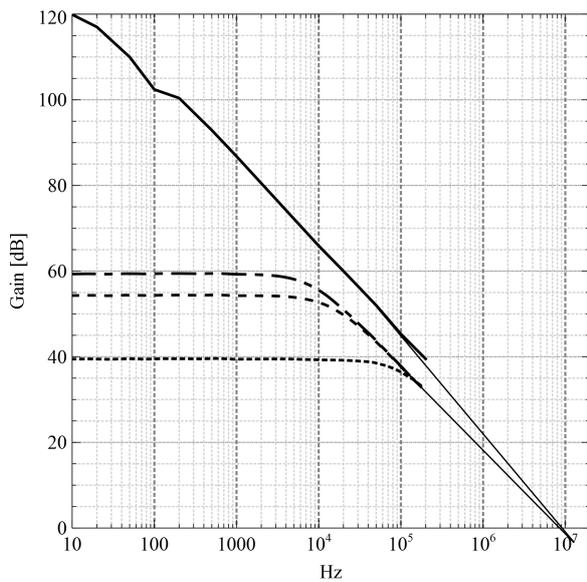


Abbildung 9. Gemessenes AC-Verhalten. Die Kurven zeigen die Open-Loop-Verstärkung (—) und die Closed-Loop-Verstärkung bei 60 dB (— — —), 54 dB (— · — ·) und 40 dB (— · · — ·). Die Kurven wurden oberhalb 200 kHz zur Bestimmung des GBW graphisch verlängert.

so groß ist, dass es nicht möglich ist, diese am unbechalteten OP zu messen.

Um die Open-Loop-Verstärkung zu bestimmen, wurde der OP als invertierender Verstärker mit einem Verstärkungsfaktor von 10 beschaltet. Am Eingang wurde ein sinusförmiges Signal eingespeist, dessen Frequenz variiert wurde. Nun wurde die Spannung am negativen Eingang und am Ausgang des OPs gemessen.

Im Anschluss wurde die Closed-Loop-Verstärkung des OPs ermittelt. Die Messung wurde drei Mal mit unterschiedlichen Verstärkungsfaktoren (100, 500, 1000) durchgeführt. Auch hier wurde der OP als invertierender Verstärker beschaltet.

In Abbildung 9 sind die drei gemessenen Frequenzgänge des OPs bei einer Verstärkung von 1000 (60 dB), 500 (54 dB) und 100 (40 dB) zu sehen. Diese werden mit dem gemessenen Frequenzgang der Leerlaufverstärkung verglichen. Mit den vorhandenen Messgeräten war es lediglich möglich einen Frequenzbereich zwischen 10 Hz und 200 kHz abzubilden. Aus diesem Grund ist es noch nicht erkennbar, wo die Transitfrequenz liegt. Diese lässt sich jedoch näherungsweise graphisch durch Extrapolation bestimmen. Es ergibt sich ein Wert von ca. 8 MHz, was dem simulierten Wert von ca. 10 MHz nahe kommt.

4) *Rauschen*: Die Eingangsstufe des Operationsverstärkers wurde so dimensioniert, dass das $1/f$ -Rauschen gering ist. Das gesamte Rauschen in einer Bandbreite von 0.1 Hz bis 10 kHz soll $10 \mu\text{V}_{\text{RMS}}$ nicht überschreiten.

Da manche Messgeräte nicht die nötigen Eigenschaften besitzen, um niedrige Werte des Rauschens

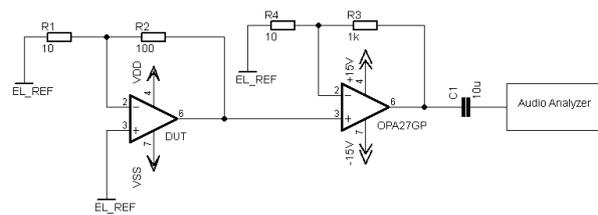


Abbildung 10. Schaltbild zur Messung des Rauschens.

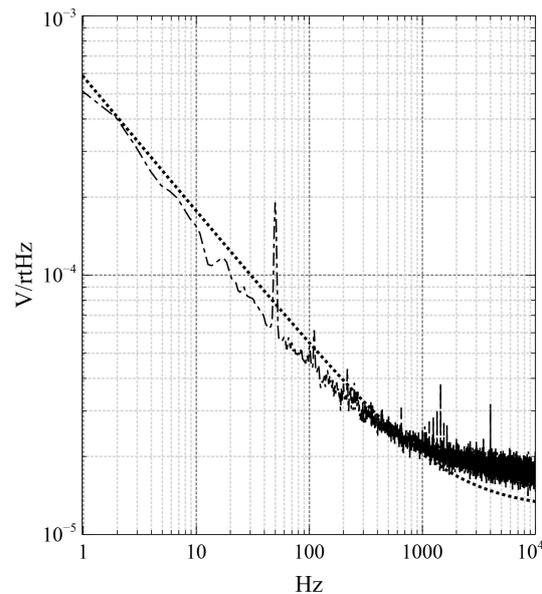


Abbildung 11. Vergleich zwischen dem gemessenen (---) und dem simulierten (.....) Eingangsrauschen des Operationsverstärkers. Das Rauschen wurde mit einem Faktor 1000 verstärkt.

zu messen, wurde das Rauschen des zu messenden Operationsverstärkers verstärkt und somit die Messung ermöglicht. Das gesamte Schaltbild ist in Abbildung 10 dargestellt.

In der ersten Stufe ist der OP auf dem Test-Chip als invertierender Verstärker beschaltet und besitzt mit den verwendeten Widerständen eine Verstärkung von 10. Die Widerstände wurden niedrig gewählt, um den Einfluss des thermischen Rauschens möglichst gering zu halten. Da beide Eingänge des OPs auf Masse bzw. virtueller Masse liegen, werden nur das Rauschsignal und die Offsetspannung verstärkt.

Für die zweite Stufe wurde ein kommerzieller, rauscharmer OP mit einer größeren Bandbreite verwendet. Er ist ebenfalls als invertierender Verstärker beschaltet und besitzt eine Verstärkung von 100.

Der Kondensator $C1$ dient zur Eliminierung des DC-Offsets des zweiten Verstärkers. Diese AC-Kopplung ist nötig, da der Offset, verglichen mit dem Rauschsignal, zu groß ist. Zusammen mit der Eingangsimpedanz des Audio-Analyzers bildet der Kondensator einen Hochpass, der wichtig für die Messung des $1/f$ -Rauschens ist.

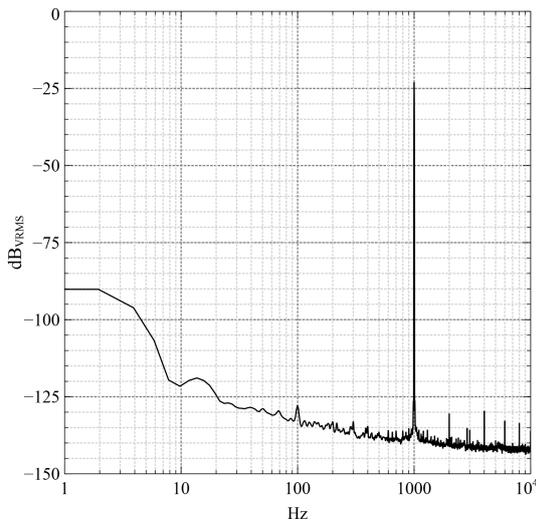


Abbildung 12. Gemessener THD des Operationsverstärkers für ein Eingangssignal mit einer Amplitude von 100 mV_p und einer Frequenz von 1 kHz .

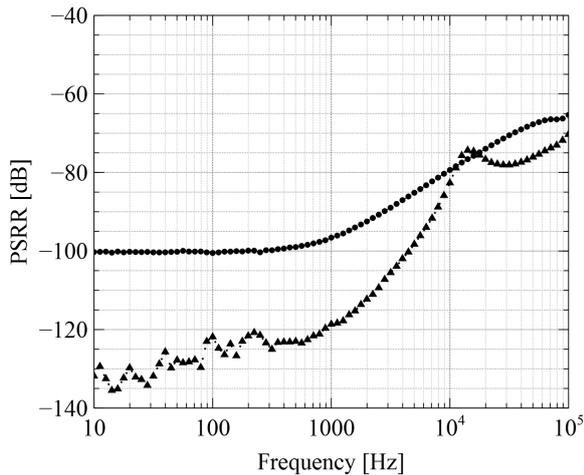


Abbildung 13. Messergebnis des PSRR. Die Kurven zeigen die Übertragung der Versorgungsspannung am Ausgang, wenn die positive (▲) und die negative (●) Versorgungsspannung variieren.

Die Messung des Eingangsrauschens mit dem Faktor 1000 ist auf der Abbildung 11 zu sehen. Der Effektivwert zwischen 0.1 Hz und 10 kHz beträgt $2.4\text{ }\mu\text{V}_{\text{RMS}}$ wohingegen die Simulation einen Wert von ca. $2.0\text{ }\mu\text{V}_{\text{RMS}}$ ergibt.

5) *THD*: Um den Dynamikbereich eines OPs zu definieren, wird der Parameter *Total Harmonic Distortion* (THD) bestimmt. Er beschreibt die Verzerrung eines harmonischen Signals. Bei seiner Messung spielen harmonische Anteile, die durch die Nichtlinearität eines OPs entstehen, eine Rolle.

Zur Messung des THD wurde der OP erneut als Spannungsfolger beschaltet. Das Eingangssignal am positiven Eingang ist in diesem Fall ein Sinus mit einer Frequenz von 1 kHz .

Tabelle III
SPEZIFIKATION DES OPERATIONSVERSTÄRKERS.

Parameter	Simulation	Messung
Versorgungsspannung	$\pm 1,5\text{ V}$	$\pm 1,5\text{ V}$
Stromaufnahme	$78\text{ }\mu\text{A}$	$86\text{ }\mu\text{A}$
DC-Offset	$0,172\text{ mV}$	$0,15\text{ mV}$
Verstärkung	$122,1\text{ dB}$	$120,8\text{ dB}$
GBW	$10,8\text{ MHz}$	$8,5\text{ MHz}$
PSRR (bis 10 kHz)	$\geq 68\text{ dB}$	$\geq 65\text{ dB}$
Rauschen ($0,1\text{ Hz} - 10\text{ kHz}$)	$2,05\text{ }\mu\text{V}_{\text{RMS}}$	$2,4\text{ }\mu\text{V}_{\text{RMS}}$
THD (@ 1 kHz)	$-120,26\text{ dB}$	$-102,38\text{ dB}$
Fläche	-	$0,0114\text{ mm}^2$

Für ein Eingangssignal von 100 mV_p wurde ein THD von -102 dB gemessen. Das Ergebnis ist in Abbildung 12 zu sehen.

6) *PSRR*: Der Versorgungsspannungsdurchgriff oder auch *Power Supply Rejection Ratio* (PSRR) beschreibt, wie stark der Einfluss einer Änderung der Versorgungsspannung auf die Ausgangsspannung ist. Wird die Versorgungsspannung durch Störungen, wie beispielsweise Rauschen oder die Netzfrequenz, beeinflusst, sollte der Ausgang dennoch unverändert bleiben.

Das PSRR kann unterschiedliche Werte aufweisen. Je nachdem, ob die positive oder die negative Versorgungsspannung variiert wird, entstehen so verschiedene Verläufe PSRR+ und PSRR-.

Zur Untersuchung des PSRR wurde ein sinusförmiges Signal an der Versorgungsspannung des Chips eingespeist. Der Operationsverstärker wurde als Spannungsfolger beschaltet und seine Ausgangsspannung wurde gemessen. Das Verhältnis zwischen Ausgangs- und Versorgungsspannung wurde als PSRR definiert und ist in Abbildung 13 zu sehen. Die Kurven zeigen eine Dämpfung von mindestens ca. 100 dB im tieferen Frequenzbereich und größer als 65 dB im Bereich unter 10 kHz .

D. Spezifikation

Damit der Operationsverstärker in einer Bioamplifier-Schaltung angewendet werden kann, sind bestimmte Voraussetzungen notwendig. Bei dem entworfenen Operationsverstärker wurde verstärkt darauf geachtet, dass das Eingangsrauschen gering ist. Des Weiteren wurden die gesamte Fläche und der Stromverbrauch möglichst klein gehalten.

In Tabelle III sind die gesamten gemessenen Eigenschaften des Operationsverstärkers zusammengefasst und werden mit dem entsprechenden simulierten Wert verglichen. Es zeigt sich, dass die gemessenen Eigenschaften des Operationsverstärkers gut mit den Ergebnissen der Simulationen überein stimmen. Dies deutet darauf hin, dass der entworfene Operationsverstärker für die Anwendung in einer Bioamplifier-Schaltung geeignet ist.

IV. FAZIT

Es wurden sowohl Entwurf und Inbetriebnahme eines Operationsverstärkers als auch seine Spezifikation vorgestellt. Es ist zu bemerken, dass der entwickelte Operationsverstärker die Voraussetzungen erfüllt, um als Bauteil eines Bioamplifiers eingesetzt zu werden.

In einem weiteren Schritt des Projekts „Neuro-Flexarray“ ist geplant, einen Bioamplifier für Multielektrodenarrays mit dem vorgestellten Operationsverstärker aufzubauen.

DANKSAGUNGEN

Die Autoren bedanken sich für die finanzielle Unterstützung des Projektes Neuro-Flexarray im Rahmen des Förderschwerpunktes „**Ingenieurnachwuchs**“ des Bundesministeriums für Bildung und Forschung (BMBF) (FKZ: **13FH031IB5** und **13FH031IA5**).

LITERATURVERZEICHNIS

- [1] T. Loddenkemper et al., „Deep Brain Stimulation in Epilepsy“, *Journal of Clinical Neurophysiology*, Jg. 18, Nr. 6, S. 514–532, 2001.
- [2] A. Machado et al., „Deep Brain Stimulation for Parkinson’s Disease: Surgical Technique and Perioperative Management“ (eng), *Movement disorders : Official Journal of the Movement Disorder Society*, 21 Suppl 14, S247-58, 2006.
- [3] B. Ghane-Motlagh und M. Sawan, „A Review of Microelectrode Array Technologies: Design and Implementation Challenges“ in *2013 2nd International Conference on Advances in Biomedical Engineering (ICABME): 11 - 13 Sept. 2013, Tripoli, Lebanon*, Tripoli, Lebanon, 2013, S. 38–41.
- [4] J. Viventi et al., „A Conformal, Bio-Interfaced Class of Silicon Electronics for Mapping Cardiac Electrophysiology“ (eng), *Science Translational Medicine*, Jg. 2, Nr. 24, 24ra22, 2010.
- [5] M. A. Escabí et al., „A high-density, high-channel count, multiplexed μ ECoG array for auditory-cortex recordings“ (eng), *Journal of Neurophysiology*, Jg. 112, Nr. 6, S. 1566–1583, 2014.
- [6] F. Heer et al., „CMOS microelectrode array for the monitoring of electrogenic cells“ (eng), *Biosensors & Bioelectronics*, Jg. 20, Nr. 2, S. 358–366, 2004.
- [7] D. R. Kipke, R. J. Vetter, J. C. Williams und J. F. Hetke, „Silicon-substrate Intracortical Microelectrode Arrays for Long-Term Recording of Neuronal Spike Activity in Cerebral Cortex“ (eng), *IEEE Transactions on Neural Systems and Rehabilitation Engineering : a publication of the IEEE Engineering in Medicine and Biology Society*, Jg. 11, Nr. 2, S. 151–155, 2003.
- [8] C. Thomasjr, P. Sringer, G. Loeb, Y. Berwaldnetter und L. Okun, „A Miniature Microelectrode Array to Monitor the Bioelectric Activity of Cultured Cells“, *Experimental Cell Research*, Jg. 74, Nr. 1, S. 61–66, 1972.
- [9] A. Hierlemann, U. Frey, S. Hafizovic und F. Heer, „Growing Cells Atop Microelectronic Chips: Interfacing Electrogenic Cells In Vitro With CMOS-Based Microelectrode Arrays“, *Proc. IEEE*, Jg. 99, Nr. 2, S. 252–284, 2011.
- [10] R. R. Harrison, „The Design of Integrated Circuits to Observe Brain Activity“, *Proc. IEEE*, Jg. 96, Nr. 7, S. 1203–1216, 2008.
- [11] O. Herreras, „Local Field Potentials: Myths and Misunderstandings“ (eng), *Frontiers in Neural Circuits*, Jg. 10, S. 101, 2016.
- [12] M. E. J. Obien, K. Deligkaris, T. Bullmann, D. J. Bakkum und U. Frey, „Revealing neuronal function through microelectrode array recordings“ (eng), *Frontiers in Neuroscience*, Jg. 8, S. 423, 2014.
- [13] A. Hai, J. Shappir und M. E. Spira, „In-cell recordings by extracellular microelectrodes“ (eng), *Nature Methods*, Jg. 7, Nr. 3, S. 200–202, 2010.

- [14] W. Franks, I. Schenker, P. Schmutz und A. Hierlemann, „Impedance Characterization and Modeling of Electrodes for Biomedical Applications“ (eng), *IEEE Transactions on Bio-Medical Engineering*, Jg. 52, Nr. 7, S. 1295–1302, 2005.
- [15] A. Heid, L. Bleck, R. v. Metzzen und V. Bucher, „A demonstrator for a flexible active microelectrode array with high electrode number“, *Current Directions in Biomedical Engineering*, Jg. 4, Nr. 1, S. 279–282, 2018.
- [16] K. A. Ng, E. Greenwald, Y. P. Xu und N. V. Thakor, „Implantable neurotechnologies: A review of integrated circuit neural amplifiers“ (eng), *Medical & Biological Engineering & Computing*, Jg. 54, Nr. 1, S. 45–62, 2016.
- [17] R. R. Harrison und C. Charles, „A Low-Power Low-Noise CMOS Amplifier for Neural Recording Applications“, *IEEE J. Solid-State Circuits*, Jg. 38, Nr. 6, S. 958–965, 2003.
- [18] P. E. Allen und D. R. Holberg, *CMOS Analog Circuit Design*, 2. Aufl. New York: Oxford Univ. Press, 2002.



Marcio Camoleze de Andrade erhielt den akademischen Grad des Diplomingenieurs von der Universidade Federal de Fluminense in Brasilien im Jahr 2011 und den Master of Science an der Hochschule Mannheim im Jahr 2014. Aktuell arbeitet er dort als wissenschaftlicher Mitarbeiter am Institut für Entwurf integrierter Schaltkreise im Rahmen eines BMBF-Projektes zur Realisierung von Mikroelektrodenarrays auf flexiblem Silizium.



Bernd Vettermann ist seit 1994 an der Hochschule Mannheim im Institut für integrierte Schaltkreise als Ingenieur tätig. Er erhielt 2006 von der Universität Mannheim den akademischen Grad eines Doktors der Naturwissenschaften.



integrierter Schaltkreise an der Hochschule Mannheim.

Jürgen Giehl erhielt den akademischen Grad Diplom-Physiker 1990 von der Johannes-Gutenberg-Universität Mainz und den Dr.-Ing. in Elektrotechnik von der Universität Siegen im Jahr 1997. Von 1997 bis 2007 hat er bei ITT Semiconductors (seit 1998 Micronas GmbH, heute TDK-Micronas GmbH) in Freiburg i. Breisgau als Projektmanager und Designer für analoge Schaltungen gearbeitet. Seit 2007 ist er Professor mit Lehrgebiet Entwurf



Tobias Hemmerich erhielt den akademischen Grad Master of Science in Informatik im Jahr 2018 an der Hochschule Mannheim. Aktuell arbeitet er als Hardware-Entwicklungsingenieur bei EXCO in Frankenthal.

Entwurf und Realisierung eines echtzeitfähigen KNX-Gateway-Moduls

Ingo Stutz, Gregor Burmberger

Zusammenfassung—KNX ist ein Feldbussystem, das in der Gebäudeautomation eingesetzt wird. Im Gegensatz zur klassischen Hausinstallationstechnik wird bei KNX die Steuerfunktionalität von der Energieverteilung getrennt. Dadurch können übergeordnete Funktionen, wie zentrales Schalten mit geringem Aufwand realisiert werden. Für die Herstellung von KNX-Geräten muss die Mitgliedschaft in der KNX-Association beantragt werden. Demnach ist der angebotene Funktionsumfang des Systems beschränkt auf die käuflich zu erwerbenden Geräte.

Diese Arbeit beschreibt die Entwicklung eines echtzeitfähigen KNX-Gateway-Moduls mit zugehöriger Einrichtungssoftware, welches im Stande ist mit dem bestehenden KNX-System zu interagieren. Darüber hinaus werden ein neuer konzeptioneller Ansatz für die Programmierung von KNX-Geräten diskutiert sowie die bestehenden KNX Open-Source-Projekte vorgestellt.

Schlüsselwörter—KNX, Open Source, Real-time

I. EINLEITUNG

Der Einsatz intelligenter Bussysteme in Gebäuden ermöglicht es deren Eigenschaften in den Bereichen Betriebskosten, Sicherheit und Flexibilität der Nutzung sowie Energieeffizienz und Komfort zu verbessern. Ein weit verbreiteter Standard in diesem Segment stellt KNX dar. Für die Herstellung neuer KNX-Geräte muss eine Mitgliedschaft in der KNX-Nutzergruppe beantragt werden. Dies gelingt aufgrund hoher Kosten lediglich Großkonzernen und kommerziellen Betrieben. In dieser Arbeit wird, aufbauend auf der bestehenden KNX Infrastruktur, ein Ansatz vorgestellt, welcher es dem Nutzer ermöglicht echtzeitfähige KNX-Applikationen zu entwickeln und in das bestehende System einzubinden.

In Kapitel II werden hierzu die wesentlichen Grundlagen zu KNX erklärt. Anschließend liefert Kapitel III einen Überblick über die bestehenden KNX Open-Source-Projekte. Kapitel IV stellt den Open-Source-Gedanke der bisherigen KNX-Philosophie gegenüber. In Kapitel V wird eine neuer konzeptioneller Plattform-Ansatz zur Programmierung und Parametrisierung von KNX-Geräten vorgestellt. Kapitel VI zeigt hierzu eine vorbereitende Arbeit, in der ein echtzeitfähiges KNX-Gateway-Modul realisiert wurde, das zusammen mit herkömmlich parametrisierten KNX-Teilnehmern interagiert. Kapitel VII schließt die Ausarbeitung mit einem Ausblick ab.

B. Eng. Ingo Stutz, Ingo.Stutz@htwg-konstanz.de
Prof. Dr. Burmberger, Gregor.Burmberger@htwg-konstanz.de

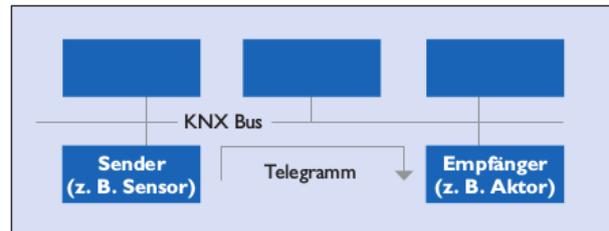


Abbildung 1. KNX-Übersicht aus [1].

II. KNX-GRUNDLAGEN

Das KNX-System ist ein Bussystem für die Gebäudesteuerung. Hierbei verwenden alle Geräte, das gleiche Übertragungsverfahren um Informationen auszutauschen. Der Informationsaustausch erfolgt auf der gemeinsam genutzten Bus-Leitung über Daten-Telegramme. Für den Aufbau des Bussystems muss kein zentrales Steuergerät betrieben werden. Die Bus-Teilnehmer arbeiten dezentral und verfügen selbst über einen eigenen Mikroprozessor. Die KNX-Geräte lassen sich unterteilen in Sensoren oder Aktoren. Hierbei senden Sensoren (Sender) Telegramme aus, wohingegen Aktoren (Empfänger) auf Telegramme reagieren. Abbildung 1 veranschaulicht diesen Zusammenhang.

Sensoren sind Geräte die Ereignisse erkennen. Dies kann beispielsweise ein Tastendruck sein. Aktoren empfangen Telegramme und führen die entsprechenden Aktionen aus, falls sie als Empfänger des Telegramms adressiert sind [1]. Für den Betrieb werden Sensoren meist direkt mit der Busspannung versorgt. Aktoren werden über deren Schaltspannung versorgt. Zusätzlich wird die Mikroprozessoreinheit vom Bus versorgt. Beide Systeme sind galvanisch voneinander getrennt.

A. Busmedium

KNX verwendet verschiedene Medien für die Übertragung der Bustelegramme. Dies ermöglicht unterschiedlichste Einsatzgebiete und eine räumliche Ausbreitung des Systems. Die folgenden Medien werden unterstützt:

- KNX Twisted Pair (KNX TP)
 - Übertragung durch verdrehte Zweidrahtleitung
- KNX Powerline (KNX PL)
 - Übertragung auf vorhandenem 230 V-Netz
- KNX Radio Frequency (KNX RF)
 - Übertragung über Funk

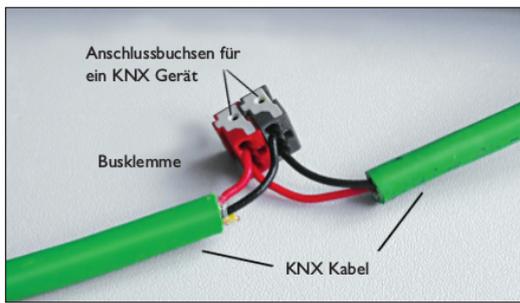


Abbildung 2. KNX-Busleitung aus [1].

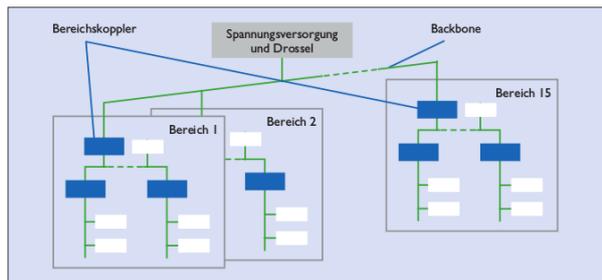


Abbildung 3. KNX-Topologie aus [1].

- KNX Internet Protocol (KNX IP)
- Übertragung über Ethernet

Das am häufigsten verwendete Übertragungsmedium ist hierbei KNX TP, da es die kosten effizienteste Möglichkeit darstellt Geräte zu verbinden. Zudem können Daten über die Zweidrahtleitung differentiell übermittelt werden, was die Übertragung besonders störsicher für eingekoppelte Gleichtaktstörungen macht. Abbildung 2 zeigt den Anschluss einer geschirmten KNX-Busleitung.

An die Busklemme werden die Teilnehmer angeschlossen. Der Mehrpolstecker hat den Vorteil, dass ein Gerät vom Bus entfernt werden kann ohne die Leitung zu unterbrechen und damit die Buskommunikation zu unterbinden.

B. System Topologie

Der kleinste Verbund aus KNX-Geräten, welcher über den Bus kommuniziert, wird als Linie bezeichnet. Dies kann zum Beispiel ein Zimmer eines Gebäudes darstellen. Linien können bis zu 255 Busteilnehmer beinhalten. Eine Linie kann durch einen Linienkoppler erweitert werden auf maximal 15 parallele Linien. Diese Anordnung wird als Bereich bezeichnet. Bereiche wiederum können durch Bereichskoppler mit maximal 15 Bereichen verbunden werden und stellen das sogenannte Backbone-Netz dar. Abbildung 3 zeigt die vorgestellte Topologie.

1) *Physikalische Adresse*: Für eine eindeutige Zuordnung im Gesamtsystem benötigt jedes Gerät eine Adresse. Diese wird *Physikalische Adresse* genannt und ist einmalig im Gesamtsystem. Die physikalische

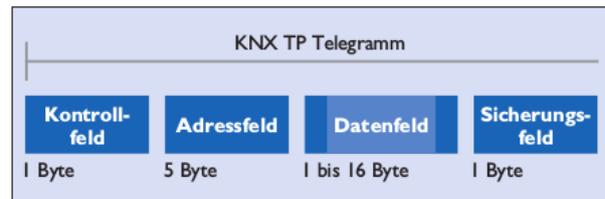


Abbildung 4. KNX TP-Protokoll aus [1].

Tabelle I
AUFBAU PHYSIKALISCHE ADRESSE.

Bezeichner	Bereich	Linie	Geräte ID
Wertebereich	[1...15]	[1...15]	[0...255]

Adresse besteht aus drei Zahlen, die durch Punkte getrennt sind. Die erste Zahl gibt die Nummer des Bereichs an. Die zweite Zahl gibt die Nummer der Linie an. Die dritte Zahl gibt die Gerätenummer an.

C. Kommunikation

Für die Kommunikation wird ein Byte basiertes Protokoll variabler Länge verwendet, das mit einer Übertragungsrate von 9,6 kbit/s übertragen wird. Der Protokollaufbau unterscheidet sich je nach verwendetem Busmedium. In Abbildung 4 ist der Protokollaufbau für KNX TP dargestellt, welcher die wesentlichen Elemente enthält.

Im Kontrollfeld wird die Priorität des Telegramms übertragen. Zudem kann eine eventuelle Wiederholungsinformation gesendet werden. Das Adressfeld enthält die Quell- und Zieladresse der Telegramme sowie die Anzahl der Nutzdaten. Im Datenfeld befinden sich die eigentlichen Nutzdaten. Hier werden zum Beispiel Schaltbefehle für einen Aktor übertragen. Das Sicherungsfeld besteht aus einer CRC-Checksumme.

1) *Kommunikationsobjekte*: Für die Kommunikation enthält jedes KNX-Gerät eine Liste von Kommunikationsobjekten. Diese stellen nach außen den Funktionsumfang des Gerätes dar. Jedes Kommunikationsobjekt besteht aus mindestens einer sogenannten Gruppenadresse und genau einem zugehörigen Datenpunktyp (DPT).

Eine **Gruppenadresse (GA)** verknüpft einen Sensor mit mindestens einem Aktor im KNX-System. Dafür wird beiden die gleiche GA zugeordnet. Detektiert ein Sensor ein Ereignis sendet dieser die definierte GA. Alle Aktoren am Bus empfangen die versendete GA und prüfen ob sie ein Kommunikationsobjekt mit zugehöriger GA handhaben können und führen gegebenenfalls die geforderte Aktion aus.

Datenpunkttypen (DPT) dienen der standardisierten Auswertung von Kommunikationsobjekten und ordnen diesen einen Datentyp zu. Dadurch kann die benötigte Nutzdatenlänge und das enthaltene Datenformat bei

Sender und Empfänger richtig kodiert bzw. dekodiert werden [2].

D. ETS

Die ETS (Engineering Tool Software) ist eine Projektierungs- und Inbetriebnahme-Software für KNX-Anlagen. Applikationsprogramme von KNX-Geräten können mithilfe der ETS über einen online Katalog heruntergeladen werden. Sie werden als Hersteller Produkt-Datenbanken (.knxprod-/VDx-Datei) bezeichnet. Über die Produktdatenbank kann dann die physikalische Adresse des KNX-Geräts am Bus vergeben werden. Danach werden logische Verknüpfungen zwischen Sensor und Aktor durch die Vergabe von Gruppenadressen eingerichtet und an die Geräte übermittelt [1].

E. Herstellerkennzeichnung

Die Herstellerbezeichnung für KNX-Geräte besteht aus einem eindeutigen Herstellercode und einer dazugehörigen Versionsnummer. Diese werden verwendet um die Übereinstimmung zwischen KNX-Gerät und Produktdatenbank sicherzustellen. Ein Herstellercode wird nur an Firmen, welche Mitglieder der KNX-Gruppe sind ausgestellt. Die Kennzeichnung ermöglicht die Nutzung von Hersteller-Tools zur Erzeugung der Hersteller Produkt-Datenbanken sowie deren Veröffentlichung im online Katalog der ETS [10]. Ohne einen gültigen Herstellercode können also keine Produktdatenbanken generiert oder verbreitet werden.

III. KNX OPEN-SOURCE-Projekte

Das vorgestellte KNX-System hat sich über Jahrzehnte bewährt und stellt den De-facto Standard in der europäischen Gebäudeautomation dar. Für die Einbringung eigener KNX-Geräte wird bei der KNX-Nutzergruppe jedoch weiter auf eine geschlossene proprietäre Realisierung beim Bau und der Programmierung der Geräte gesetzt. Hierbei muss der Hersteller zunächst immer eine Mitgliedschaft in der KNX-Gruppe oder ein Gerät erwerben, um am Gesamtsystem partizipieren zu können. Eigene KNX-Geräte in eine mit ETS konfigurierte Heimautomation einzubinden ist für private Nutzer nicht möglich, da für die Erstellung der Geräte-Datenbank für die ETS, lizenzierte KNX Programme (KNX-Manufacturer-Tools) notwendig sind.

Derzeit existieren eine Reihe von Open-Source-Projekten, welche die KNX-Infrastruktur nutzen und es ermöglichen selbst KNX-Geräte zu fertigen. Das Projekt **KONNEKTING** versucht KNX-Geräte, welche auf Arduino Mikrocontrollern basieren, herzustellen [7]. Eine ähnliche Vorgehensweise wird auch vom Projekt **KNiXuino** verfolgt [8]. Ein Linux-basierter Ansatz KNX-Geräte zu betreiben stellt **KNXD** dar. Dieser ist eine Weiterentwicklung des Projekts **EIBD**,

welches bereits 2005 an der TU Wien vorgestellt wurde [9]. Mit KNXD kann so zum Beispiel ein RaspberryPi als KNX-Gerät betrieben werden.

IV. PARADIGMEN GEGENÜBERSTELLUNG

Die KNX-Gruppe ging bisher einen sehr konservativen Weg im Vertrieb und der Bereitstellung von Software. Hersteller, welche beabsichtigen ein KNX-Gerät zu bauen müssen zunächst Mitglied werden, um einen Herstellercode zu erhalten. Kunden können in ihr bestehendes KNX-System lediglich Hardware von zertifizierten Herstellern einbinden und diese nur mit einer kostenpflichtigen Version der ETS parametrisieren.

Großkonzerne wie Google oder Amazon schlagen eine andere Richtung ein. Diese erlauben grundsätzlich die Verwendung der angebotenen Systeme und ermöglichen dem Nutzer die Verwendung umfassender Funktionalitäten. Erst ab dem Zeitpunkt der Kommerzialisierung fallen Gebühren für den Vertreiber an. Dieser Trend sorgt für großen Zulauf dieser Systeme und könnte auch für die KNX-Gruppe ein Alternativmodell darstellen. Letztendlich führt die vermehrte Verwendung des Systems zu einer erhöhten Wahrnehmung der Technik und wäre so für alle Parteien nur von Vorteil. Ein erster Schritt könnte auch eine Kleinlizenz zur Erzeugung von Hersteller Datenbanken für private Nutzer sein, die es ermöglichen Gerätedatenbanken für die ETS zu erzeugen.

V. KNX

OPEN-SOURCE-PROGRAMMIERPLATTFORM

Die vorgestellten Konzepte der quelloffenen Projekte zeigen, dass sich private KNX-Nutzer auch für die Konstruktion von eigenen KNX-Geräten interessieren. Die Erstellung einer KNX-Applikation erfordert jedoch Kenntnisse in der Programmierung von Mikrocontrollern. Oftmals sind KNX-Anwender nicht im Umgang dieser Technologien geschult und mehr auf die Integration spezialisiert. Ein neuer Ansatz auch diesem Personenkreis einen Zugang zur KNX-Geräteentwicklung zu ermöglichen stellt eine Plattform basierte Applikations-Firmware für KNX-Geräte dar. Über grafische Elemente könnte die Firmware zusammengestellt werden und mit einer Inbetriebnahme Software auf das Gerät transferiert werden. Dieser Vorgang kann auch über eine Smartphone Applikation erfolgen, was die Bedienung enorm erleichtern könnte. Diese Applikation könnte auch zur Konfiguration von bestehenden Bus Teilnehmern verwendet werden. Die Inbetriebnahme und der Zugang zur Technik könnten somit vereinfacht werden. Dies führt im Ergebnis zu einer verstärkten Nutzung von KNX.

Im folgenden soll gezeigt werden wie ein echtzeitfähiges KNX-Gerät parallel zu einer mit ETS konfigurierten KNX-Anlage aufgebaut werden kann. Dabei



Abbildung 5. TI TM4C129EXL Eval-Board [4].

muss auf eine Parametrisierungssoftware nicht verzichtet werden. Der hier vorgestellte Ansatz verwendet die Open-Source-KONNEKTING-Suite und stellt eine Grundlage des aufgezeigten Plattform Modells dar.

VI. REALISIERUNG

A. Verwendete Hardware

Für den Test des Gesamtsystems wurde als Host-Controller das TI TM4C129EXL Evaluation Board gemäß Abbildung 5 verwendet. Es basiert auf einem 32-Bit ARM Cortex-M4 Microcontroller mit 1 MB Flash, 256 kB SRAM und 6 kB EEPROM. Das System hat sich bereits an der HTWG Konstanz in der Lehre bewährt und stellt einen zuverlässigen Ausgangspunkt für die Entwicklung dar.

B. FreeRTOS

FreeRTOS ist ein Echtzeitbetriebssystem für Embedded-Systems und wurde für den verwendeten Host-Controller portiert. Durch die Verwendung von FreeRTOS kann ein deterministisches Zeitverhalten des Controllers gewährleistet werden. Zudem stehen Mechanismen wie Message-Queues, Soft-Timer und ein Scheduler zu Verfügung. Dadurch lassen sich mehrere Aufgaben, wie zum Beispiel das Senden oder Empfangen von Telegrammen und das Ausführen von Anwendungssoftware quasi-parallel und priorisierbar verwalten. [6]

C. KNX-Busankoppler

Als physischen Zugang auf den KNX-Bus wird der Busankoppler *engl.: Bus-Coppling-Unit (BCU)*, BTM2-PCB verwendet. Dieser findet sich in vielen gängigen KNX-Geräten. Er verwendet intern den Chip *TPUART2* von Siemens. Dieser Busankoppler wird daher auch als Siemens-BCU bezeichnet.

Da auf dem KNX-Bus Spannungsversorgung und die Kommunikationsdaten übertragen werden, wird die BCU benötigt um beides voneinander zu trennen. Zudem werden die empfangenen Daten für den Host



Abbildung 6. BCU BTM2-PCB [5].

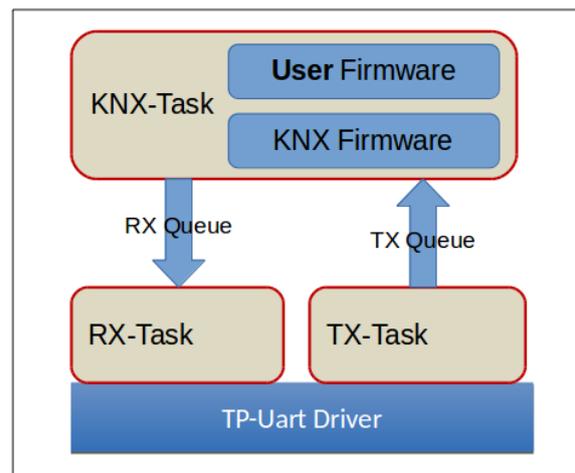


Abbildung 7. Task Struktur.

Controller umgewandelt, auf einen auswertbaren Spannungspiegel konvertiert und seriell übertragen (UART). Umgekehrt kann die BCU natürlich auch Telegramme vom Host auf den Bus übertragen und stellt damit eine zentrale Schnittstelle dar. Die BCU übernimmt für die Buskommunikation die OSI-Layer 1 und 2. Dies umfasst wie bereits beschrieben die physikalische Signalumwandlung sowie einen Teil der Sicherungsschicht. Der Host-Controller ist zuständig für die Überprüfung der Checksumme sowie die Verarbeitung der darüberliegenden Schichten. Abbildung 6 zeigt die Siemens-BCU ohne Gehäuse. [5]

D. Task Strukturierung

Für die Umsetzung werden drei FreeRTOS-Tasks implementiert. Dadurch ist ein deterministisches Zeitverhalten des Mikrocontrollers gewährleistet. Dies ist wichtig, da zeitliche Beschränkungen für die KNX-Protokollumsetzung eingehalten werden müssen. Der TP-UART Treiber dient dabei als Grundlage für das Empfangen und Versenden von Telegrammen. Alle Tasks kommunizieren intern über FreeRTOS Queues. Die TX-Task wird verwendet um Telegramme an den TP-UART zu versenden. Zudem sendet die Task interne Steuerkommandos für die BCU. Die RX-Task empfängt Telegramme und Steuerkommandos von der BCU und leitet diese weiter an die KNX-Task. Die

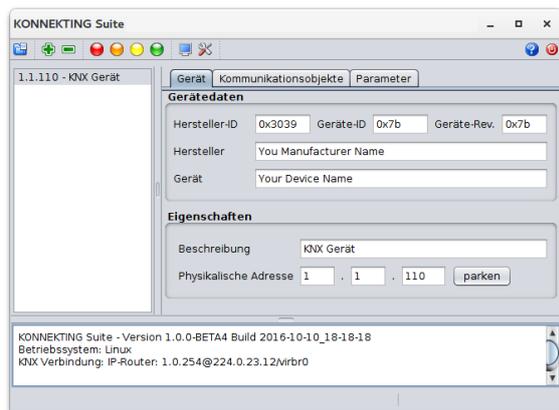


Abbildung 8. KONNEKTING Suite.

KNX-Task verwaltet KNX-Events und reagiert entsprechend. Sie ist für die Programmierung der Kommunikationsobjekte sowie die Ausführung der User-Firmware zuständig. Abbildung 7 veranschaulicht die Architektur.

E. Open-Source-Parametrisierungs-Software - KONNEKTING - SUITE

KONNEKTING ist ein quelloffenes Projekt, welches ermöglicht mit Arduino-Mikrocontrollern KNX-Geräte zu betreiben. Für die Parametrisierung von KONNEKTING Geräten wird die KONNEKTING Suite verwendet (Abbildung 8). Diese wird für dieses Projekt ebenfalls verwendet um die Programmierung der Firmware zu realisieren. Die Suite verwendet den KNX IP Tunneling-Mechanismus für den Flash Vorgang, kann aber auch direkt über eine USB Verbindung mit einer BCU an den Bus verbunden werden. Für die Definition von KNX-Geräten wird wie bei der ETS eine XML-Datei verwendet. Hier können die Hersteller-ID, Revision, Kommunikationsobjekte und Parameter definiert und selektiv programmiert werden. [7].

F. Modellbetrieb

Der umgesetzte KNX Teilnehmer wurde in einen Verbund von bereits konfigurierten Geräten eingefügt. Bei den konfigurierten Teilnehmern handelt es sich um Schaltaktoren, welche regulär über die ETS parametrisiert wurden. Diese sind einseitig mit definierten Gruppenadressen versehen, welche als Platzhalter für Anfragen aus dem Testgerät dienen. Der Aufbauplan in Abbildung 9 zeigt die umgesetzte Topologie.

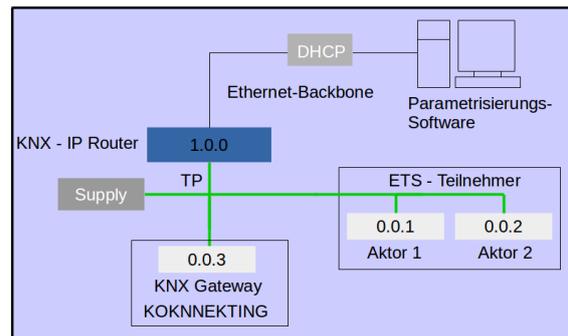


Abbildung 9. Übersicht - Aufbau.

VII. AUSBLICK

In dieser Arbeit wurde ein Überblick über den KNX-Standard gegeben. Die Funktion und die Parametrisierung der Geräte über die ETS wurden dargestellt. Anschließend wurden Open-Source-Projekte vorgestellt, welche die Nutzung von KNX durch einfachste Technik ermöglichen. Der Kern der Ausarbeitung besteht in der Vorstellung einer konzeptionellen Methode, durch welche KNX-Geräte über einen Plattform basierten Ansatz programmiert und parametrisiert werden können. Dieser soll weiter ausgebaut werden um die Programmierung der Geräte-Firmware über eine mobile Applikation zu ermöglichen. Für eine benutzerfreundliche Bedienung wird hierbei auf eine graphische Programmierung der Gerätefunktionen gesetzt. Über ein Baukasten-Prinzip vordefinierter Blöcke kann der Nutzer die Gerätefunktion nach seinen Vorstellungen spezifizieren, mit den zugehörigen Gruppenadressen verknüpfen und anschließend auf das Gerät übertragen. Zusätzlich können über die Applikation physikalische Adressen der KNX-Teilnehmer vergeben werden. Zukünftig ließe sich der Zugriff auf räumlich getrennte Anlagen realisieren. Dies könnte Verwendung finden für eine Fernbetriebsnahme oder Fernwartung bestehender Anlagen. Diese Möglichkeit könnte auch weniger versierten Anwendern den Zugang zu KNX-Geräten ermöglichen.

Eine Basis, welche als Grundlage für die Umsetzung der Idee dient stellt das in dieser Arbeit entwickelte echtzeitfähige KNX-Gateway-Modul dar. Dies demonstriert die Interaktion mit einer herkömmlich konfigurierten KNX-Anlage durch die ETS.

LITERATURVERZEICHNIS

- [1] KNX-Association: *KNX Homepage* URL: https://www.knx.org/wAssets/docs/downloads/Marketing/Flyers/KNX-Basics/KNX-Basics_de.pdf - Letzter Zugriff 08.12.2018.
- [2] KNX-Association: *KNX Homepage* URL: <https://support.knx.org/hc/de/articles/115001133744-Datenpunkttyp> - Letzter Zugriff 08.12.2018.
- [3] KNX-Association: *KNX Homepage* URL: <https://support.knx.org/hc/de/articles/115003188109-Gruppenadressen> - Letzter Zugriff 08.12.2018.
- [4] Texas Instruments: *TI Homepage* URL: <http://www.ti.com/tool/EK-TM4C129EXL#2> - Letzter Zugriff 10.12.2018
- [5] Opternus: *Opternus Homepage* URL: <http://www.opternus.com/en/siemens/development-tools/tp-uart2-board-btm2-pcb.html> - Letzter Zugriff 10.12.2018
- [6] *FreeRTOS Homepage* URL: <https://www.freertos.org/> - Letzter Zugriff 10.12.2018
- [7] *KONNEKTING Homepage* URL: <https://www.konnekting.de/> - Letzter Zugriff 10.12.2018
- [8] *KNiXuino Homepage* URL: <https://www.knixuino.com/> - Letzter Zugriff 11.12.2018
- [9] Kastner: *IFAC Proceedings Volumes* Volume, 38 Issue 2, 2005, Pages 255-262, DOI: <https://doi.org/10.3182/20051114-2-MX-3901.00035>
- [10] *KNX Homepage* URL: <https://support.knx.org/hc/en-us/articles/360000275924-Manufacturer-Code> - Letzter Zugriff 11.12.2018



Ingo Stutz ist ausgebildeter Elektroniker. Er erlangte den Grad des Bachelor of Engineering 2016 an der HTWG Konstanz. In seiner Bachelorarbeit befasste er sich mit der Programmierung von Realzeiteinheiten. Er studiert aktuell im Masterstudiengang "Elektrische Systeme" an der HTWG Konstanz. Nach Abschluss des Studiums strebt Herr Stutz eine Tätigkeit als Softwareentwickler für Embedded Systems an.



Gregor Burmberger ist Professor für Eingebettete Systeme und Prozessorarchitekturen an der HTWG Konstanz. Schwerpunkte auch bei Bachelor- und Masterarbeiten sind Mikrocontroller, FPGAs und Realzeitbetriebssysteme. Vor seiner Berufung war er als Experte u.a. auf dem Gebiet der Kfz-Bussysteme für namhafte Automobilhersteller tätig. Gregor Burmberger hat an der TU München Elektrotechnik studiert und im Bereich Realzeitsysteme promoviert.

Experimental Validation of the LOCOD Approach for the Design of Quasi-synchronous Finite State Machines

Athanasios Gatzastros, Dominik Wrana, Tobias Wolfer, Eckhard Hennig

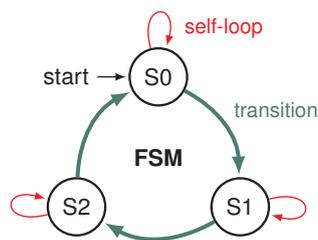


Figure 1. Generic state machine.

Abstract—Nowadays robust, energy-efficient multisensor microsystems often come with heavily restricted power budgets. The efficiency is highly affected by power loss due to parasitics in a globally distributed clock tree as well as a permanently provided clock signal. In order to increase those systems’ efficiency there have been different approaches like clock-gating, Dynamic Voltage and Frequency Scaling (DVFS) or the Extended Burst Mode (XBM). We have developed a new Local Clock On-Demand (LOCOD) topology for low power finite state machines which combines a local adaptive clocking approach with synchronous and asynchronous components forming a quasi-synchronous system. In this paper, we present an experimental validation of the LOCOD approach. Therefore an Analog to Digital Converter’s finite state machine was designed based on the LOCOD topology. It implements a successive approximation algorithm for a temperature measurement application. With the implementation, simulation, and the corresponding measurements of the fabricated integrated circuit the LOCOD-topology is validated.

Index Terms—LOCOD, Local Clock On-Demand, low power, finite state machine

I. INTRODUCTION

A finite state machine (FSM) is a key component in today’s digital systems. It is a sequential abstract machine consisting in general of an entry point and a finite number of states. Thereby, a FSM stays in exactly one certain state at a certain time. Through a specific condition a FSM can change its current state, which is called transition (Figure 1).

A. Gatzastros, athanasios.gatzastros@reutlingen-university.de,
 D. Wrana, dominik.wrana@reutlingen-university.de,
 T. Wolfer, tobias.wolfer@reutlingen-university.de,
 E. Hennig, eckhard.hennig@reutlingen-university.de

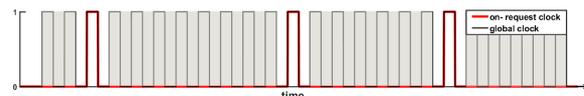


Figure 2. Continuous vs. adaptive clocking.

Today’s multi-sensor microsystems include multiple FSMs containing self-loops in which a FSM remains for a longer period relatively to the clock frequency. While the machine stays in a self-loop no periodic clock-signal is needed, so that the clock can be suspended until a transition is required.

Fig. 2 shows a comparison between a continuous clock signal and clock pulses generated on request. The gray area marks the time period where the FSM stays in a self loop and redundant clock pulses are generated. As a consequence the switching loss generated by these clock pulses is proportional to the time frames where no transition is required.

Due to the simplicity of the design and due to commonly used synthesis tools, synchronous state machines are the most popular in digital designs. Those state machines have the characteristic that for each transition a clock signal has to be provided. In complex digital systems this leads to a distribution of a global clock signal to perform e.g. the state processing or to synchronize multiple components over the chip.

The main drawbacks of a global clock tree are the high energy consumption as well as the high use of area, caused e.g. by taking measures to avoid clock-skew. This effort increases with complexity of the system. To reduce the power consumption of a synchronous digital circuit, several techniques are commonly used.

One novel strategy to address this drawback is to apply the local-clock on-demand (LOCOD) topology on the design’s finite state machine (FSM) [1]. Thereby a quasi-synchronous FSM is formed which is able to request a clock signal on demand. This reduces switching loss caused by the continuously running and globally distributed clock. The topology interacts asynchronous with its peripheral, but is still synchronous in its processing. The goal of this work is the experimental validation of this LOCOD-topology.

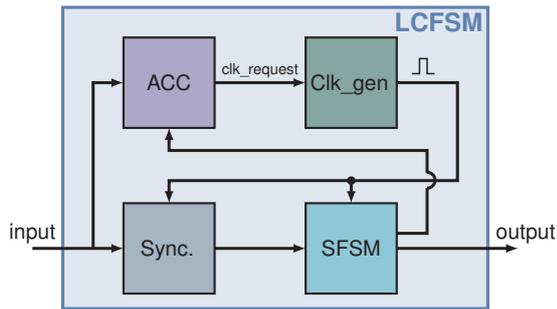


Figure 3. LOCOD-Topology.

II. THE LOCOD TOPOLOGY

The Local Clock On-Demand topology represents a design method for a quasi-synchronous system called Locally Clocked Finite State Machine (LCFSM). As shown in Fig. 3 the architecture consists of an asynchronous clock control (ACC), a local clock generator (Clk_gen), a synchronizer (Sync.) as well as a synchronous finite state machine (SFSM). A LCFSM receives an arbitrary number of asynchronous signals as inputs and provides a synchronous output. The LCFSM gets triggered by at least one asynchronous input change. The ACC evaluates whether this change results in a state transition and controls the clock generator accordingly. The clock generator generates a clock signal which is characterized by a constant frequency and duty cycle. The clock period is also intended to be relatively long compared to the maximum propagation delay of the combinational logic inside the ACC and SFSM. The clock signal is provided to the synchronizer and the SFSM. The synchronizer is the interface between the asynchronous and the synchronous domain for each input signal. Sampling the asynchronous inputs is necessary to ensure the signals being stable for further processing inside the SFSM and comply with the required setup and hold times. The state processing is then performed by the SFSM.

The LOCOD-topology combines the advantages of well-known synchronous design with the advantages of an asynchronous logic. One huge advantage of this topology is that the design of the SFSM follows the well-known rules of standard automata theory in digital design implementation. Therefore, there are neither restrictions related to the specification nor architecture of the FSM. The topology can be realized with conventional standard synthesis tools for synchronous designs. The ACC contains standard digital elements and can also be implemented with a standard CAD synthesis tool like CADENCE Virtuoso.

Because of the mentioned degrees of freedom, it is possible to convert every already existing system including a synchronous FSM into a LOCOD based topology. A modification on the SFSM is thereby not

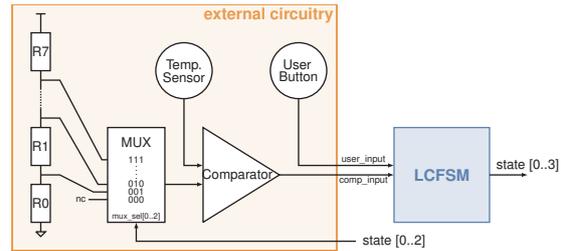


Figure 4. Temperature-ADC application.

required. While the Clk_gen and the Synchronizer can be added as IP cores, the only effort for the designer is to implement the ACC logic.

By using a local clock generator for the state processing of the SFSM, timing challenges, such as clock skew caused by a global clock tree, get highly simplified. The only time constraint within the LCFSM is that the signal propagation delay to a clocked element is less than half a clock period. Using in addition an adaptive clocking approach eliminates redundant clock pulses and increases the efficiency.

Unlike fully asynchronous approaches like XBM, the LOCOD architecture enables the implementation of digital interfaces like UART where an input change occurs asynchronously but a fixed time base for the processing is mandatory. Furthermore the proposed design topology is completely independent from any technology or logic family it gets implemented in.

III. EXPERIMENTAL VALIDATION: TEMPERATURE ADC APPLICATION

To verify the LOCOD topology, a application as shown in Fig. 4 has been implemented. The application represents an Analog to Digital Converter (ADC) which on user request applies the successive approximation method to evaluate the analog input signal provided by a temperature sensor. A user-triggered temperature measurement was chosen as a representative application with a finite state machine remaining in a self-loop most of the time.

Whereas the resistive network, sensor, user button, multiplexer and comparator are implemented as external circuitry, the LCFSM based on the topology described above receives the *user_input* as well as the *comp_input* signal and provides the *state* signal, which represents the digitized temperature value.

As the evaluation of the current temperature value is based on an occasional user request, the system is predestined to suspend its clock between measurement cycles. Those potential shut-down states, which are indicated by a self loop, are colored red in the corresponding state diagram, which is partially shown in Figure 5.

Initially starting in state *R0* the state machine waits for a user request to begin with a measurement cycle.

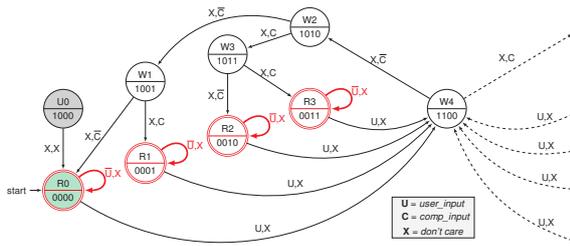


Figure 5. State Diagram Temp.-ADC Application.

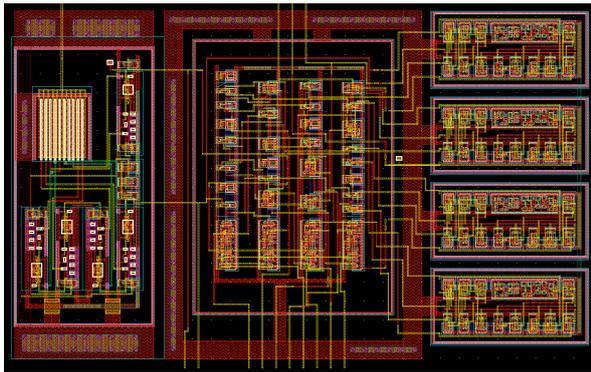


Figure 6. Layout LCFSM ADC application.

As soon as *user_input* triggers a measurement cycle, the clock signal needed to execute the state transitions is generated and the current temperature value is evaluated according to the state graph. Reaching again a shut-down state the clock signal gets suspended and the LCFSM remains in the state until another measurement cycle is requested.

Having chosen a well suitable but not mandatory state encoding, the evaluation whether the current state is a permitted shutdown state is reduced to a one bit comparison of the MSB of the state encoding. If the MSB is '1' it indicates that the current state does not permit a suspension of the clock signal. The three LSBs are used to navigate through the state graph, adjusting the multiplexer output via the select signals and therefore affecting the output signal of the comparator.

With the 4-bit state encoding 16 states are addressable. While there are only 15 states required to implement the successive approximation method, one state remains unused. To prevent the FSM from being stuck at an undefined state, reached through external disturbances like EMC causing bit errors, all possible states have been covered in the state diagram. In case state *U0* is reached, an implicit state transition is triggered, regardless of the current values of *user_input* or *comp_input*, so that the FSM proceeds to a legal state where another measurement cycle can be requested.

The digital components AFSM and SFSM have been designed in the hardware description language VHDL. The standard tool CADENCE RC-compiler was used

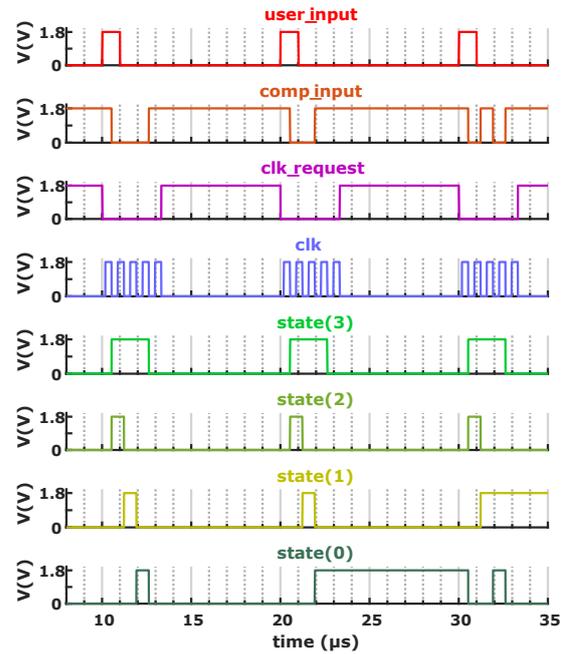


Figure 7. Simulation data (extracted layout simulation).

for the synthesis. Figure 6 shows the application specific layout of the LCFSM implemented in a 180 nm process from AMS.

IV. VERIFICATION RESULTS

The extracted layout simulation shown in Figure 7 illustrates and proves the correct functionality of the implementation described above. Triggered by *user_input*, the *clock_request* is generated which initiates the clock signal. This causes the state vector being propagated according to the state graph until the current temperature value is determined. After reaching a shutdown state the clock can be suspended until another cycle is triggered. In the scenario shown in Figure 7 three temperature measurement cycles are performed. For these three cycles different temperature values are applied. As expected the LCFSM reaches the shutdown states *R0*, *R1* and *R2* in the end of the cycles and suspends the clock. The state propagation can be retraced using the state diagram in Figure 5.

For an experimental validation of the LOCOD topology the fabricated integrated circuit shown in Fig. 8 is measured using the test board shown in Figure 9.

With this setup the same stimuli signals that are used in the simulations can be applied to the chip. Therefore the simulation results and measurement results can be compared accordingly.

Figure 10 gives an insight into the structure of the test board. The hardware consists out of the chip socket, a few buttons and switches and a FPGA.

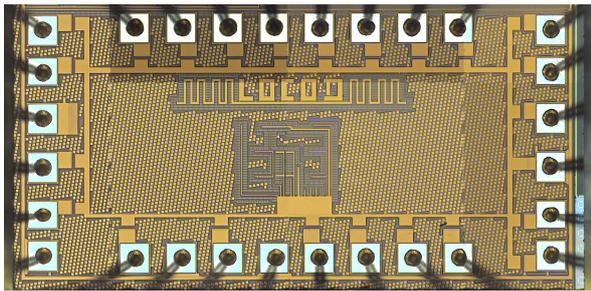


Figure 8. Chip photo – LOCOD Temperature ADC.

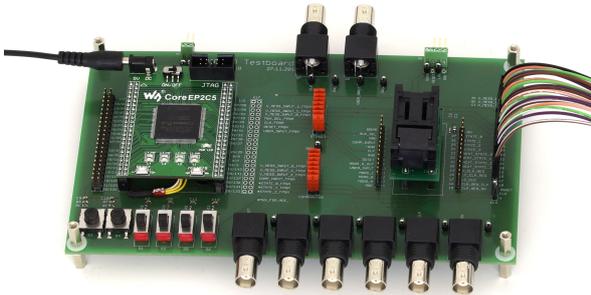


Figure 9. Measurement setup.

Thereby the simulation stimuli can be included without modifications. The external circuitry is also realized in VHDL which simplifies the hardware. The setup can also be used for a chip emulation by connecting the FPGA externally with the chip socketed. Therefore the VHDL design use for the chip synthesis is also implemented in the FPGA.

The measurement corresponding to the simulation in Figure 7 is shown in Figure 9. The results match, which proves that a functional LCFSM based on the LOCOD topology can be created by using common CAD tools only. Also the LOCOD topology itself is validated.

Figure 12 and to the chip in Figure 13. To verify further characteristics of the LOCOD topology more variant stimuli signals are applied to the LCFSM in the simulation in Figure 12 and to the chip in Figure 13. As in the scenario above, first a single temperature measurement cycle is executed. If the *user_input* is applied for a longer time the clock is not suspended. Due to the LOCOD topology input signals can't lead to a shorter clock period at any time. Accordingly a pulse of *user_input* immediately after the clock is suspended and does not lead to a shortened low time.

V. CONCLUSION

In today's multi-sensor microsystems with restricted power budget the energy efficiency becomes an important design aim. In this paper the LOCOD topology for

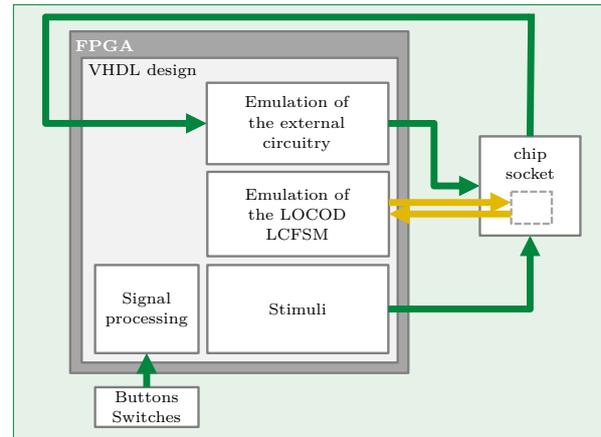


Figure 10. Structure of the measurement setup.

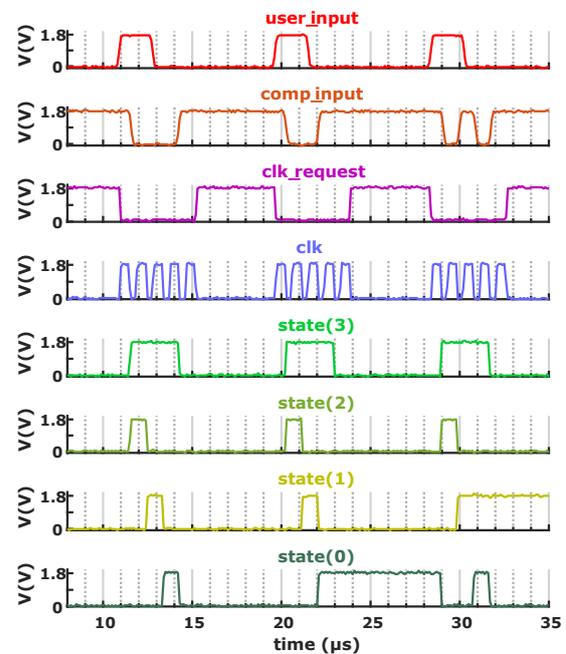


Figure 11. Measurement data (corresponding measurement to Figure 7).

on-demand locally-clocked quasi-synchronous finite state machines has been verified through an experimental validation. The concept is applied to a synchronous finite state machine of an Analog to Digital Converter which is using the successive approximation method. The LOCOD topology underlies the rules of the well-known synchronous automata design for Moore or Mealy FSMs and can be applied to any synchronous finite state machine. The design process of the proposed converter substantiates this by requiring common tools for synchronous design only. Furthermore the assertion of the concept being independent from the used technology or any logic family is supported. With the proposed experimental validation including

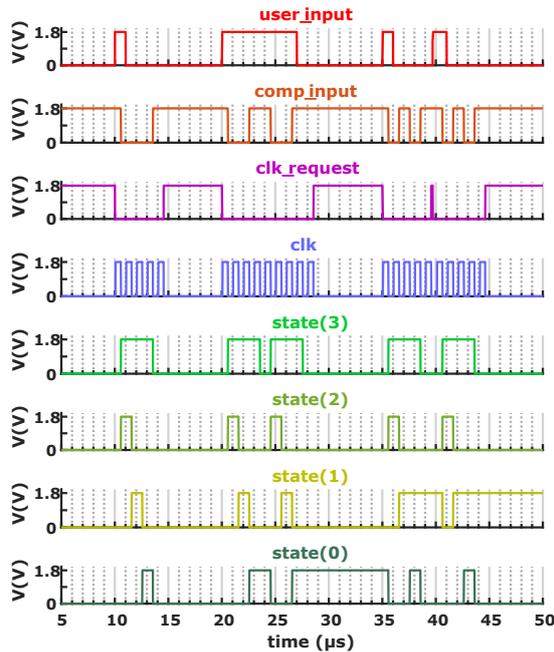


Figure 12. Simulation data (extracted layout simulation).

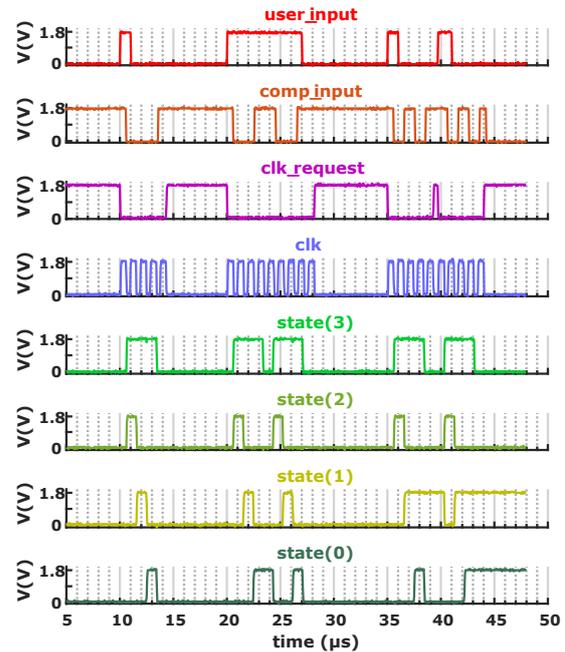


Figure 13. Measurement data (corresponding measurement to Figure 12).

a full finite state machine design, (extracted layout) simulations and the corresponding measurements of the fabricated integrated circuit the LOCOD topology is verified.

REFERENCES

- [1] A. Gatzastras, D. Wrana, T. Wolfer, G. Glaeser, B. Saft, E. Schaefer and E. Hennig, Design of Quasi-synchronous Finite State Machines Using a Local On-demand Clocking Approach. ANALOG 2018; 16th GMM/ITG-Symposium, pp. 1-5.
- [2] K. Garcia, D. L. Oliveira, T. Curtinhas, and R. d'Amore, Synthesis of locally-clocked asynchronous systems with bundled-data implementation on FPGAs. 2014, pp. 1–6.
- [3] S. M. Nowick and D. L. Dill, Automatic synthesis of locally-clocked asynchronous state machines. 1991, pp. 318–321.
- [4] K. Y. Yun and D. L. Dill, Automatic synthesis of extended burst-mode circuits. I. (Specification and hazard-free implementations), vol. 18, no. 2. 1999, pp. 101–117.
- [5] D. L. Oliveira, D. Bompean, T. Curtinhas, and L. A. Faria, Design of locally-clocked asynchronous finite state machines using synchronous CAD tools. 2013, pp. 1–4.
- [6] F. T. D. F. Barbosa, D. L. D. Oliveira, T. S. Curtinhas, L. de Abreu Faria, and J. F. D. S. Luciano, Implementation of Locally-Clocked XBM State Machines on FPGAs Using Synchronous CAD Tools, vol. 64, no. 5. 2017, pp. 1064–1074.
- [7] B. Saft, E. Schäfer, A. Jäger, A. Rolapp, and E. Hennig, An improved low-power CMOS thyristor-based micro-to-millisecond delay element. 2014, pp. 123–126.
- [8] S. M. Nowick, "AUTOMATIC SYNTHESIS OF BURST-MODE ASYNCHRONOUS CONTROLLERS," Computer Systems Laboratory Departments of Electrical Engineering and Computer Science Stanford University Stanford, CA 94305-4055, 1995.
- [9] Q. Wu, M. Pedram, and X. Wu, "Clock-gating and its application to low power design of sequential circuits," IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 47, no. 3, pp. 415–420, Mar 2000.
- [10] D. Burd and R. W. Brodersen, "Energy efficient CMOS micro-processor design," in Proceedings of the Twenty-Eighth Annual Hawaii International Conference on System Sciences, vol. 1, Jan 1995, pp. 288–297 vol.1.
- [11] K. Roy, S. Mukhopadhyay, and H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deepsubmicrometer CMOS circuits," Proceedings of the IEEE, vol. 91, no. 2, pp. 305–327, Feb 2003.



Athanasios Gatzastros received his B.Eng. degree in 2016 from the TH Köln – Technology, Arts, Sciences. Currently he continues his studies in microelectronics at Reutlingen University in a M.Sc. programm.



Dominik Wrana received his B.Eng. degree in 2016 from Augsburg University. Currently he continues his studies in microelectronics at Reutlingen University in a M.Sc. programm.



Tobias Wolfer received his B.Eng. degree in 2016 from the Cooperative State University in Stuttgart. Currently he continues his studies in microelectronics at the University Reutlingen in a M.Sc. programm.



Eckhard Hennig (M'96) received his Dipl.-Ing. and Dr.-Ing. degrees in Electrical Engineering from the Technical University of Braunschweig, Germany, and the University of Kaiserslautern, Germany, in 1994 and 2000, respectively. He is a professor of digital and integrated circuits at Reutlingen University, Germany. His research interests include low-power CMOS circuit design for smart-sensor applications and Electronic Design Automation (EDA) for analog and mixed-signal circuits.

Chip Integration in Printed Circuit Boards, System in Package, System in Board

Thomas Gottwald, Christian Roessle, Alexander Neumann

Abstract—Currently, there are two major trends in embedding technology: embedding for system-in-package (SiP) which are supposed to be assembled onto printed circuit boards (PCB) and system-in-board (SiB), where the embedding of components takes place in the main board. This paper describes the embedding of logic components and embedding of power electronic components.

Index Terms—Chip embedding, SiP System in Package, SiB System in Board, advanced packaging

I. INTRODUCTION

Increasing functionality in lesser space is a requirement for several years in the electronics industry especially in mobile communication applications. Therefore not only the surface of a substrate will be assembled in the future but also inner layers. Processes of the Printed Circuit Board (PCB) Industry are gaining attention to build either new packages, so called System in Package (SiP) or to embed components directly into the main PCB, so called Systems in Board (SiB). This paper will highlight the i^2 Board[®] technology and the Smart p^2 Pack[®] Technology, developed and patented by Schweizer Electronic AG.

II. THE i^2 BOARD[®]

A. Technology description

The major difference between i^2 Board and other embedding technologies is that i^2 Board is a fan-out packaging technology. The i^2 Board technology was developed to enable chip embedding of fine pitch chips with a high number of input and output signals (I/O) into main boards. The i^2 Board approach uses an interposer to simplify the mechanical and electrical connection between chip and PCB. This has a significant positive influence on cost, ease of supply chain, testability and the feasibility for chips with fine pitches. An example of an assembled interposer can be seen in Figure 1.

After assembly, an electrical test is done to assure functionality before embedding the interposer into the PCB. This prevents yield loss due to damaged components or incorrect assembly. After assembly, the tested

Thomas Gottwald, thomas.gottwald@schweizer.ag, is Director Innovation at Schweizer Electronic AG.

Christian Roessle is Vice President Sales & Marketing at Schweizer Electronic AG.

Alexander Neumann is Innovation Manager at Schweizer Electronic AG.

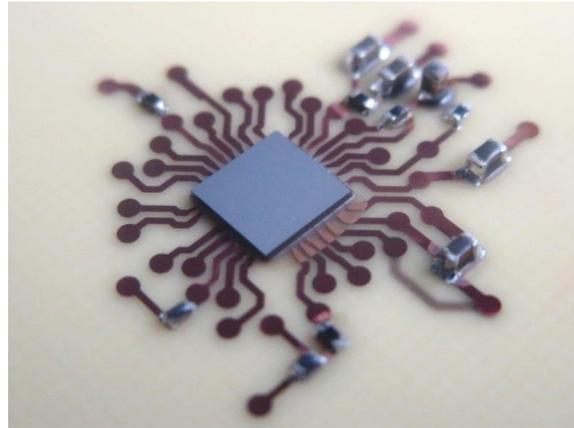


Figure 1. Interposer with assembled bare die as Flip Chip and passive components.

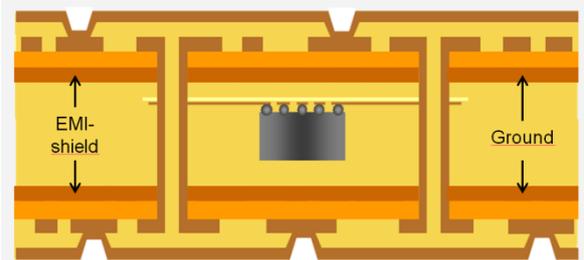


Figure 2. Board with buried core layer and 1 buildup layer on each side.

interposer is placed onto an inner layer of a multilayer construction and fixed to assure positional accuracy. After completing the multilayer stack the PCB is laminated in a multilayer press. After lamination the board can be treated mainly as a standard PCB. The electrical connection to the interposer is carried out with through-holes as in any conventional multilayer.

The interposer can be placed between ground and power planes, an EMI shielding is coming almost for free with this technology (see Figure 2).

B. Test Strategy

One of the biggest benefits of the interposer used in the i^2 Board technology is the ability for interim testing. The potential for testing during manufacturing offers the possibility to sort out bad components, to repair defects or not to assemble panel positions with failures in the PCB inner layers. This has a very large

cost impact regarding the final yield of the product and as bad tested interposers will be sorted out and 100% good interposers will be the start of the embedded PCB production

C. Advantages

Advantages of the i^2 Board technology include the assembly of components on an interposer, not on a full PCB panel; therefore, high registration accuracy is limited to a small area. The embedded components have very reliable connections, as they are stabilized in a resin matrix of the PCB. Interim testing and robust processes secure high yields. All processes used for the i^2 Board technology are suitable for mass production. The technology is feasible for $80\ \mu\text{m}$ chip pitch. As fine pitch interconnection is possible, the pads on Si-chip may remain small and save silicon surface area, therefore the total Si area stays small. Small chips mean low chip cost. The interposer can be easily electrically tested. Therefore, expensive electric testing of bare die can be saved, which lowers the overall chip cost. Only good known die, tested after mounting, are embedded. The reliability of the i^2 Board is proven to be very high. Up to 5000 temperature cycles from $-40\ ^\circ\text{C}$ to $+140\ ^\circ\text{C}$ were achieved with no failure. This gives a potential for harsh environmental conditions. If the component is embedded between inner layers like ground and power-layers, an electromagnetic shield can be achieved.

III. THE SMART p^2 PACK®

A. Technology description

The p^2 Pack technology is an embedding technology for power devices such as MOSFETs (Metal Oxide Semiconductor Field Effect Transistors) and IGBTs (Insulated Gate Bipolar Transistors) which produce significant power losses during operation and have a low number of electrical contacts. The source of power losses are switching losses and conduction losses of the power electronic components. The first trials of power semiconductor embedding have been made on the basis of the i^2 Board technology, but even though it worked out to be feasible, it was not a very elegant approach for a component with a vertical current flow. The die attach and the heat dissipation needed an improved technological approach.

As the p^2 Pack is very flat with a thickness of 1.6 mm to 1.7 mm, it is furthermore possible to embed this power stage into a logic PCB and realize the combination of power electronics and logic control in one single PCB without the need for additional connectors between logic and power.

As power and logic control act now in one board, this construction is called “Smart p^2 Pack” With the new p^2 Pack Technology, a new architecture was developed, which is helpful for very robust, cost-efficient and miniaturized high power inverter configurations.

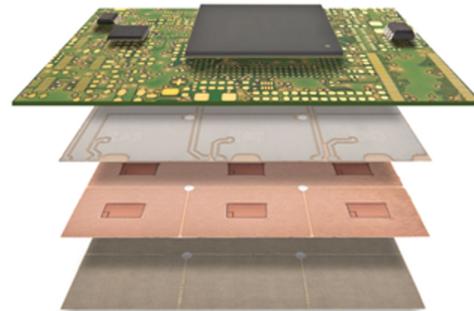


Figure 3. Exploded view of a Smart p^2 Pack.

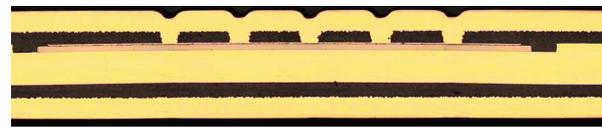


Figure 4. Cross sectional view of p^2 Pack with copper filled blind vias.

In Figure 3, the construction is shown in an exploded view of the layer stack. At the bottom, a base plate consisting of a copper layer is shown, which is covered by an insulating layer, made from a thermally conductive prepreg (a pre-impregnated glass fabric, resin-filled with thermally conductive inorganic fillers). The second level shows a lead frame with cavities. Inside the cavities, the power electronic components are assembled. The surface finish of the components is made from copper. The gray layer above consists of another thermally conductive prepreg and a copper layer, which has been patterned. The green layer is the logic control board into which the p^2 Pack is embedded in a later step. It is a standard printed circuit board (PCB) that is used as control board for the power stage.

Figure 4 shows a cross sectional view of a p^2 Pack. The bottom layer represents the insulated copper base plate, which can be directly attached to a heat sink. The middle layer is the lead frame with a small cavity of $70\ \mu\text{m}$ with an assembled power MOSFET of the same total thickness. The thickness of the lead frame is meanwhile standardized to an optimum of heat dissipation, miniaturization and cost. The top layer is the routing layer for the interconnection of the top contacts gate and source to the top layer carried out with copper filled blind vias. The black layers are built with dielectric prepreg sheets and guarantee the insulation at those places where they are not penetrated with blind vias. The copper surface of the component ensures a highly reliable metal to metal adhesion with superior electrical and thermal conductivity.

One of the preconditions for the power devices is a surface plating of copper on the contacts of the device.

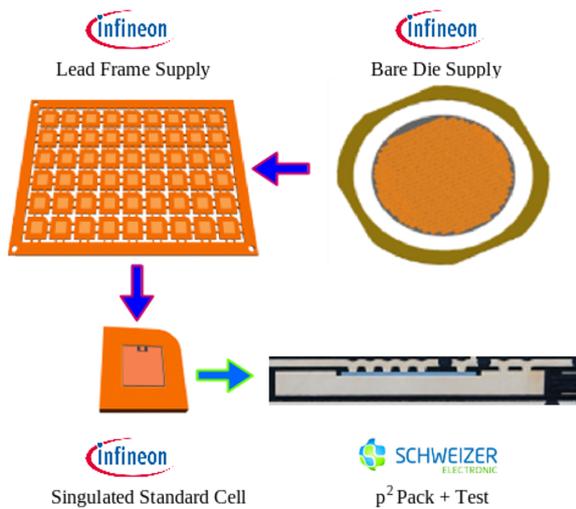


Figure 5. Supply Chain for p² Pack manufacturing.

This is necessary for the plating compatibility. The construction of the p² Pack is symmetric, which leads to a minimized warp and twist during thermal cycling and therefore minimizes pump out effects of thermal interface material, when it is directly mounted to a heat sink. The thick copper layers above and below the lead frame lead to an optimized heat spreading in each layer and in fact to a double-sided cooling of the power device. Up to one-third of the heat is transferred to the top layer and from the top layer through the complete package to a heat sink connected from the bottom side.

B. Supply Chain and Test Strategy

In the beginning the focus of the development was purely technical. After talking to several interested customers it turned out that also supply chain issues have to be solved for an acceptance of the technology on the market.

These issues could be solved by partnering with Infineon Technologies, who also invested into Schweizer by acquiring 9.4% of Schweizer's shares.

Infineon today produces the chips with a special top surface, consisting of copper and a special bottom surface to support the following die attach into the lead frame. The lead frame, which was previously manufactured by Schweizer, is now also provided by Infineon. After the die attach the so called standard cell is fully tested, like a typical component for SMD assembly. The supply chain is shown in Figure 5.

C. Additional features

Standardization and modularization are important factors for the success of a new technology. To increase functionality further, half bridge designs were built with current sensing components by using shunt elements for the measurement of the phase current of an electrical motor (cf. Figure 6 and Figure 7).

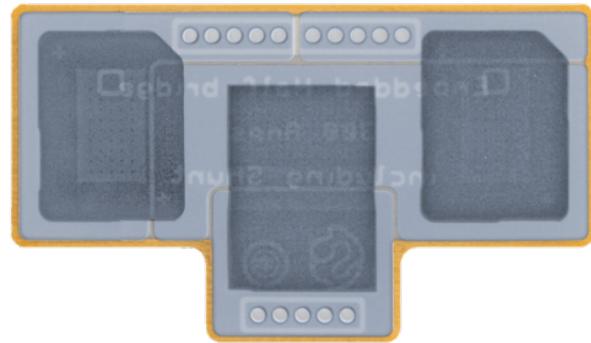


Figure 6. X-Ray image of a half-bridge design with embedded shunt.



Figure 7. X-sectional view of upper half-bridge design with embedded shunt in the middle.

By embedding shunts into the p² Pack the heat dissipation from the shunt is dramatically improved which increases the possibility to use shunts for current measurements even for very high currents e.g. 300 A.

D. Robustness and Reliability Data

The p² Pack went through a full component qualification as well as a full PCB qualification. Before testing, preconditioning was carried out with JEDEC MSL3 (moisture sensitivity level 3) with 3 reflows at a peak temperature of 260 °C [1]. The most critical tests in terms of reliability are the reflow soldering after exposure to humidity (MSL3), the thermal shock, the active load cycling and the hot storage test. Temperature cycling was made with a two chamber reliability equipment with 30 min at 150 °C and 30 min at -55 °C per cycle with a transfer time of < 10 s. Active power cycling is made by running high currents through the semiconductor and heating up the probe due to the component resistance R_{on}. A typical cycle is 2 seconds on then 2 seconds off. The temperature difference between on and off state was 80K. Hot storage means holding the probes at a temperature of 175 °C for at least 1000 hours. Tests up to 2000 hours were also performed. All component and PCB related qualification requirements could be achieved without failure. The reliability in active load cycling was found to be at least 10 times higher than a power module built with ceramic substrates. Up to 2 M cycles with a temperature difference of 100 K could be demonstrated, before the test was finished without damage. Typical values for ceramic based power modules are 80 k to 120 k cycles at 80 K temperature difference.

E. Applications and Markets

The first generation of p² Pack products will be based on low voltage MOSFETs from Infineon which

were especially designed for embedding applications. The qualification is done at automotive level as the first applications are expected to start in this market. The technology is not in production as of publication, since automotive design cycles take several years, especially for completely new technologies, but it is expected to find first applications under the hood. At the moment Schweizer is preparing its plant for mass production. Meanwhile the next generation p² Pack for wide band gap semiconductors is in development. Very low loss components like GaN (Gallium Nitride) and SiC (Silicon Carbide) need to have a low inductance package like the p² Pack. Otherwise the advantages of the new semiconductor technologies cannot be fully exploited.

F. Summary

The advantages of the p² Pack chip embedding technology are manifold. The technology began with the attempt to miniaturize power electronics and improve thermal dissipation; however, a lot of additional benefits were found. It is obvious that miniaturization can be easily achieved for the x-y direction and as well for the z-direction. The heat dissipation could be improved by 30% to 44% in comparison to a DCB substrate of the same size, and the thermal resistance junction to heat sink of 0.5 K/W was achieved [2].

Today's power electronics systems consist of several substrates and a collection of interconnect technologies. With the Smart p² Pack the whole assembly can be manufactured by means of SMT (Surface Mount Technology), which makes the assembly easier to control in high volume manufacturing and more robust than conventional systems. The losses can be minimized, as the static and the dynamic losses are lower for embedded constructions compared to conventional systems. This increases the energy efficiency of the system and reduces the efforts to spend for the cooling system. The p² Pack and the Smart p² Pack can be built as electrically insulating systems. Therefore the backside of those boards can be directly assembled onto a heat sink. The choice of TIM is open to the customer and also electrically conducting TIMs can be used.

A very nice feature is the very low inductance of a p² Pack. The low inductance enables fast switching in a PWM mode (pulse width modulation). For some applications faster switching offers the possibility to reduce the size of the passive components and cost involved. It also offers the opportunity to reduce the voltage class of power devices in the application. Today 650 V IGBTs are being used in drive applications although the DC-Link voltage is set to 400 V. The margin of additional 250 V blocking voltage is needed to control the voltage overshoot after switching on or off. The reason for this overvoltage is the parasitic inductance of today's systems, which is 5 to 10 times

higher than with a p² Pack. If 450 V devices could be used in those systems, because overvoltage is reduced due to low inductances, the on resistance R_{on} of these components would be reduced by approximately 30 %, which would increase the system's energy efficiency and reduce the cooling efforts.

One of the biggest assets of the technology is its extremely high reliability. The robustness in active power cycling could be improved at least by a factor of 10 compared to conventional wire bonded power modules on DCB substrates.

IV. CONCLUSION

Embedded components are a new technology trend to enter a broad spectrum of applications. After several years of research and development the technology will enter first automotive applications for mass production in 2021.

ACKNOWLEDGEMENTS

The authors acknowledge the competent contribution of Infineon Technologies and ETH Zürich to this work.

REFERENCES

- [1] IPC/JEDEC J-STD-020E, *Moisture/Reflow Sensitivity Classification for Nonhermetic Surface Mount Devices*, December 2014.
- [2] D. Kearney, S. Kicin, E. Bianda, A. Krivda, D. Bauman: "PCB embedded power electronics for low voltage Applications", *CIPS 2016: 9th International Conference on Integrated Power Electronics Systems*, Nuremberg / Germany, March 2016.



Thomas Gottwald studied surface technology and material sciences and started working with Schweizer Electronic AG in 1991. After ten years as Project Manager in the process development department, he took over the responsibility for the Product Engineering Department in 2001. Since 2011 he is appointed Director of the Innovation Center. He holds over 40 patents in different fields of technologies.

His focus areas are Component Embedding Technologies, Power Electronics and Thermal Management.



Christian Rössle studied industrial engineering and began his career in 1995 as Marketing Manager at Siemens Semiconductors / Infineon Technologies. After 8 years in the automotive and industrial segment holding various functions in Germany and abroad, he changed as Marketing Director and Product Line Head in 2003 to Infineon's Memory Division / Qimonda.

Within this division he was Head of Marketing for Mobile and Consumer applications with P&L responsibility for the Mobile segment.

Since 2009 he has worked with Schweizer Electronic AG, responsible for Sales, Partner Management and Marketing of SCHWEIZER's innovative technologies. In addition to this, he assumed responsibility for the area Embedding/Systems in 2014, setting up a new business field, which comprises the embedding of active and passive components into printed circuit boards.



Alexander Neumann received his diploma in Micro System Technology from the University of Applied Science (FHTW), Berlin in 2002.

In 2003 he started his career in research work on embedding semiconductor in printed circuit boards at the joint Institute of Technical University of Berlin and Fraunhofer Institute for Reliability and Microintegration (IZM), Berlin.

Since 2008 he works on embedding technologies (i^2 Board, p^2 Pack, μ^2 Pack) and Chip-on-Board PCB's as Project Manager Innovation at Schweizer Electronic AG, Schramberg.

Wie erstellt man einen C-Compiler für einen Prozessor mit eigenem Befehlssatz?

Dirk Jansen

Zusammenfassung—Dieser Beitrag beschreibt die Erstellung eines C-Compilers für einen beliebigen Befehlssatz auf Basis des Fraser-Hanson LCC-Compilers. Die notwendigen Adaptionsmaßnahmen und die Bedeutung der Regeln werden ausführlich erläutert. Als Beispiel wird der Befehlssatz des SIRIUS-JANUS Prozessorkerns verwendet.

Schlüsselwörter—C-Compiler, Assembler, Instruktionssatz, Befehlssatz, Cross-Compiler, MAKE-File, MD-File, Stack Frame, Function Call

I. EINLEITUNG

Bei der Entwicklung von integrierten Digitalaltungen für Anwender (ASIC) werden die Anforderungen an die Kommunikationsfähigkeit und Konfigurierbarkeit ständig höher. Moderne Kommunikationsprotokolle wie USB, Bluetooth usw. sind komplex und besitzen hohe Performance-Anforderungen, die den Einsatz programmierbarer Prozessoren erforderlich machen. Will man also eine intelligente „One-Chip“-Lösung, muss man den Prozessor mitintegrieren.

Welchen Prozessor und welche Eigenschaften muss dieser besitzen? In Frage kommen nur Kerne, die klein, kompakt und durch Software umfassend unterstützt sind. Realistisch sind das heute z.B. Kerne aus der ARM-Reihe wie ARM-Cortex, 8051-Verwandte oder diverse Exoten wie LEON 3.0. Diese Kerne sind alle nicht lizenzfrei und ihre Integration als IP mit großem Aufwand und Kosten verbunden, hiervon leben die jeweiligen Anbieter.

Als Hochschule hat man hier kaum eine Chance mitzuwirken. Dies lieferte die Motivation selbst als Lehrobject einen solchen Kern zu entwickeln und dabei alle Grundlagen der Prozessorarchitektur, des Zusammenspiels von Hardware und Software bis hin zum Betriebssystem exemplarisch nachzuvollziehen und damit der Lehre zugänglich zu machen.

Natürlich macht es keinen Sinn, mit ein paar Studenten den Großen in der Branche wie ARM oder INTEL Konkurrenz zu machen, aber es ist erstaunlich, was auch in kleinem Rahmen mit cleveren Studenten und Mitarbeitern umgesetzt werden kann. Als Beispiel für eine solche Entwicklung soll hier über das Projekt SIRIUS berichtet werden, das in den Jahren 2000 – 2013 an der Hochschule Offenburg im ASIC Design Center durchgeführt wurde.

Dirk Jansen war Professor an der Fachhochschule Offenburg mit den Lehrgebieten elektronische Schaltungstechnik und Entwurf integrierter Schaltungen.

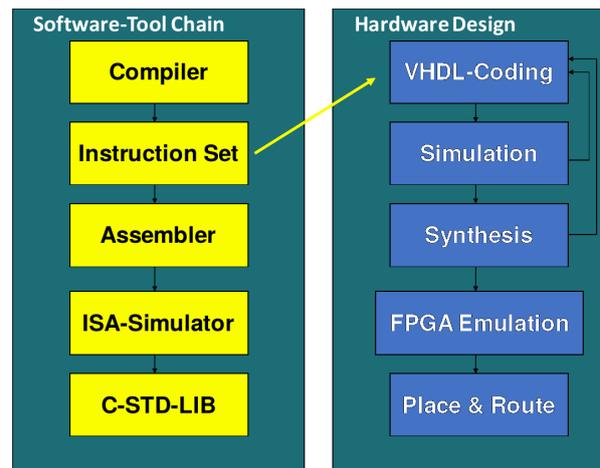


Abbildung 1. Design Flow bei der Erstellung eines Prozessorkerns mit eigenem Befehlssatz.

Als Schlüssel für jede Anwendung eines neuen Kerns hat sich die Forderung herausgestellt, Programme in der Hochsprache C ausführen zu können. Alle Kommunikationsmodule, die den SW-Stack bilden, sind als C-Code verfügbar. Die C-std.-Library ist umfassend, RT-OS bis hin zu LINUX ist im offenen SW-Bereich erprobt und gut dokumentiert verfügbar.

Die Erstellung eines **Assemblers** für einen neu entwickelten Kern mit eigenem Befehlssatz ist vergleichsweise einfach, hier gibt es zahlreiche Hilfen und auch konfigurierbare Assembler wie z.B. den an der HS Offenburg entwickelten CRASH-Assembler. Dies ermöglicht die Erstellung einfacher Treiber-Routinen, allerdings ist die Erstellung komplexer Softwaremodule in Assembler aufwändig. Dies erfordert einen auf die konkrete Zielarchitektur zugeschnittenen C-Compiler.

In diesem Beitrag soll an Hand des SIRIUS Befehlssatzes gezeigt werden, wie man einen solchen C-Compiler mit Hilfe der im Internet frei verfügbaren Programme erstellen kann.

II. DER LCC-COMPILER

Bei einer oberflächliche Recherche stößt man sofort auf die Tool-Chain des open source GNU-Projekts, welches umfangreiche Werkzeuge und Software für die Portierung des GNU-Compilers und GNU-Assemblers umfasst. Allerdings ist die Verwendung dieser Werkzeuge so komplex und Informatik-Fans vorbehalten, dass für einen Seiteneinsteiger keine Chance besteht,

einen lauffähigen Compiler zu generieren. Dies gilt auch für den Assembler. Unternehmen, die eine GNU-Portierung für ihre Kerne haben durchführen lassen, haben hierfür über 1 Mill. \$ aufwenden müssen. Hinzu kommt, dass die Zielarchitektur in einer Reihe von mehreren Files abzubilden ist, die alle zusammenwirken müssen und deren Inhalt schließlich in den Compiler eingebunden wird.

Als **Alternative** bietet sich hier der von Fraser & Hanson entwickelte Little C-Compiler LCC an, der in der Version 4.2 ebenfalls im Netz zu finden ist

https://github.com/drh/lcc/tree/v4_2

und der in dem von den beiden Autoren erstellten Buch (Abbildung 2) relativ gut dokumentiert ist. Die Architektur einer Portierung ist hier in einem einzigen MD-File konzentriert (MD = Machine Description). Die Arbeiten am LCC wurden zwar 2002 beendet, der Compiler deckt jedoch den kompletten C-Code ab und arbeitet sehr schnell. Mit zusätzlichen Frontprogrammen kann daraus auch ein C++ Compiler gemacht werden, so man das will. Weiterhin sind als Vorlage diverse andere Zielarchitekturen, etwa MIPS und Intel X86 als MD-File und Portierungsbeispiele vorhanden, was das Verständnis erleichtert und z.T. auch als Vorlage dienen kann.

Als wichtigstes Argument für den LCC möchte ich hier die streng an den Data Flow Graph ausgerichtete Architektur des Compilers aufzählen, die konsequent mit DAGs (Directed Acyclic Graph) arbeitet. Diese kann man sich auch ausgeben lassen, wodurch man die Vollständigkeit der Regeln überprüfen kann. Eine weitere für den Entwickler wichtige Eigenschaft ist die Möglichkeit, jede Zeile des Original-C-Programms als „Comment“ ins Compilat einfließen zu lassen, sodass man direkt erkennen kann, wie der Compiler die C-Anweisung in Assembler-Code umsetzt.

Es wurde zudem entschieden, als Ausgangs Code die Assemblersprache des Zielprozessors zu verwenden, um das Ergebnis kontrollieren zu können und um bei der Weiterverarbeitung weiteren, schon compilierten Code in Assemblersprache inkludieren zu können.

In der Praxis der Anwendung muss dieser Zwischencode für den Benutzer nicht sichtbar sein, ein Batch-File kann den Vorgang bis zum Maschinen-Code automatisieren und das HEX-File zum Laden direkt erzeugen. All dies erfolgt in einem GUI-Programm, welches zudem noch einen Simulator enthält.

III. WIE ARBEITET EIN COMPILER?

Schon bei der Konzeption der SIRIUS Architektur wurde darauf geachtet, dass der geschaffene Befehlssatz möglichst die innere Struktur der Sprache C reflektiert und damit die Regeln für eine Umsetzung möglichst einfach werden.

Um das näher zu verstehen, muss man sich die Struktur der Sprache C, ihre Syntax und das Konzept der unterschiedlichen Speichertypen ansehen.

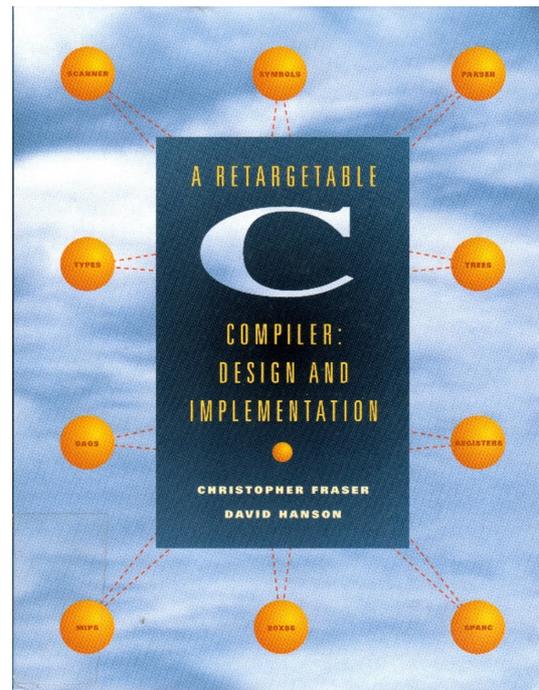


Abbildung 2. Buchempfehlung Fraser & Hanson: Little C-Compiler.

Ein Befehl in C, ein „Statement“, besteht aus Symbolen, die über Operatoren miteinander verknüpft sind. Symbole können für Speichervariablen oder Konstanten stehen, wobei zwischen globalen und lokalen Variablen unterschieden wird.

Der folgende C-Code soll das deutlich machen:

```
int a=3;
int x,y;
main(void)
{
    int c=37;
    x=5;
    y=(a+c)*x;
    return 0;
}
```

Der Code beginnt mit der Deklaration einer initialisierten Variablen, d.h. es wird eine Position im globalen Speicher reserviert, der bereits vom Übersetzungsvorgang her ein Anfangswert zugewiesen wird. Der Typ dieser Variablen ist ein Integer, also ein Ganzzahlwert mit Vorzeichen. Die Deklaration wird wie alle Statements mit einem Semikolon abgeschlossen.

Anschließend erfolgt die Deklaration von zwei weiteren Variablen x und y, die als Liste, getrennt durch Komma, aufgeführt sind. Auch hier handelt es sich um globale Variablen des Typs Integer, jedoch uninitialisiert.

In der nächsten Zeile finden wir den Aufruf einer Funktion main(void), die das eigentliche Hauptprogramm bildet und nicht extra deklariert werden muss.

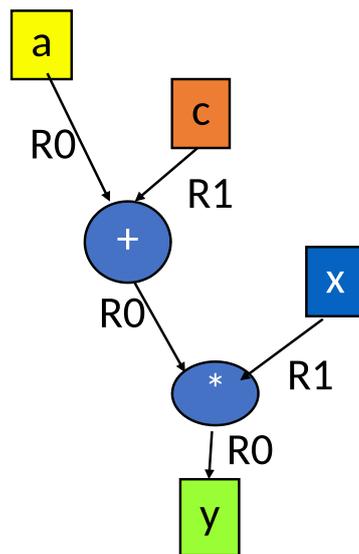


Abbildung 3. Data Flow Graph aus Operatoren und Variablen.

Die Bezeichnung void bedeutet, dass keine Parameter mit der Funktion übergeben werden. In der Klammer stehen gewöhnlich die an die Funktion zu übergebenden Argumente.

Der Rumpf der Funktion wird durch die geschweifte Klammer gebildet, alles was innerhalb dieser Klammer steht gehört zum Kontext dieser Funktion und ist somit lokal.

Die Deklaration der Variable `c` an dieser Stelle erzeugt also eine lokale Variable, die mit dem konstanten Wert 37 vorbelegt wird. In der üblichen Prozessorarchitektur wird diese Variable als Speicherstelle auf dem Stack reserviert und es wird zusätzlicher Code erzeugt, der diese Variable mit der Konstante 37 initialisiert.

In der nächsten Zeile wird der globalen Variable `x` der Wert 5 zugewiesen. Die Adresse der globalen Variablen ist auch im Kontext der Funktion immer bekannt.

Anschließend erfolgt eine Berechnung, geschrieben in der üblichen Form, wobei die Klammer bedeutet, dass ein Zwischenwert aus $(a + c)$ gebildet werden soll, der danach mit der Variablen `x` multipliziert wird.

Abbildung 3 zeigt den dazugehörigen Data Flow Graph DFG. Die Variablen sind als Quadrate dargestellt, die Operatoren $(+)$ und $(*)$ als Kreise bzw. Knoten. Es erfolgt also zuerst die Addition der Variablen `a` und `c`, dann erst die Multiplikation mit `x`.

Es wird also ein Zwischenspeicher benötigt. Hier beginnt die erste Festlegung auf die Architektur der Maschine. In einer Register-Architektur werden die Variablen zuerst in Arbeitsregister geladen, dann mit dem Operator verknüpft und das Ergebnis wieder in einem Register abgelegt. Dies entspricht dem Konzept eines Arbeitsplatzes, zu welchem die Werkstücke aus dem Lager (Speicher) erst hingebacht, dann bearbeitet und zuletzt wieder ins Lager zurück gebracht werden. Wie viele solcher Register zur Verfügung stehen und wie

sie aufgebaut sind muss hier noch nicht entschieden werden. Sie müssen allerdings die Variable und ihren Typ fassen können.

Im Beispiel werden hier die Register `R0` und `R1` verwendet. Typischerweise wird `R0`, das mit Variable `a` geladen wird, vom Ergebnis überschrieben. Das spart Register, muss aber nicht immer effektiv sein, wenn der Wert `a` in der Rechnung nochmals benötigt wird. Ebenso kann das Zielregister einer Operation durchaus ein anderes sein.

A. Frontend

Jedes Statement in C wird im Compiler in einen solchen DFG zerlegt. Dies geschieht im sogenannten **Frontend**, in der Verarbeitungsstufe, in welcher auch die Syntax der Sprache geprüft und interpretiert wird. Hier werden auch die Schlüsselwörter wie „int“ und die Symbole der Operatoren verwaltet. Der Vorgang des Code-Lesens und Interpretierens wird als Parsing bezeichnet. Hierfür verwendet der Compiler Standard-Parser und eine in einem besonderen Format gespeicherte Grammatik. Durch Austausch dieser Grammatik können damit auch andere Programmiersprachen ähnlicher Architektur, z.B. Fortran oder Pascal, insbesondere auch C++, gelesen werden. In diesem Teil werden auch die Symbole (Namen) gesammelt und die Speichertypisierung (global, lokal, initialisiert oder nicht usw.) durchgeführt. Aus der Deklaration wird entnommen, wieviel Bits für einen Variablentyp vorgesehen sind. Blöcke werden als Arrays bzw. Structs behandelt, als sogenannte zusammengesetzte Typen. Hierzu gehören insbesondere 0-terminierte Arrays aus Textzeichen, also Text-Strings.

Das Hauptergebnis der Frontend-Verarbeitung ist eine Menge von DFG-Bäumen, bestehend aus DFG-Operatoren, die repräsentativ für die realen Operatoren stehen.

Die Frontend-Compilierung und die Zerlegung in DFG Trees ist weitgehend maschinenunabhängig und nur von der verwendeten Hochsprache abhängig. Dieser Teil des Compilers ist also für die meisten Architekturen gleich.

B. Backend

Der maschinenabhängige Teil des Compilers ist im **Backend** angesiedelt, oftmals sogar als separates Programm konzipiert (hier `rcc.exe`).

Im Backend muss der DFG mit vorhandenen DAG – Operatoren ausgefüllt werden, wobei hierbei die mit den DAGs aufgestellten Regeln (Rules) zu beachten sind. Diese Rules beschreiben, wie die DAGs miteinander verkettet werden. Man spricht hier von **tree coverage**, also Baum-Überdeckung. Passen die Enden der Kanten wegen unterschiedlicher Datentypen nicht zusammen, sind entsprechende Konvertierungs-Operatoren einzufügen.

Size	bits
1	8
2	16
4	32
8	64

Type	name
U	unsigned
I	signed
F	float
P	pointer
B	block
V	void

Load/store	Control	Arithm.	Logic
ASGN	JUMP	ADD	BAND
INDIR	CAL	SUB	BOR
ARG	RET	LSH	BXOR
LOAD	EQ	RSH	BCOM
VREGP	NE	MUL	
LABEL	GE	DIV	
CNST	GT	MOD	
	LE	NEG	
	LT	CV	

Example: **ADDU2** 29 operators



Abbildung 4. DAG Operatoren des LCC.

In dem Zug wird nun der Assembler-Code erzeugt, da mit jedem DAG-Rule ein entsprechender Assembler-Befehl verbunden ist. Es können auch mehrere Befehle notwendig sein, um einen DAG-Operator richtig abzubilden. Es gibt genau 29 DAG-Operatoren, siehe dazu Abbildung 4.

Die Operatoren gliedern sich in solche für Data-Transfer (Load/Store), Control, Arithmetik und Logik. Label werden wie Konstanten behandelt. Bei Control sind neben dem Funktionsaufruf CAL/RET auch die bedingten Sprünge mit den Vergleichsoperatoren zu finden. Bei der Arithmetik ist neben den bekannten Operationen insbesondere auf die Konvertierungsfunktionen CV hinzuweisen.

Die Operatoren sind mit einem Typ und einer Arbeitsbreite in Byte (Size) spezifiziert. Der Operator ADDU2 addiert also zwei 16 bit breite Ganzzahlenwerte ohne Vorzeichen.

Als besonderer Typ ist auf P wie *Pointer* hinzuweisen. Hiermit werden Adressen beschrieben, sowohl globale wie lokale Adressen.

Der Typ F bezeichnet Floating Point Typen. Es können sowohl 32- wie 64-Bit FP Daten beschrieben werden.

Im Backend erfolgt weiterhin die Registerzuordnung auf die verfügbaren Register, die hier ebenfalls deklariert werden müssen. Ebenso die Speicherzuordnung, wobei hier durchaus unterschiedlicher Speicherkonzepte organisiert werden können. Üblicherweise erfolgt aber eine Trennung in Segmente, z.B. Code-Segment und Daten-Segment, wobei die hierfür notwendigen Direktiven an den Assembler eingefügt werden.

Im Backend kann auch eine gewisse Codeoptimierung erfolgen, in dem die Bäume zusammengefasst oder anderweitig modifiziert werden. Bei LCC ist die Optimierung auf ein Statement begrenzt, eine Statement-übergreifende Optimierung könnte noch angedockt werden, erscheint mir aber nicht erforderlich und sinnvoll, da dies auf Kosten der Übersichtlichkeit und Nachprüfbarkeit des Codes erfolgt und damit fehlerträchtig wird. Vom Programmfluss nicht erreichbare Statements (toter Code) werden aber gefunden und als solche markiert.

IV. ASSEMBLER-CODE GENERIERUNG

A. DFG-Mapping

Im Backend müssen die Entscheidungen über die Architektur des Prozessors in das Mapping des DFG durch DAGs einfließen. Hierbei kommen nun die Ressourcen des Prozessors ins Spiel:

- Wieviel Speicheroperationen gleichzeitig? (eine)
- Wieviel Rechenoperationen gleichzeitig? (eine)
- Wieviel Zwischenspeicher (Register) gibt es?
- Welche Datentypen sollen verarbeitet werden?
- Wie sollen Blöcke behandelt werden?

Es müssen also Rules für so viele DAGs geschrieben werden, wie der Prozessor verarbeiten kann. Für Datentypen, die nicht weiter vorgesehen sind (z.B. double, longlong) können die DAGs entfallen.

Beim SIRIUS wurde der Befehlssatz soweit wie möglich den DAGs angepasst, so dass sich in den meisten Fällen eine 1:1 Abbildung der DAG-Rules auf entsprechende Assemblerbefehle ergibt. Damit wird

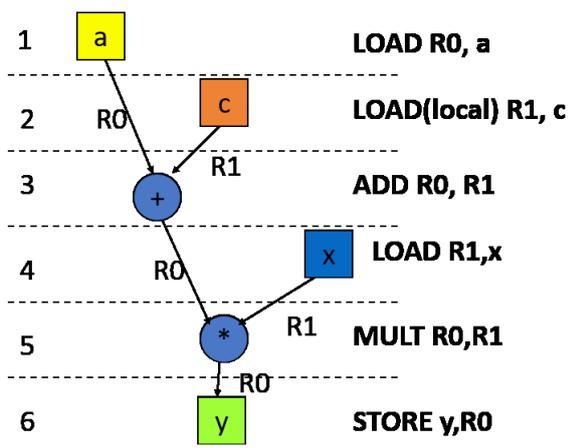


Abbildung 5. DFG mit Zuordnung zu Ressourcen und Taktstritten.

der Code sehr kompakt. In den Rules kann ferner noch ein Gewicht angegeben werden, welches bei der Codeoptimierung berücksichtigt wird. Ist der Assemblerbefehl mit mehreren Takten gewichtet, wird dies berücksichtigt.

B. Tree Coloring

Unter diesem Begriff wird die Zuordnung des DAG Baums zu Registern, entsprechend ihrer Breite, sowie die Einfügung von Konvertierungsschritten, soweit erforderlich, verstanden. Register werden in definierter Reihenfolge belegt, wenn sie nicht mehr ausreichen, wird „gespilt“, d.h. es werden Zwischenwerte auf dem Stack abgelegt. Dies ist bei ausreichender Anzahl von Registern nicht erforderlich, kann aber insbesondere bei FP-Operationen in komplizierten Formeln auftreten. Diese Sonderfälle sind alle in entsprechenden Funktionen zu regeln, die ebenfalls Bestandteil des MD-Files sind.

C. Function Calls

Im MD-File ist ebenfalls genau zu spezifizieren, wie ein Funktionsaufruf organisiert wird. In C sind alle Programme als Funktionen definiert, an oberster Stelle die Funktion `main(void)`, die das Hauptprogramm darstellt. Funktionen übergeben Argumente, die in der Liste, die in der Klammer der Funktion steht, aufgeführt sind. Zugelassen als Argumente sind einfache und zusammengesetzte Datentypen und Pointer, was die Situation komplex macht. Innerhalb der Funktion können weitere Variablen deklariert werden, die als lokal gelten und nach der Beendigung der Funktion verworfen werden.

Funktionsaufrufe müssen so konzipiert werden, dass eine beliebig tiefe Schachtelung möglich ist.

Da der erforderliche Speicherbereich für Argumente und lokale Variablen für jede Funktion unterschiedlich sein kann, hat sich allgemein das Prinzip des Stack Speichers durchgesetzt, der durch einen Stack Pointer

adressiert wird, der neben dem Instruktion Pointer Bestandteil des Registersatzes ist. Der Stack Pointer SR zeigt immer auf eine freie Adresse. Daten können auf dem Stack durch einen PSH Befehl abgelegt, mit einem POP Befehl wieder gelesen werden. Dabei wird der Stack Pointer um die entsprechende Anzahl von Bytes dekrementiert bzw. inkrementiert.

Mit dem gleichen Konzept werden auch Function-Calls organisiert. Beim Aufruf wird die Rücksprungadresse, das ist die um ein 2 inkrementierte Adresse des IR, auf den Stack gepusht, anschließend alle Argumente mit ihrer spezifischen Breite. Enthält die Funktion lokale Variablen, werden diese durch dekrementieren des SR berücksichtigt. Ebenso eventuelle lokale Konstanten, die mit einem extra tree initialisiert werden. Alle diese Speicherstellen sind auf dem Stack nach unten hin angeordnet, sie bilden den *Call Frame*. Die Adresse des letzten Call Frame Elements wird als Frame Pointer im SA-Register abgelegt, von dem die lokalen Adressen durch Offsets berechnet werden. Der Compiler berechnet diese Offsets automatisch, allerdings muss ihm das gesagt werden.

Ist die Funktion beendet, wird mit dem Return Befehl der Stack Pointer wieder um die Länge des Call Frames zurückgesetzt. Das Ergebnis der Funktion wird gewöhnlich in einem Register übergeben.

Da nach dem Call der SR wieder auf freiem Stack-Speicher steht, kann ein solcher Call beliebig oft erfolgen, soweit der Stack das hergibt. Ein Stack-Überlauf, ein bekanntes Problem bei C, muss auf andere Weise, etwa durch das Betriebssystem, verhindert werden, das ist nicht Aufgabe des Compilers.

Interrupts werden in C wie gewöhnliche Function Calls behandelt, erzeugen also ebenfalls einen Stack Frame wobei die bestehenden Register insbesondere SA als Argumente gesichert werden. Der Interrupt muss komplett abgewickelt und ausgeführt sein, die Register zurückgelesen werden, bevor das Programm fortgesetzt wird. Auch das ist durch die Stack-Architektur gewährleistet, da laufende Befehle nicht unterbrochen werden können. Allerdings sind bei Blockoperationen die Interrupts zu sperren, andernfalls kann es Adressierungsprobleme geben.

V. BEISPIEL: SIRIUS-JANUS

Das schon zuvor mehrfach besprochene Beispiel als C-Code sowie der mit dem Compiler erzeugter Assembler Code werden in Abbildung 6 dargestellt.

Die Zeilen des C-Codes werden als Comments mit dem „;“ – Zeichen vorweg im Assembler Code wiedergegeben, so dass man leicht eine Zuordnung treffen kann. Als MD-File wurde das File SIRIUS32.md verwendet, der den SIRIUS-JANUS Prozessor beschreibt. Dieser Prozessor kann sowohl 16 bit wie auch 32 bit Daten verarbeiten und ist komplett C-kompatibel. Im Assembler Code steht das Zielregister links, bei

ADD RA,R9

Beispiel

C-Code

```
int a=3;
int x,y;
main(void)
{
  int c=37;
  x=5;
  y=(a+c)*x;
  return 0;
}
```

**Übersetzung
Befehl zu Befehl**

Assembler Code

```
CSEG          ; initialized data
a              DW 3
; INIDATA ends

CSEG          ; code segment

main PROC
PSH IM
SBI SR,2
; {
;  int c=37;
LXI RB,2-2
LDI RA,37
STX RB,RA
;  x=5;
LDI RB,x
LDI RA,5
STX RB,RA
```

```
; y=(a+c)*x;
LDI RB,y
LDI RA,a
LDX RA,RA
LXI R9,2-2
LDX R9,R9
ADD RA,R9
LDI R9,x
LDX R9,R9
MPS RA,R9
STX RB,RA
; return 0;
XRA R0,R0
L_1:
ADI SR,2
POP IM
ADI SR,0
RET 2
ENDP

CSEG          ; uninitialized data
segment
y              DW 0
x              DW 0
```

Abbildung 6. Codebeispiel, C- Code und Assembler.

wird also der Inhalt von R9 auf RA addiert und das Ergebnis wird in RA zurückgeschrieben.

Das Assemblerprogramm beginnt mit einer Direktive CSEG = Codesegment. Wo das Codesegment beginnt wird im Assembler selbst festgelegt, also nicht vom Compiler.

In der nächsten Zeile wird die Variable a reserviert und mit dem Wert 3 als Data-Word DW mit 16 bit Breite initialisiert.

Erneut folgt eine Assemblerdirektive. Hier wäre es möglich, den eigentlichen Code-Bereich an einer anderen Adresse beginnen zu lassen.

Der Assembler verlangt zusammen mit dem Namen der Funktion die Direktive PROC. Anschließend erfolgt der Aufbau des Call-Frames. Das IM Register wird auf den Stack gepusht, der Stack Pointer um 2 dekrementiert, um Platz für die Variable c zu schaffen. Anschließend erfolgt der Code, der die lokale Variable mit 37 initialisiert. Dazu wird zuerst die Adresse in Register RB berechnet, dann die Konstante mit LDI RA,37 direkt in RA geladen und dann mit dem Befehl STX RB,RA im Stack auf der zuvor reservierten Position abgespeichert.

Nun folgt die Zuweisung an die globale Variable x. Dazu wird zuerst die Adresse von x geladen, dann der Wert, der zugewiesen werden soll (5), anschließend wird der Wert wieder nach x zurückgespeichert.

Nun erfolgt die Berechnung der Formel. Die Adresse von der globalen y kann direkt in RB geladen werden.

Auch a ist global und kann über die Adresse und dann der Inhalt geladen werden. Schwieriger ist der Zugriff auf die lokale Adresse, was ähnlich erfolgt wie zuvor. Schließlich sind beide Werte in RA und R9 und können nun addiert werden. Das Ergebnis wird in RA zurückgeschrieben und später wiederverwendet. Die globale Variable x wird wie zuvor über ihre Adresse geladen und anschließend erfolgt die Multiplikation mit dem Ergebnis in RA. Dieses wird mit STX RB,RA im Speicher an der in RB stehenden Adresse abgelegt.

Die Funktion wird mit *return 0* abgeschlossen, wobei die „0“ durch XRA R0,R0 in R0 gebildet wird, dies erfordert einen Takt weniger als das Laden der Konstante 0 in R0 mit LDI R0,0. Das Ergebnis der Funktion liegt also im Register R0 nach Vereinbarung.

Mit der Assembler-Direktive ENDP wird die Funktion abgeschlossen. Anschließend folgen die Speicherplätze für die nicht initialisierten Variablen.

VI. ERGEBNISSE

Mit dem LCC wurde ein Compiler-Werkzeug für die Erstellung eines C-Compilers für eigen-erstellte Prozessoren gefunden, das mit vertretbarem Aufwand auskommt und zugleich eine tiefen Einblick in die C-Sprache erlaubt. Der Compiler für SIRIUS wurde inzwischen mit Benchmarks verifiziert und dient als Arbeitspferd auch zur Übersetzung schwieriger C-Sprachkonstrukte. Damit konnte eine Performance von 0,65 MIPS/MHz für SIRIUS JANUS nachgewiesen

werden, ein Wert, der nur wenig unter dem kommerziellen ARM-Cortex liegt, jedoch eine deutlich höhere Codedichte aufweist, da er überwiegend nur 16 bit Instruktionen verwendet. Dieser Beitrag soll Anregung geben, gegebenenfalls eine eigene IS-Architektur zu erproben.

LITERATURVERZEICHNIS

- [1] Jansen, D., N. Fawaz, D. Bau, M. Durrenberger: *A Small High Performance Microprocessor Core SIRIUS For Embedded Low Power Designs, Demonstrated in a Medical Mass Application Of an Electronic Pill (ePille®)*, Embedded System Design Topic, Techniques and Trends, ISBN 978-0-387-72257-3, June 2007 , Irvine, USA.
- [2] Fraser, Christopher and Hanson, David: *A retargetable C-Compiler: Design and Implementation*, Addison-Wesley Publishing Company, ISBN 0-8053-1670-1, Redwood City, California, USA 1995.



Dirk Jansen beendete sein Studium der Nachrichtentechnik an der Technischen Hochschule Darmstadt als Diplom-Ingenieur 1972. 1978 folgte die Promotion zum Dr.-Ing. an der Universität Stuttgart im Institut für Flugnavigation.

Bis 1986 arbeitete er als Entwicklungsingenieur in der Luftfahrt-Elektronik, zuletzt als Abteilungsleiter mit bis zu 44 Mitarbeitern. Die Projekte umfassten die Bereiche Inertialtechnik, Optoelektronik und Signalverarbeitung.

1986 erhält Dirk Jansen einen Ruf als Professor an die Fachhochschule Offenburg mit den Lehrgebieten elektronische Schaltungstechnik und Entwurf integrierter Schaltungen. In dieser Zeit war er unter anderem Leiter des ASIC-Design-Centers, Leiter des Instituts für Angewandte Forschung, Sprecher der MPC-Gruppe, Mitglied der DFG-Rechnerkommission (bis 2005), DFG-Gutachter, AIF Gutachter und wissenschaftlicher Berater. Er ist Mitglied im IEEE, VDE und in der MPC-Gruppe.

Seit 2013 ist Dirk Jansen im Ruhestand.

Circular Estimation for Rectangular Shape Tracking

Bleard Loshaj, Ekkehard Batzies, Michael Gabb

Abstract—Common estimation methods that are designed to track linear quantities do not perform well when used to track orientations. This results from the periodicity involved in the orientations, which is neglected by these estimators. Instead, estimators that respect the underlying topology of the manifold, i.e. the circle, can be used. However, when the measurements which track the orientation have a different period than the circle, it is not immediately clear how circular estimators are to be applied. Here, an adaptation of the circular estimators based on the characteristic function of the distributions is proposed. Since the distributions which these estimators rely on are not limited on circles, goodness-of-fit tests are applied to justify the assumptions about the measurement uncertainty. Furthermore, an adapted circular estimator with post-processing is proposed. Both estimators, the adapted circular estimator and the adapted circular estimator with post-processing are thoroughly evaluated and also compared with the best performing non-circular estimator by using real world data.

Index Terms—bayesian estimator, angular quantities, directional statistics

I. INTRODUCTION

Sensors, whether in miniature apparatus, as glucose monitoring devices, or in colossal systems, as the global positioning system, deliver measurements that contain inherent uncertainties.

To handle this issue, often, statistical methods are used. They reside in the Bayesian theorem, which leads to Bayesian inference, and are also closely related to Bayesian probability [1].

The context of the paper is environment perception for highly automated driving. In particular, the goal is to track the orientation of the vehicles. Thus, the quantity of interest is an angle. The way angles are measured changes intrinsically from the way of measuring common quantities as position or temperature because angles involve periodicity. Mathematically, angles lie on a periodic manifold, the circle, whereas position and temperature lie on vector spaces. As a consequence, when Bayesian estimation is used to estimate angles, appropriate probability functions are necessary because, e.g., the assumption of a normal distribution [2] would be incorrect since it is defined only on vector spaces [3].

Bleard Loshaj, bleard.loshaj@student.kit.edu,
 Ekkehard Batzies, ekkehard.batzies@hs-furtwangen.de
 Michael Gabb, michael.gabb@de.bosch.com

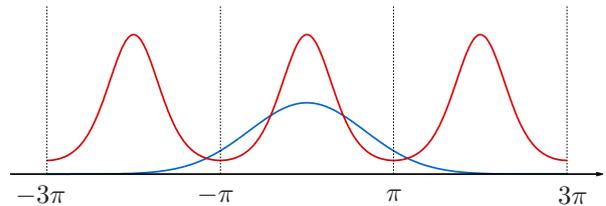


Figure 1. The normal distribution (blue) neglects the periodicity of the circle whereas the von Mises distribution (red) respects it and hence is appropriate for modeling angular uncertainties.

To avoid false assumptions, Bayesian estimators assuming probability functions defined on the corresponding manifold of the measured quantity are required. Some established Bayesian estimators based on circular probability density functions are those based on the von Mises distribution (1) [4]

$$VM(\theta; \mu, \kappa) = \frac{1}{2\pi I_0(\kappa)} e^{\kappa \cos(\theta - \mu)} \quad (1)$$

and the Bayesian estimator based on the wrapped normal distribution (2) [5].

$$WN(\theta; \mu, \sigma^2) = \frac{1}{\sigma\sqrt{2\pi}} \sum_{k=-\infty}^{\infty} \exp\left[-\frac{(\theta - \mu + 2\pi k)^2}{2\sigma^2}\right] \quad (2)$$

Figure 1 shows a comparison of the normal distribution and the von Mises distribution.

Furthermore, due to restrictions of the used sensor (lidar), it is not possible to decide whether the measured angle is the true orientation of the vehicle or the orientation of one of the vehicle's sides — front cannot be distinguished from rear and sides. Thus, mathematically formulated, the range of the measurements is the quadrant $[0, \pi/2)$ and not the circle $[0, 2\pi)$. This is illustrated in Figure 2.

The topics discussed in this paper are the problem of finding proper adaptation of the Bayesian estimators based on circular probability density functions for the quadrant, the specific properties of circular distributions that can be used to construct an estimator with

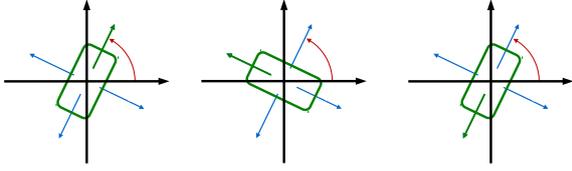


Figure 2. The measurement provides the same orientation in all three cases. Hence, the measurements are $\pi/2$ periodic although the state is 2π periodic.

post-processing, and the evaluation of these estimators compared to those that make false assumptions about the underlying manifold of the quantity, as the unscented Kalman filter.

II. ADAPTION

A. Measurement Method

As mentioned earlier, due to restrictions of the used sensor (lidar), the range of the measurements is the quadrant $[0, \pi/2)$ and not the circle $[0, 2\pi)$. This is a result of the measurement method which consists of three steps (cf. Figure 3):

- 1) projection of the three-dimensional point cloud provided by the lidar onto the x,y-plane
- 2) fitting of the L-shape¹
- 3) extracting the orientation angle from the L-shape.

Since the L-shape does not contain the information which of the vehicle edges is detected, the orientation extracted from it is $\pi/2$ periodic and thus only takes value in the quadrant, i.e. the range $[0, \pi/2)$.

B. Circular statistics for arbitrary periodic manifolds

In the following we make a case for any one-dimensional periodic manifold of arbitrary range can be handled with circular statistics. This argument is based on the characteristic function.

Remind that for circular distributions, due to their periodicity the characteristic function becomes a series of complex numbers, which in general is doubly-infinite, given by (3)

$$\begin{aligned} \phi_p &= E[e^{ip\theta}] \\ &= \int_0^{2\pi} f(\theta) e^{ip\theta} d\theta, \quad p = 0, \pm 1, \pm 2 \dots \end{aligned} \quad (3)$$

This is the Fourier series of the probability density function $f(\theta)$ and contains all the trigonometric moments of it.

As a consequence of the Fourier series' definition (4) [6]

¹Two end-attached segments with variable lengths and a rectangular angle in-between — similar to the letter 'L'.

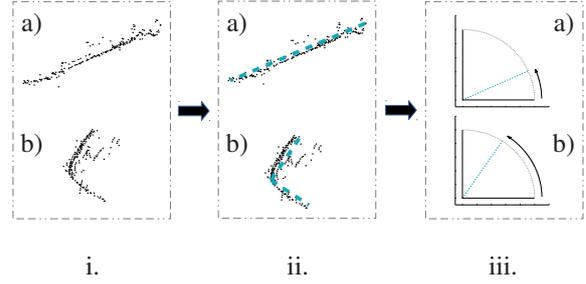


Figure 3. Overview of the computational process for the measurement extraction: i. flattened² point clouds with a) one detected edge and b) two detected edges, ii. flattened point clouds and the fitted L-Shapes with a) one detected edge and b) two detected edges, iii. the extracted measurements (i.e. angles) depicted on the first quadrant.

$$\phi_p = \frac{1}{T} \int_0^T f(\theta) e^{ip\frac{2\pi}{T}\theta} d\theta. \quad (4)$$

the characteristic function of all circular distributions retains the same structure for any arbitrary one-dimensional manifold as long as the periodicity property is present, although it is scaled by $2\pi/T$ due to the normalized probability density function (5)

$$\int_0^T f(\theta) d\theta = 1. \quad (5)$$

The scaling of the frequency axis is irrelevant because only the resulting shape of the function $f(\theta)$ in the original domain is of interest. Thus, circular statistics can be applied on arbitrary one-dimensional periodic manifolds by scaling in advance.

It follows that the measurement uncertainty is to be modeled with circular statistics. The scale factor in this case is $2\pi/\pi/2 = 4$. Consequently, the actual state must be modeled with circular statistics adapted for the quadrant, since the measurements only provide information for this manifold.

III. CIRCULAR ESTIMATOR WITH POST-PROCESSING

The dispersion of the product probability density function on the line depends on the dispersion of the factor probability density functions. For example, the multiplication of two normal distributions

$$f(x) = \frac{1}{\sqrt{2\pi}\sigma_f} \exp\left[-\frac{(x - \mu_f)^2}{2\sigma_f^2}\right] \quad (6)$$

$$g(x) = \frac{1}{\sqrt{2\pi}\sigma_g} \exp\left[-\frac{(x - \mu_g)^2}{2\sigma_g^2}\right] \quad (7)$$

is defined as

$$f(x)g(x) = \frac{S_{fg}}{\sqrt{2\pi}\sigma_{fg}} \exp\left[-\frac{(x - \mu_{fg})^2}{2\sigma_{fg}^2}\right] \quad (8)$$

with the scaling factor

²Projected onto the x,y-plane.

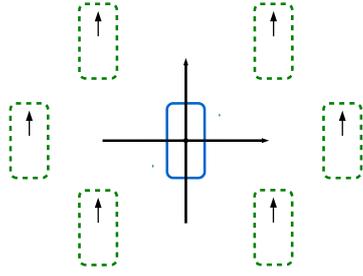


Figure 4. The measurement error is independent from the state since, for example, all six vehicles have the same state, i.e. relative orientation with respect to the ego-vehicle coordinate system, but the measurement error varies depending on the perspective.

$$S_{fg} = \frac{1}{\sqrt{2\pi(\sigma_f^2 + \sigma_g^2)}} \exp \left[-\frac{(\mu_f - \mu_g)^2}{2(\sigma_f^2 + \sigma_g^2)} \right] \quad (9)$$

and new parameters

$$\sigma_{fg} = \sqrt{\frac{\sigma_f^2 \sigma_g^2}{\sigma_f^2 + \sigma_g^2}} \quad \text{and} \quad \mu_{fg} = \frac{\mu_f \sigma_g^2 + \mu_g \sigma_f^2}{\sigma_f^2 + \sigma_g^2} \quad (10)$$

for the product normal distribution [7].

In contrast, the dispersion of the product probability function on the circle depends on the dispersion and the locations of the factor probability density functions, e.g. the multiplication of von Mises distributions is defined as

$$VM(\mu_1, \kappa_1) \cdot VM(\mu_2, \kappa_2) \sim VM(\mu, \kappa)$$

where

$$\mu = \text{atan2}(\text{Im}\{m_1\}, \text{Re}\{m_1\}), \quad \kappa = |m_1|$$

with

$$m_1 = \kappa_1 e^{i\mu_1} + \kappa_2 e^{i\mu_2}.$$

For the Bayesian estimation this means that in the circular case new measurements can lead to higher uncertainty, which can not take place in the real line case.

This feature can be used to optimize the Bayesian estimator by only considering updated states which have large certainty. This approach is tested here by specifying different thresholds for the certainty parameter κ . In real time applications, the value of $\bar{\kappa}$, which is the average of κ over time, can be calculated by a moving average filter and the threshold is a hyperparameter that lies somewhere in $(0, \kappa_{MA}^3)$. Nonetheless, this approach leads to a decrease in the output frequency.

³ $\bar{\kappa}$ estimated with the moving average filter.

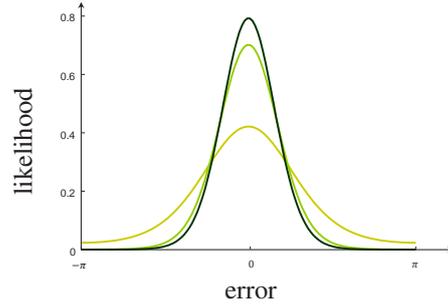


Figure 5. The distribution of the additive noise modeled with von Mises for three different point cloud sizes: [20-40] olive, [100-120] light green, and >180 dark green.

IV. EVALUATION

A. System and measurement model

For the evaluation, the system model is assumed to be the identity model with additive noise since the system dynamics are not analyzed here. Because this model is not suited for all scenarios, the estimators are tested on two different types of scenarios: low dynamic scenarios which are well described by the identity model; high dynamic scenarios which are poorly described by this model. The parameters of the additive system noise, however, are estimated independently for both types of scenarios.

The measurement model is also assumed to be the identity model with additive noise, since the measurements are directly observed and the measurement noise is independent from the true state (see Figure 4).

B. Measurement noise

Although the measurement noise is independent of the true state, the investigation of the data suggested that it depends on the number of points in the point cloud. This is taken into account by adding the noise (cf. Figure 5).

Contrary to the linear case where the assumption of a normal distribution can be justified by the central limit theorem, there are no arguments in circular statistics to justify the assumption of von Mises or wrapped normal as likelihood models. Therefore, those assumptions need to be proven by other arguments, as for example the goodness-of-fit.

The goodness of fit tests used here are Kuiper's test (11)

$$V_n = \sqrt{n} \cdot \left[\sup_{\alpha} (F_n(\alpha) - F(\alpha)) + \sup_{\alpha} (F(\alpha) - F_n(\alpha)) \right] \quad (11)$$

and Watson's test (12)

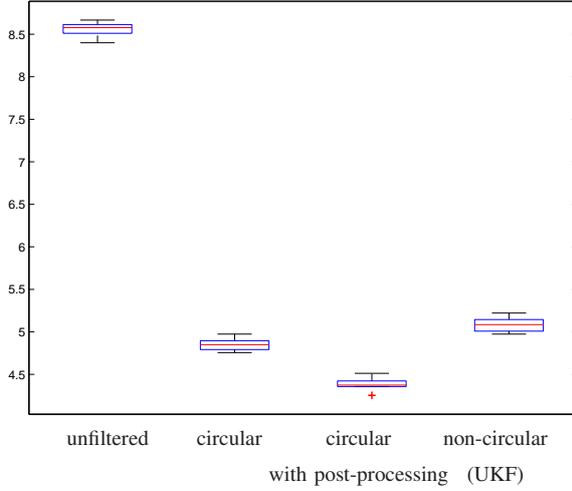


Figure 6. Performance of the circular estimator based on von Mises, the circular estimator based on von Mises with post-processing, and the non-circular estimator based on the Kalman filter, represented by the RMSE (in degrees) from 100 Monte Carlo runs, in *low dynamics* scenarios.

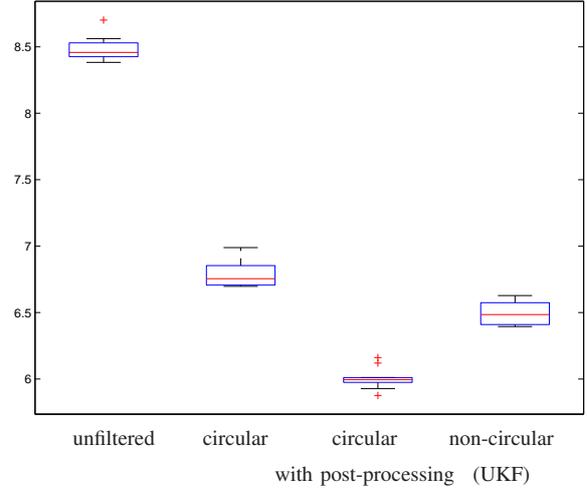


Figure 7. Performance of the circular estimator based on von Mises, the circular estimator based on von Mises with post-processing, and the non-circular estimator based on the Kalman filter, represented by the RMSE (in degrees) from 100 Monte Carlo runs, in *high dynamics* scenarios.

$$w^2 = \int_0^{2\pi} \left[(F_n - F) - \int_0^{2\pi} (F_n - F) dF \right]^2 dF \quad (12)$$

from [8].

Those tests are applied to the noise probability function and provided satisfying results with significance levels between 1% - 5%, under the null hypothesis

$$H_0 : f(\theta) = f(\theta; \bar{\delta}) \quad (13)$$

where $f(\theta)$ is the assumed distribution of the data and $f(\theta; \bar{\delta})$ is one of the two circular probability density distributions with estimated parameters vector $\bar{\delta}$ to test for.

C. Results

The performance of the estimators is evaluated based on the angular root squared mean error (RMSE) [9]

$$\sqrt{\frac{\sum_{k=1}^{k_{max}} PD_{signed}(x_k^{est}, x_k^{gt})^2}{k_{max}}} \quad (14)$$

obtained from 100 Monte Carlo runs, where x_k^{est} is the estimated state, x_k^{gt} the ground-truth provided by ADMA⁴, and PD_{signed} the signed periodic distance⁵. All used estimators, including the non-circular, are implemented in “*libDirectional*” [10].

⁴Automotive dynamic motion analyzer.

⁵The shortest arc between the two angles, considering the rotation direction

To avoid any confusion of the reader, only best performing estimators of types circular, circular with post-processing, and non-circular are considered. These are:

- The circular estimator based on von Mises,
- The circular estimator based on von Mises with post-processing and,
- The modified unscented Kalman filter for circular distributions [10].

The latter is evaluated with the same system and measurement error models but with pre-processing. The pre-processing ensures that the measurement lies always at maximum distance of $\pm\pi/4$ from the ground-truth, so that the non-circular estimator has the same measurement error distribution as the circular estimators.

The simulation results from the figures 6 and 7 show that the application of Bayesian estimators based on circular statistics leads to slightly better performance than Bayesian estimators that ignore the topology of the underlying manifold, when the system identification is completed conveniently. The narrow difference in the performance of these estimators is also a result of the high certainty of the measurements, and of the discrepancy between the real and the assumed measurement error distributions. On the other hand, the results yield that Bayesian circular estimators are more sensitive in terms of performance when the system identification is completed less conveniently.

However, the simulation results show that the installation of the post-processing step⁶ in circular estimators lead to better performance than non-circular estimators regardless of the system identification appro-

⁶The post-processing step ensures that the maximal period of time between two updates is max. half a second, in case that the threshold is not reached yet.

priateness. Consequently, circular estimators embody more superior estimators for estimation of periodic quantities.

V. CONCLUSIONS

In this paper an adaption of circular distributions for other periods is presented. A post-processing step for circular estimators based on the properties of circular distributions, and the circular estimators with and without post-processing are compared against the best performing non-circular estimator, using real-world data.

The adaptation of the likelihood models with 2π periodicity for data with other periodicity was based on the characteristic function. In this depiction, the likelihood models originally designed for the period of 2π retain their structure for arbitrary periods due to the Fourier transformation's definition.

The evaluation results showed that the estimator which respects the periodicity performs better than the estimator that ignores it, when the system dynamics are modeled properly. Yet, when the system dynamics are not properly modeled, the former estimator lead to higher errors than the estimator which is based on the normal distribution. Hence, the consideration of the underlying manifold leads to better performance when the models are appropriate, but circular estimators seem to be more sensitive regarding false assumptions made in the system model.

On the other hand, although the proposed estimator with post-processing causes negligible loss in the update frequency, it performs better in both scenarios. Thus, estimators based on circular statistics improve performance and are more robust with post-processing installed (see Figure 7).

The identity model is not suitable for the system dynamics that occur in the automotive context or other applications. Thus, the estimators from above can be compared by using eligible system models, which take the periodicity into account. Another possibility is to recheck these estimators with other measurement methods, as for example the extraction of the vehicle orientations via image processing. At last the adaptation of circular statistics for arbitrary one-dimensional periodic manifolds through the characteristic function can be further investigated to extend it to the multidimensional case.

REFERENCES

- [1] S. Särkkä, Bayesian Filtering and Smoothing, *Cambridge University Press*, 2013.
- [2] R. E. Kalman, "A new approach to linear filtering and prediction problems", *Transactions of the ASME Journal of Basic Engineering*, vol. 82, pp. 35-45, 1960.
- [3] G. Kurz, I. Gilitschenski, and U. D. Hanebeck, "Recursive Nonlinear Filtering for Angular Data Based on Circular Distributions", Washington, DC: *American Control Conference*, 7 / 2013.
- [4] M. Azmani, S. Reboul, J.-B. Choquel, and M. Benjelloun, "A recursive fusion filter for angular data", *Proceedings of the IEEE International Conference on Robotics and Biomimetics*, pp. 882-887, 2009.
- [5] J. Traa and P. Smaragdis, "A wrapped kalman filter for azimuthal speaker tracking", *IEEE Signal Processing Letters*, vol. 20, 12 / 2013.
- [6] A. V. Oppenheim and A. S. Willsky, *Signals and Systems*. New Jersey: Prentice-Hall, 1997.
- [7] P. Bromiley, "Products and convolutions of gaussian probability density functions", Manchester, 2018.
- [8] S. Rao Jammalamadaka and A. SenGupta, *Topics in circular statistics*. Singapore: World Scientific, 2001.
- [9] G. Kurz, I. Gilitschenski, and U. D. Hanebeck, "Recursive bayesian filtering in circular state spaces", *IEEE A&E Systems Magazine*, 2016.
- [10] G. Kurz, I. Gilitschenski, F. Pfaff, L. Drude, U. D. Hanebeck, R. HaebUmbach, and R. Y. Siegwart, "Directional statistics and filtering using libdirectional", *Journal of Statistical Software*, vol. 10, 12 / 2017.



Bleard Loshaj received the academic degree of B.Sc. in electrical engineering in 2019 from Furtwangen University of Applied Sciences. As part of his bachelor thesis, he collaborated with Robert Bosch GmbH on the topic of this paper. He is currently continuing his studies to obtain a master's degree in electrical engineering and information technology from the Karlsruhe Institute of Technology.



Ekkehard Batzies received a diploma degree in 1998 and a doctor's degree in 2002 in mathematics, both at the University of Marburg. From 2002 to 2005 he worked as a software engineer in the 'Ingenieurbüro für technische Kybernetik', ITK-engineering GmbH. From 2005 to 2007 he worked as a research assistant in the research group 'Mechatronics' at the University of Applied Sciences Gießen-Friedberg in the field of direct-driven machine tools.

Since 2007 he is Professor of Mathematics at Furtwangen University of Applied Sciences with a specialization in computer-aided mathematics.



Michael Gabb is an Engineer with Bosch Research and Advanced Engineering for ADAS and Automated Driving in Stuttgart, where he works in the area of environmental perception, sensor fusion, and connected and distributed information processing for autonomous vehicles. Prior to joining Bosch, he worked for several years as research associate at Daimler Research in Ulm in the area of sensor fusion and sensor signal processing. Since 2011 he holds a

diploma degree in Computer Science from University of Stuttgart.

Development of a novel blood pressure measurement method for the integration into a wheelchair

Normen Nauber, Achim Bumüller, Katrin Skerl

Abstract—This paper evaluates the possibility to estimate the pulse transit time (PTT) to derive the blood pressure by using low cost components only. The set-up shall be integrated into a wheelchair to allow monitoring of the user health condition and should be affordable for everyman. The PTT is derived from an ECG signal combined with a pulse sensor at the finger. Different low cost sensors were used and their performance evaluated. Although the approach is promising a realisation with low cost sensors is challenging. Especially a continuous measurement is difficult due to the sensors' sensitivity to movements. Nevertheless, an integration into a commercial wheelchair at acceptable costs seems feasible.

Index Terms—blood pressure measurements, pulse transit time, sensors, vital parameters, measurement technology.

I. INTRODUCTION

Heart diseases continue to be the leading cause of death in Germany [1]. The Framingham Heart Study provided insights into the epidemiology and risk factors of cardiovascular diseases, such as high blood pressure [1]. Blood pressure measurement is the world's most frequently performed medical examination for the diagnosis of arterial hypertension. Blood pressure is the vessel pressure between the blood and the vessel walls of the arteries, the capillaries or the veins. The unit is mmHg (millimetre of mercury). Systolic blood pressure is the highest pressure when the heart contracts and the blood is ejected. The systolic blood pressure of the arteries is the most important parameter. Diastolic blood pressure is the lowest pressure when no further blood is pumped into the main artery. Blood pressure measurements of 80 mmHg – 120 mmHg are considered as normal range.

In recent years various low cost sensor solutions to measure blood pressure and other vital parameters were introduced on the market. Evaluation of vital parameters enables to detect and diagnose various diseases. We aim to integrate such sensors into a commercial wheelchair to monitor the health condition

of wheelchair users. To the best of the authors' knowledge no such wheelchair is yet existing. As discussed measurement of blood pressure is one of the most important parameters to evaluate. In this work we introduce a novel measurement method for wheelchair users.

The remainder of this paper is organized as follows. A detailed overview of blood pressure measurement methods is presented in section 2. In the next section the correlation between the pulse transit time and the blood pressure is shown. In the following section the calculation of the blood pressure from the pulse transit time is described. Section 5 reports the results while section 6 discusses the results and concludes the paper.

II. BLOOD PRESSURE MEASUREMENT METHODS

Figure 1 shows an overview of the various blood pressure measurement techniques. For invasive measurements the pressure measuring system is directly inserted into the artery via a catheter. This measurement method provides a continuous and very accurate measurement and allows the real-time detection of disturbances but also has the risks of bleeding, infections, thrombosis and injuries. Thus, this method is mainly used in critically ill patients or during dangerous surgical procedures, such as in the heart or brain [3]. Invasive methods are unsuitable for routine measurements in wheelchair users.

Amongst the non-invasive measurements the auscultatory method uses a stethoscope and a sphygmomanometer. A cuff is attached to the upper arm. A pressure gauge continuously measures the pressure of the cuff. The cuff is pumped up. If no pulse is tactile, the cuff pressure is increased by another 30 mmHg. Next, the cuff pressure is slowly reduced via the valve at 2 mmHg per second. As the cuff pressure is released, the blood flows turbulently through the artery. The turbulent blood flow causes turbulence noises, i.e. Korotkoff sounds. These are heard via a stethoscope on the brachial artery in the elbow. The beginning of the noises stands for the systolic blood pressure. When the cuff pressure is further reduced, the blood flows laminar again and the sound vanishes. This marks the diastolic blood pressure. The auscultatory method is prone to errors. The cuff must neither be too

Corresponding author:

Katrin Skerl, katrin.skerl@hs-furtwangen.de, Hochschule Furtwangen, Campus Schwenningen, Jakob-Kienzle-Straße 17, 78054 Villingen-Schwenningen.

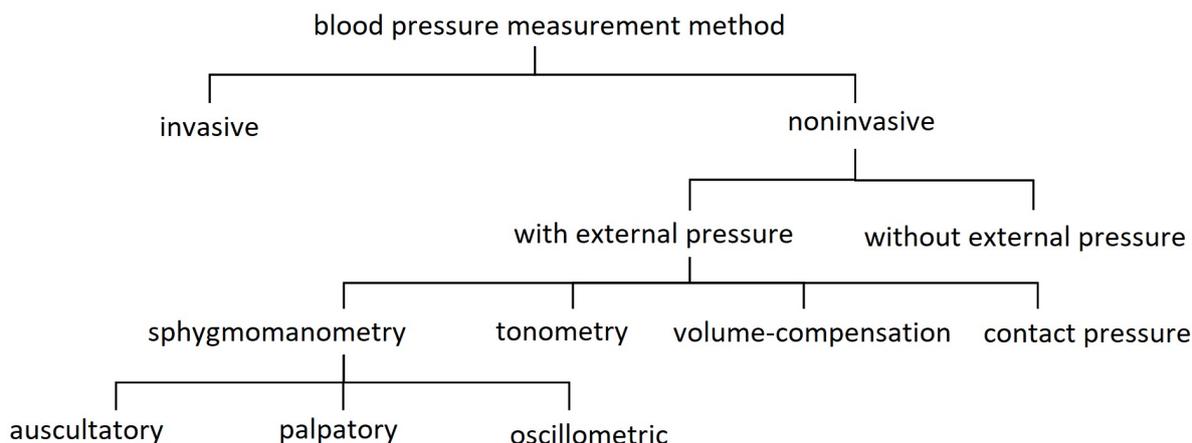


Figure 1. Overview of blood pressure measurement methods.

loose nor too tight. The stethoscope must be placed exactly over the brachial artery. Movements or deep breathing may distort the blood pressure. Finally, a too rapid reduction of cuff pressure results in artificial low systolic and high diastolic blood pressure readings [4]. Hence, continuous measurements are not possible with this method but the method is suitable for reference measurements.

The palpatory method uses only a sphygmomanometer to estimate the systolic blood pressure. When the pressure is released, the pulse is palpated at the radial artery of the forearm.

The oscillometric method determines the blood pressure via oscillation in the cuff pressure. If the cuff pressure is higher than the blood pressure, a pulse wave enters the cuff due to vascular elasticity. The occurring volume change leads to oscillations.

The volume-compensation method measures the blood pressure of the finger. Here a cuff is attached around the finger and the pressure inside the cuff corresponds to the blood pressure. A photoplethysmograph measures the fluctuations of the volume while a servocontrol keeps the volume constant, so that the arterial wall remains relaxed. This method burdens the patient and the blood pressure in the finger barely correlates with the central blood pressure under special conditions such as stress, blood loss, critical circulatory situations or hypothermia [4].

The arterial tonometry measures the pressure only locally. The artery must be on the body surface in front of a bone. A piezoelectric pressure sensor is applied directly to the skin above the artery. The placement of the sensor is crucial. The tonometer generates pressure to eliminate arterial wall tension in the radial direction without collapsing the blood vessel. The pressure sensor detects the pressure fluctuations in the artery. This method is very sensitive to movements. Accurate measurements are only possible in anesthetized patients [4].

The contact pressure method exploits oscillations with an inflatable cuff for the determination of the blood pressure. The cuff pressure is kept constant. Volume changes produce cuff pressure oscillations. The calibration uses additional values of the arterial volume. A major disadvantage of the contact pressure method is the high standard deviation. A recalibration is necessary in critical circulatory situations and the small oscillation amplitudes react very sensitively to movements [4].

All measuring methods with a squeezing cuff disturb and burden the patient. Other methods are too inaccurate for a wheelchair user. A continuous and stress-free blood pressure measurement without an external pressure is the blood pressure determination via the pulse wave transit time.

III. PULSE TRANSIT TIME

The pulse wave transit time (PTT) describes the time for a pulse wave to travel a certain distance in the vascular system. It is determined by the pulse wave velocity (PWV) and the measured distance. The PWV is much higher than the blood flow velocity.

When the blood pressure rises, the arterial walls are stretched. The vascular elasticity decreases. The PWV increases and the PTT drops [4]. A small PTT signifies a high blood pressure. The relationship is non-linear. At least two simultaneously measured values are needed. There are two basic ways to determine the PTT. The PTT can be determined via two pulse waves. The pulse waves are recorded continuously at two different points at the same arterial branch. The PTT is the transit time of a pulse wave between these two points. The ultrasound Doppler velocimetry (UDV), the laser Doppler velocimetry (LDV) or the photoplethysmography (PPG) are suitable to measure the PWV [4].

The PTT can also be derived via cardiac activity and a single pulse wave. Electrocardiogram (ECG) or heart sounds can determine the cardiac activity. The

most prominent point is the first heartbeat or the R-wave in the ECG [4], [5]. Most of the heart muscles are energized at this time. To obtain clear signals, the distance shall be as large as possible, such as from the heart to a finger. The start time is determined from the ECG signal while the end time is derived from the pulse sensor, e.g. the signal peak from a photoplethysmograph on a finger. The maximum slope of the pulse determines the end (Figure 2).

IV. CALCULATION

Each person has a different height and arm length, which manifests itself at a different distance. The distance (d in cm) can be derived from the body height (h) and a body correlation factor, which is 0.5 for adults [7]. The calculation of the PWV is possible with the distance and the PTT in ms. For adults the calculation of the pulse wave velocity is given in (1) [7].

$$PWV = \frac{d}{PTT} = \frac{0.5 \cdot h}{PTT} \quad (1)$$

The PTT depends on individual factors: vascular elasticity, vessel wall thickness, vessel diameter, blood density and body height. The Moens-Korteweg equation (2) states that the PWV is proportional to the Young's modulus (E), the wall thickness (t), the radius (r) and the density (ρ) [6]. As long as the blood pressure does not change, these individual factors remain constant over a long time. Hence, the blood pressure can be reliably estimated upon a reference measurement.

$$PWV = \sqrt{\frac{E \cdot t}{2 \cdot r \cdot \rho}} \quad (2)$$

A first value of the blood pressure (BP_0) is calculated during the reference blood pressure measurement with the four constants $P1$, $P2$, $P3$ and $P4$ as shown in equation (3). This value is subtracted from the measured second value of the reference blood pressure measurement (BP_{Kal}) in mmHg. The result of the difference is needed for the individual adaptation [7].

$$BP_0 = P1 \cdot PWV \cdot e^{P3 \cdot PWV} + P2 \cdot PWV^{P4} \quad (3)$$

$$\text{with } \begin{cases} P1 = 700 \text{ mmHg} \cdot \text{ms/cm} \\ P2 = 766000 \text{ mmHg} \cdot (\text{ms/cm})^9 \\ P3 = -1 \text{ ms/cm} \\ P4 = 9 \end{cases} \quad [7]$$

The final calculation of the blood pressure is shown in equation (4). The first two summands describe the elastic behaviour of the blood vessels. Whereas the

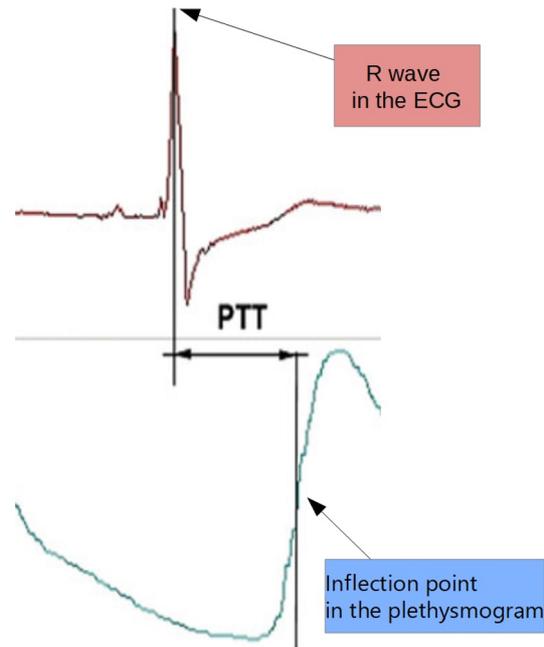


Figure 2. The delay between the ECG signal (top) and the pulse signal (bottom) determines the pulse transit time (PTT) [5].

first of these describes active or contractile behaviour through actions of the myofilaments and the activation by the nervous and humoral components. The second summand comprises the passive behaviour through the connective tissue. The individual adaptation is always added to the other summands [7].

$$BP_0 = P1 \cdot PWV \cdot e^{P3 \cdot PWV} + P2 \cdot PWV^{P4} + (BP_{Kal} - BP_0) \quad (4)$$

V. MEASUREMENTS

Three different approaches were tested to determine the PTT. The ECG signal was in all approaches detected using a mini-computer board (SHIELD-EKG-EMG, Olimex Ltd., Bulgaria). The second signal was detected by a pulse sensor positioned at the finger. Three different pulse sensors were tested. All methods were tested by reference measurements with a commercial device (SOMNOtouch™ NIBP, SOMNOmedics GmbH, Germany). This system uses the PTT to determine the blood pressure for sleeping humans. It comprises a three-lead ECG and a photoplethysmogram. For the calibration the classic cuff method according to Riva-Rocci and Korotkoff was used. Deviations occurred only due to movement or inaccurate calibration caused for reasons mentioned earlier.

A. Pulse sensor 1

A first approach exploits both signals via a mini-computer board (Olimex Ltd., Bulgaria). The pulse

signal is detected using a sensor for hobby electricians (PulseSensor.com™ World Famous Electronics llc., USA). In first experiments we derived surprisingly good results to measure an accurate pulse signal so we aimed to evaluate its suitability to measure the PTT. The ECG-signal is read to detect the R-wave. Since the R-wave marks a local maximum, it was detected by thresholding. When the R-wave was detected, a timer started and the reading of the pulse signal began. A high signal slope indicates an incoming pulse, which was also detected by thresholding. If the pulse sensor had reached this value, the timer was stopped. The measured time is the PTT that was used to calculate the blood pressure. The determined blood pressure value was displayed as output value.

B. Pulse sensor 2

A second attempt was to sample the ECG signal and the pulse signal simultaneously with two different programs. The pulse sensor PULOX PO-250 (Novidion GmbH, Germany) was used with software “SpO2 Assistant”. The ECG and the pulse signals were simultaneously displayed. A screenshot of the different signals could be used to calculate a uniform timeline. As long as the difference between the R-wave and the maximum pulse rise was less than the PTT, a constant time period could be identified. From further screenshots the PTT could be determined graphically. Only the relative time delay between both signals is relevant, so constant errors in the time delay were compensated by calibration. Although the time measurement did not derive the PTT directly, the calculation would still give a correct blood pressure reading.

C. Pulse sensor 3

Another way to simultaneously capture the pulse signal and the ECG signal was by using an oscilloscope. A circuit for a pulse measurement via a light barrier was created. The used sensors were the OPB800 and the OPB706A (TT Electronics Plc, England). Both sensors were connected to an oscilloscope for measuring the time delay.

VI. RESULTS

Although the first pulse sensor gave good results in initial tests to measure the pulse rate, we had to realise that it was not suitable to estimate the PTT because of major signal variances during the measurements. The sensor was very sensitive to the measurement position on the body. Furthermore it took too long to find usable spots on the body and the slightest motion of the person disturbed the signal. Thus, this set-up is unsuitable for routine measurements of wheelchair users.

In addition the ECG-signal was sensitive to the pulse signal and interferences occurred so that it was often impossible to detect the R-wave. Unfortunately, the



Figure 3. The pulse signal (channel 1) and the ECG signal (channel 2) revealed on an oscilloscope a PPT (pulse transit time) of 264 ms.

used board seems to be unable to read in two analogue signals simultaneously. So also the second trial was unsuccessful.

In the third method we wanted to evaluate whether it was principally possible to estimate the PTT and thus, read out the signals manually using an oscilloscope (Figure 3). A PTT of 264 ms was determined, which was in accordance to the reference measurements. However, also this set-up was motion-sensitive.

VII. DISCUSSION

Estimating the PTT allows for stressless and continuous blood pressure measurements. However, low cost realisation of this technique seems difficult. Our last approach gave the most promising results, nevertheless the optimal equipment still needs to be found. A possible solution would be to use a second board such as the Teensy 3.2. It has two ADCs which can be triggered at the same time. Unfortunately, testing of another board was not possible within the schedule of this project. However, one has to consider that commercialisation of the set-up might be difficult due to patents on the formula.

Nevertheless, this method is the most promising non-invasive method for wheelchair users. The sensors could easily be integrated into the wheelchair and inaccuracies caused by fast movements of the user could be excluded if detected by additional sensor systems such as position or acceleration sensors. The ECG and pulse signals are also important vital parameters that can give useful informations of the user’s status. Further research is needed to integrate the ECG electrodes and a reliable pulse measurement into the wheelchair.

ACKNOWLEDGEMENT

We would like to thank SOMNOmedics GmbH for providing the OMNOtouch™ NIBP for this project.

REFERENCES

- [1] Deutscher Herzbericht: *Herzkrankheiten weiterhin Haupttodesursache - keine Entwarnung*, <https://www.herzstiftung.de/pdf/presse/herzbericht-2018-dhs-pm-3.pdf>, 2018, last access: 29.04.2019.
- [2] Hajar R. Framingham, "Contribution to Cardiovascular Disease" *Heart Views*, 2016, 17(2), 78–81, doi: 10.4103/1995-705X.185130.
- [3] Dr. med. Thomas Hillermann, "Nutzen und Risiken der invasiven Blutdruckmessung via Arteria radialis", in: *Swiss Medical Forum*, 2013, p. 818–821.
- [4] Peter Elter, *Methoden und Systeme zur nichtinvasiven, kontinuierlichen und belastungsfreien Blutdruckmessung*, Dissertation am Institut. für Technik der Informationsverarbeitung - Universität Karlsruhe, 2001.
- [5] M. Hulpke-Wette, A. Göhler, E. Hofmann, G. Küchler, *Cuffless blood pressure measurement using the pulse transit time – a comparison to cuff-based oscillometric 24 hour blood pressure measurement in children*, Poster ESH 2018, Barcelona.
- [6] A. Isebree Moens (1878), *Die Pulskurve [The Pulse Curve]*, Leiden, The Netherlands: E.J. Brill. OCLC 14862092.
- [7] Gert Küchler, *Verfahren und Gerät zur nichtinvasiven Blutdruckbestimmung*, Patent Application DE102005014048B4. 12.03.2010.



Normen Nauber received his bachelor's degree in Medical Engineering from Furtwangen University in 2018. Presently he is working on his master's thesis in Micromedical Engineering at Furtwangen University.



Katrin Skerl graduated in electrical engineering at the University of Erlangen-Nuremberg and received her doctorate from the University of Dundee, UK. She got appointed as a professor at Furtwangen University in 2017.



Achim Bumüller works as an academic assistant in the faculty of Mechanical and Medical Engineering on the Campus Schwenningen of Furtwangen University.

Entwicklung einer Dreikanal EKG-Schaltung zur Integration in einen Rollstuhl

Rudolf Hoffmann, Achim Bumüller, Katrin Skerl

Zusammenfassung—Mit einem Elektrokardiogramm (EKG) lassen sich vielfältige Aussagen zu den Eigenschaften und Erkrankungen des Herzens treffen. Durch Bewegungsmangel wird das Risiko für Herz-Kreislauf-Erkrankungen erhöht und die EKG-Untersuchung umso relevanter. In diesem Paper wird die Entwicklung einer Dreikanal EKG-Schaltung beschrieben, die mobil eingesetzt und in einen Rollstuhl integriert werden kann. Jede Kontraktion des Herzmuskels entspringt einer elektrischen Spannung, die in einer Größenordnung von 1 mV gemessen und aufgezeichnet werden kann. Im Laufe der Jahrhunderte haben sich verschiedene Ableitungsverfahren entwickelt und verbessert, um diagnostisch vergleichbare Aussagen über die elektrische Aktivität des Herzens treffen zu können. Dazu gehören die Ableitungsverfahren nach Einthoven, Goldberger und Wilson. Das 12-Kanal-EKG kombiniert all diese Ableitungsverfahren und stellt den aktuellen Goldstandard in der EKG-Diagnostik dar. Die in dieser Arbeit entwickelte EKG-Schaltung ermöglicht nach Einthoven und Wilson neun unterschiedliche EKG-Ableitungen. Allerdings wird die EKG-Schaltung auf drei Kanäle beschränkt, d.h., dass nur drei Ableitungen simultan durchgeführt werden können. Zunächst werden die Spezifikationen für die EKG-Schaltung definiert. Das EKG-Signal enthält Frequenzspektren zwischen 0,5 Hz und 150 Hz. Damit die EKG-Schaltung prinzipiell an Probanden getestet werden darf, muss diese aus Sicherheitsgründen galvanisch vom 230 V Netz getrennt werden. Dabei wird der Schaltkreis, in dem das Signal eingespeist wird, vom Schaltkreis, an dem das Signal mit dem Oszilloskop ausgelesen wird, getrennt. Im nächsten Schritt wird die EKG-Schaltung entwickelt. Die einzelnen Komponenten werden mit dem Simulationstool LTspice (Analog Devices, USA) simuliert und der Schaltplan sowie das Platinenlayout mit dem EDA-Programm Eagle (Autodesk, USA) entworfen. Die Kombination eines Hochpasses mit mehreren Tiefpässen gewährleistet das Erreichen des geforderten Frequenzbereichs. Zusätzlich unterdrückt ein Kerbfilter mit einer Grenzfrequenz von 50 Hz das Netzbrummen. Zur galvanischen Trennung wird ein Optokoppler eingesetzt. Die neu entwickelte Schaltung wird mithilfe eines EKG-Simulators getestet. Dabei werden Tests mit drei unterschiedlichen Spannungsquellen (Funktionsgenerator, Batterie und DC/DC-Wandlern) durchgeführt, um die dabei verursachten Störungen auf das Signal zu analysieren und die Schaltung entsprechend zu optimieren. Das Endsignal aller drei EKG-Signale weist geringes Rauschen auf und der EKG-Verlauf ist deutlich zu erkennen. Das Endsignal beim Batteriebetrieb besitzt das geringste Rauschen. Durch den Einsatz der Batterie als Spannungsquelle kann die EKG-Schaltung mobil verwendet werden. Des Weiteren können die Endsignale leicht abgegriffen und einem Microcontroller zugeführt werden. Dies ermöglicht eine automatische Signalauswertung zur Detektion kritischer

Zustände, was Gegenstand weiterführender Arbeiten sein wird. Dadurch kann der Optokoppler entfallen und die EKG-Schaltung wird kompakter. Zukünftig soll die EKG-Schaltung in einen Chip integriert werden.

Schlüsselwörter—EKG, Leistungselektronik, Filter, Rollstuhl, Mobil, Chip

I. EINLEITUNG

Laut der European Society of Cardiology sind Herz-Kreislauf-Erkrankungen die häufigste Todesursache in Europa [1]. Mangelnde körperliche Aktivitäten begünstigen diese Erkrankungen, weshalb Rollstuhlfahrer ein höheres Risiko zur Erkrankung tragen [2].

Um schwere Herz-Kreislauf-Erkrankungen zu vermeiden, sind rechtzeitige Diagnosen von entscheidender Bedeutung. Eine Diagnosetechnik ist das Elektrokardiogramm (EKG). Mit einem EKG lassen sich vielfältige Aussagen zu den Eigenschaften und Erkrankungen des Herzens treffen. Jede Kontraktion des Herzmuskels entspringt einer elektrischen Spannung, die mit einem EKG-Gerät gemessen und aufgezeichnet werden kann, um die Herzaktivität zu untersuchen und Anomalien des Herzens vorherzusagen.

Die meisten EKG-Geräte kommen allerdings in Krankenhäusern zum Einsatz, nachdem beispielsweise ein Herzinfarkt eingetreten ist. Somit werden die wichtigen Signale, die mit der Herz-Kreislauf-Erkrankung verbunden sind, nicht erfasst [3].

Ein mobiles EKG-Gerät, das am Rollstuhl mitgeführt wird, ermöglicht ein häufigeres Aufzeichnen des EKGs und damit die Chance, Anomalien zu erfassen. Außerdem kann mit entsprechender Signalverarbeitung und Interpretation die Häufigkeit der Arztbesuche reduziert werden.

In diesem Paper wird die Entwicklung einer Dreikanal EKG-Schaltung beschrieben, die mobil eingesetzt und in einen Rollstuhl integriert werden kann. Das Paper wird wie folgt gegliedert. In Kapitel II wird die Funktionsweise des EKGs sowie die genutzten Ableitungsverfahren beschrieben. Kapitel III gibt die Spezifikation der Schaltung wieder und Kapitel IV beinhaltet die Umsetzung der Spezifikation. In Kapitel V wird das Ergebnis der Schaltung aufgeführt und diskutiert, bevor das Paper in Kapitel VI zusammengefasst und ein Ausblick gegeben wird.

II. ABLEITUNGSVERFAHREN

Ein EKG ist die Aufzeichnung der elektrischen Erregung im Herzen. Dabei werden Elektroden auf

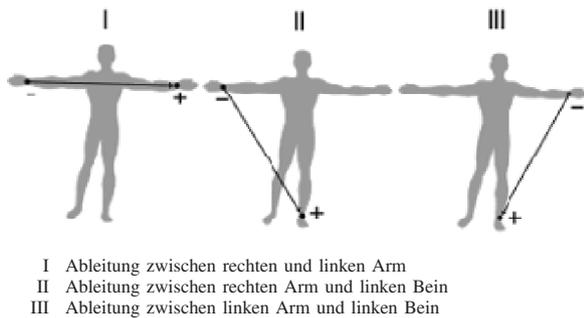


Abbildung 1. Ableitung nach Einthoven [5].

die Haut aufgeklebt und die Änderungen der Potentialdifferenzen erfasst. Aufgrund der Leitfähigkeit der Körpermasse und der Hautoberfläche können diese Potentialdifferenzen am ganzen Körper abgeleitet werden. Im Laufe der Jahrhunderte haben sich verschiedene Ableitungsverfahren entwickelt und verbessert, um diagnostisch vergleichbare Aussagen über die elektrische Aktivität des Herzens treffen zu können. Dazu gehören die Ableitungssysteme nach Einthoven (I, II und III), Goldberger (aVR, aVL, aVF) und Wilson (V1-V6). Das 12-Kanal-EKG kombiniert all diese Ableitungssysteme und stellt den aktuellen Goldstandard in der EKG-Diagnostik dar [4]. In dieser Arbeit wird auf die Ableitungen nach Goldberger verzichtet. Die in dieser Arbeit entwickelte EKG-Schaltung ermöglicht neun unterschiedliche EKG-Ableitungen (Einthoven I, II und III sowie Wilson V1-V6). Allerdings wird die EKG-Schaltung auf drei Kanäle beschränkt, d.h. dass nur drei Ableitungen simultan durchgeführt werden können.

A. Einthoven

Das Verfahren nach Einthoven beschreibt eine bipolare Ableitungsform in der Frontalebene. Bei dieser Form der Ableitung werden drei an den Extremitäten angebrachten Messelektroden zur Erfassung der Ableitungen verwendet. Näherungsweise können diese drei Elektroden als Eckpunkte eines gleichseitigen Dreiecks angesehen werden, in dessen Schwerpunkt sich das Herz befindet. Aus dieser Elektrodenanordnung lassen sich drei unterschiedliche Ableitungen generieren (siehe Abbildung 1).

B. Wilson

Die Wilson-Ableitung wird in Abbildung 2 dargestellt. Dabei werden die Elektroden direkt am Brustkorb angebracht und gegen einen virtuellen Referenzpunkt, welcher mitten im Herz liegt, gemessen. Dieser Referenzpunkt wird CT (Common Terminal) genannt und über ein Widerstandsnetzwerk erzeugt.

III. INTERFERENZEN IM EKG

In Abbildung 3 ist der Verlauf eines EKG-Signals abgebildet. Dieser setzt sich aus der P- und T-Welle

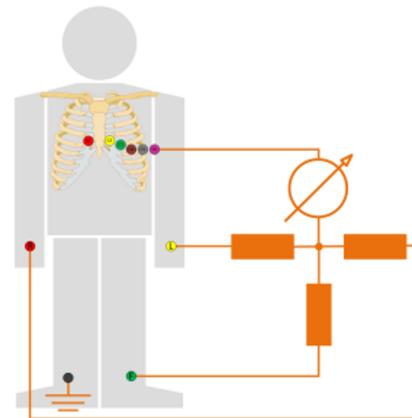


Abbildung 2. Ableitung nach Wilson [6].

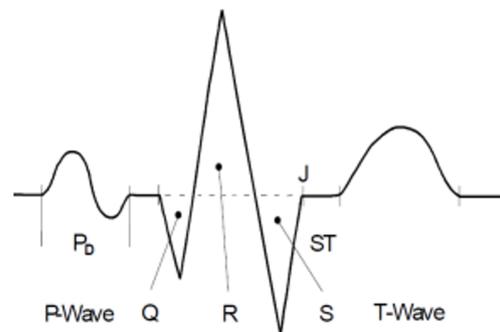


Abbildung 3. Verlauf eines EKG-Signals [8].

sowie einer Gruppe von Ausschlägen, dem QRS-Komplex, zusammen. Die Frequenzspektren befinden sich in einem Frequenzbereich zwischen 0,5 Hz und 150 Hz in einer Größenordnung von 1 mV [7].

Bei der Erfassung des EKG-Signals wird dieses durch unterschiedliche Interferenzen gestört, die mit entsprechenden Schaltkreisen kompensiert werden müssen [9].

- **Wanderung der Grundlinie:** Bei diesem Effekt bewegt sich die x-Achse auf und ab, wodurch das Signal von der normalen Grundlinie abweicht. Diese Abweichung wird durch unpassende Elektroden sowie der Bewegung und Atmung des Patienten verursacht. Der Offset der Wanderung befindet sich in einem niederfrequenten Bereich.
- **Stromleitungsinterferenzen:** Stromleitungen verursachen elektromagnetische Felder im Frequenzbereich von 50 Hz, die sich auf dem EKG-Signal überlagern.
- **Elektromyografie-Interferenzen:** Die Kontraktion der Muskeln erschwert das Aufzeichnen des EKGs, während der Patient bestimmte Übungen durchführt, da die niedrigen Amplituden der Wellen fast komplett verdeckt werden. Im Gegensatz zur Wanderung der Grundlinie als auch der Stromleitungsinterferenzen können die Störungen der

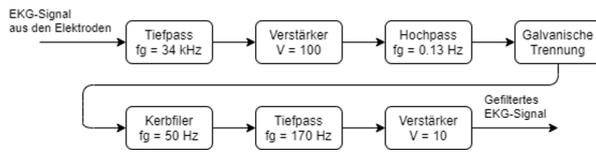


Abbildung 4. Blockschaltbild der EKG-Schaltung.

Muskelkontraktion nicht durch Filterpässe kompensiert werden, da die P- und T-Wellen sowie der QRS-Komplex überlappt werden. Um diese Interferenzen zu reduzieren, müssen bestimmte Techniken verwendet werden, die auf softwaretechnischer Basis resultieren und nicht Teil dieser Arbeit sind.

- Weitere Interferenzen: Elektronische Geräte, Radiowellen, etc. verursachen weitere hochfrequente Interferenzen, die sich ebenfalls auf das EKG-Signal auswirken.

Die EKG-Schaltung soll an Probanden getestet werden, wobei das Endsignal mit einem Oszilloskop gemessen und abgebildet wird. Dafür muss die Schaltung aus Sicherheitsgründen eine galvanische Trennung aufweisen, sodass die Probanden vom 230 V Netz getrennt sind. Somit ergeben sich für die Entwicklung der EKG-Schaltung folgende Anforderungen:

- Frequenzbereich: 0,5 Hz bis 150 Hz,
- Filterung von Frequenzen mit 50 Hz,
- galvanische Trennung zwischen Schaltung und 230 V Netz.

IV. ENTWICKLUNG

In diesem Kapitel wird auf die Schaltkreise eingegangen, die für die Umsetzung der Spezifikationen zuständig sind. In Abbildung 4 ist ein Blockschaltbild der EKG-Schaltung aufgeführt. Zunächst werden die hochfrequenten Signale, die durch andere Geräte verursacht werden, durch einen passiven Tiefpass 1. Ordnung unterdrückt, bevor das schwache EKG-Signal verstärkt wird. Anschließend wird der Offset der Wanderung mit einem aktiven Hochpass 1. Ordnung gefiltert, dessen Grenzfrequenz bei 0,13 Hz liegt. Ein Optokoppler sorgt dafür, dass die Probanden beim Anschließen des EKGs an ein Oszilloskop vom 230 V Netz getrennt sind. Um die Frequenzspektren des EKG-Signals zu erfassen, werden zwei aktive Tiefpässe 2. und 3. Ordnung mit der Grenzfrequenz von 170 Hz verwendet, bevor das Signal auf ca. 1 V verstärkt wird.

Damit die spezifizierten Frequenzspektren zwischen m und 150 Hz sicher erreicht werden, werden Filterpässe mit den Grenzfrequenzen zwischen 0,13 Hz und 170 Hz verwendet.

Der Schaltplan sowie das Platinenlayout werden mit dem EDA-Programm Eagle (Autodesk, USA) entworfen. Simuliert werden die Schaltkreise mit dem Simulationstool LTspice (Analog Devices, USA). Einzelne Segmente, wie der Optokoppler, Kerbfiler (Twin-T

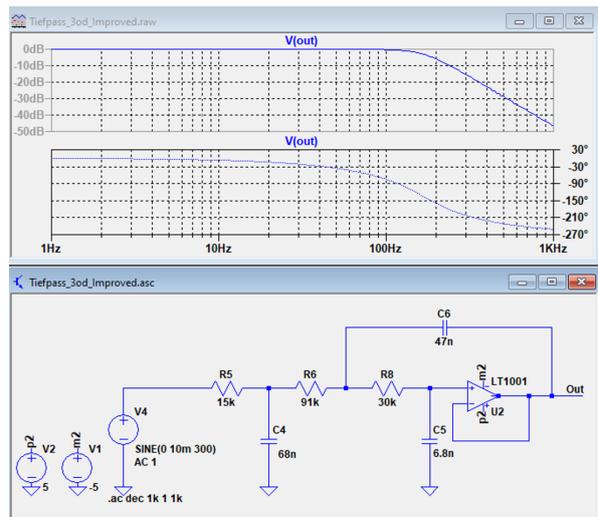


Abbildung 5. AC-Analyse des Sallen-Key-Tiefpasses 3. Ordnung.

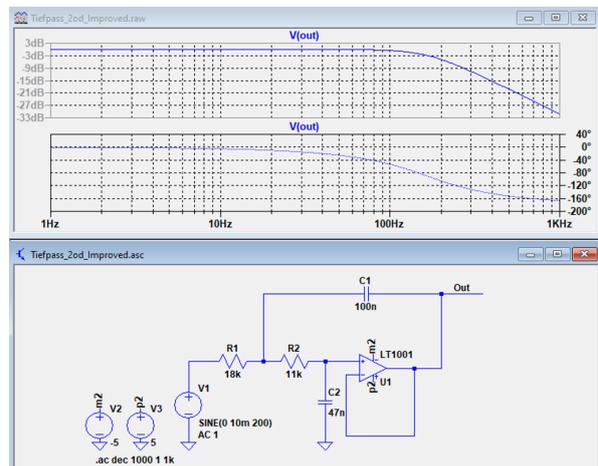


Abbildung 6. AC-Analyse des Sallen-Key-Tiefpasses 2. Ordnung.

Notch), Filterpässe, etc. werden mit LTspice simuliert, um die Ein- und Ausgangssignale zu testen und die Dimensionierung zu überprüfen

A. Schaltungsentwurf

Es werden Hoch- und Tiefpässe eingesetzt, um die Wanderung der Grundlinie sowie weitere Interferenzen zu reduzieren und den erforderlichen Frequenzbereich zwischen 0,5 Hz und 150 Hz zu erreichen. Die hochfrequenten Signale weisen größere Amplituden auf als das eigentliche EKG-Signal und überlappen dieses dadurch erheblich. Deshalb sind einfache Tiefpässe zur Unterdrückung dieser Störsignale nicht ausreichend. Stattdessen werden mehrere Tiefpässe höherer Ordnung verwendet, um eine höhere Güte zu erreichen. In Abbildung 5 wird eine AC-Analyse des Sallen-Key-Tiefpasses 3. Ordnung simuliert. Es ist zu erkennen, dass ab 150 Hz die Verstärkung deutlich abnimmt.

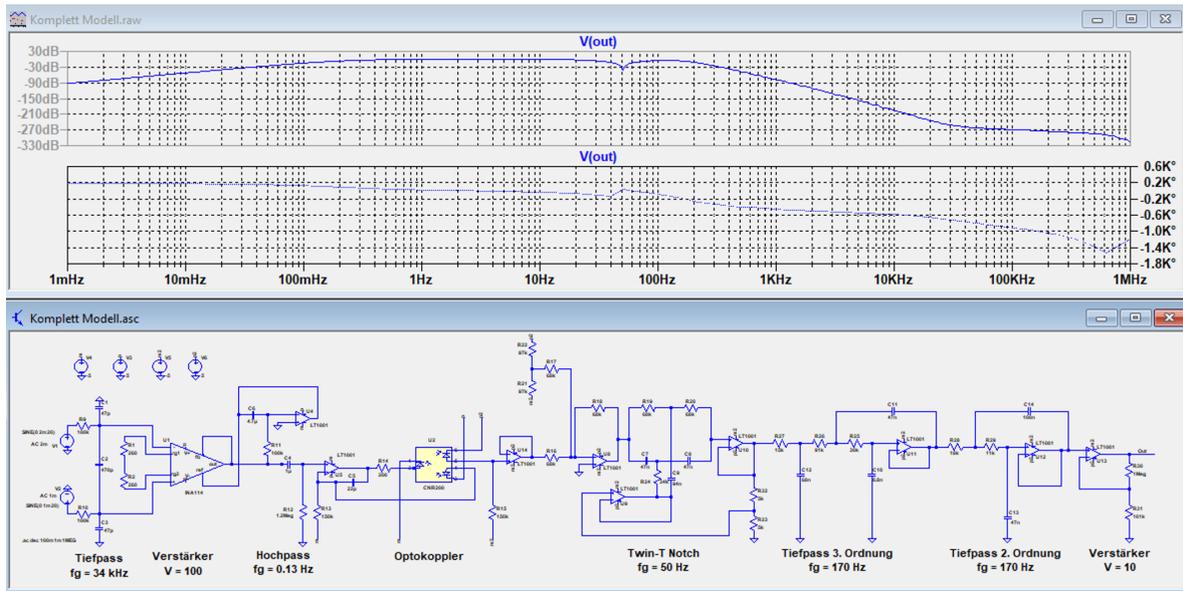


Abbildung 7. AC-Analyse der kompletten Schaltung.

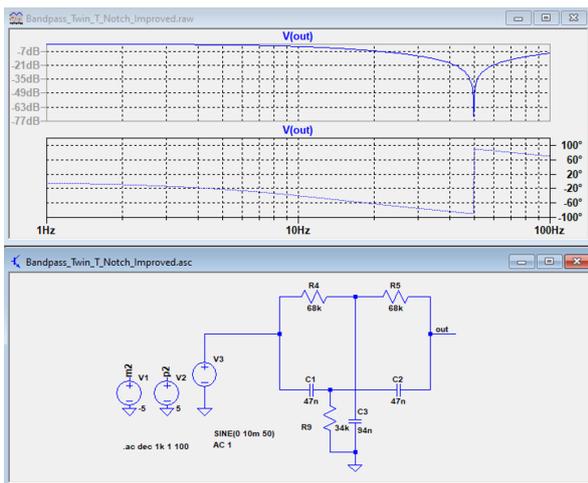


Abbildung 8. AC-Analyse des Kerbfilters (Twin-T Notch).

Ein Kerbfilter mit der Filterfrequenz von 50 Hz sorgt dafür, dass die Interferenzen der Stromleitungen unterdrückt werden (siehe Abbildung 8).

Damit die EKG-Schaltung an Probanden eingesetzt werden darf, muss sie aus Sicherheitsgründen galvanisch vom Netz getrennt werden. Dafür wird der Optokoppler HCNR200-300E verwendet, der mit einer LED und zwei Photodioden arbeitet. Die zwei Photodioden sind voneinander galvanisch entkoppelt. Durch das Leuchten der LED erzeugen die Photodioden in beiden Schaltkreisen dasselbe Signal. Abbildung 7 stellt den Frequenzgang der kompletten Schaltung dar. Es ist ersichtlich, dass die Frequenzen zwischen 0,5 Hz und 150 Hz durchgelassen und zusätzlich Frequenzen im Bereich von 50 Hz unterdrückt werden.

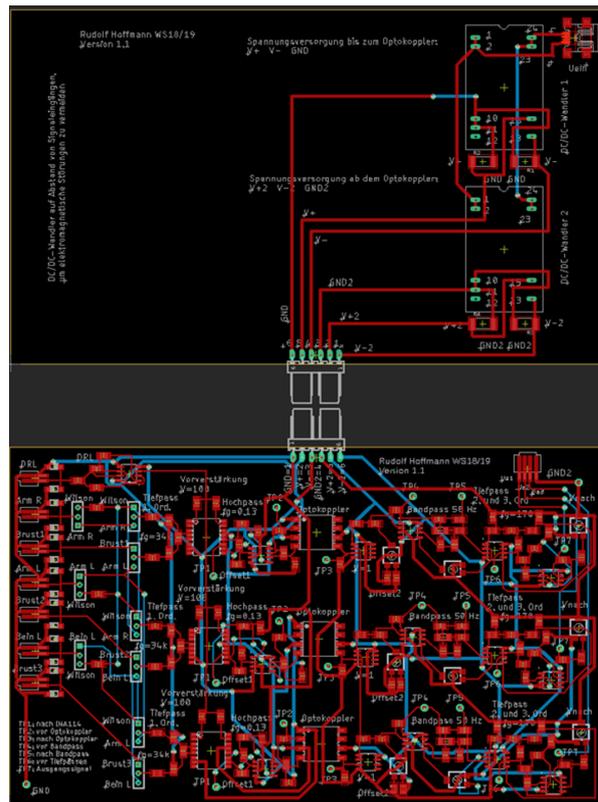


Abbildung 9. Platinenlayout der EKG-Schaltung.

B. Platinenlayout

Die Schaltung wird auf einer Platine mit der Größe 100 mm × 160 mm gefertigt. Für die Spannungsversorgung wird eine externe Platine verwendet, die zwei DC/DC-Wandler mit einer Durchschlagsspannung von 8 kV enthält. Aufgrund der externen Spannungsver-

sorgung können zum einen die Platinen übereinander platziert und über Steckleisten miteinander verbunden werden, wodurch das Gerät kompakt aufgebaut wird. Zum anderen können die Spannungsquellen variiert werden. Die Platinen werden ausführlich dokumentiert, um die Orientierung zu vereinfachen. In Abbildung 9 werden die zwei Platinenlayouts sowie die Verbindung zueinander dargestellt.

V. ERGEBNISSE

Die EKG-Schaltung wird mit drei unterschiedlichen Spannungsquellen getestet, um die dabei verursachten Störungen auf das Signal zu analysieren. Als Spannungsquellen dienen:

- DC/DC-Wandler: Die DC/DC-Wandler erhalten eine Spannung von +5 V und versorgen die EKG-Schaltung mit einer Spannung von ± 5 V.
- Funktionsgenerator: Die EKG-Schaltung wird direkt von einem Funktionsgenerator mit Spannung versorgt.
- Batterie: Die EKG-Schaltung wird direkt von einer Batterie mit Spannung versorgt.

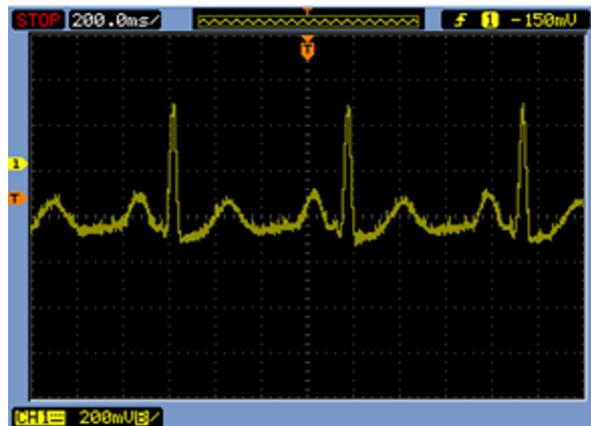
In Abbildung 10 sind die Endsignale bei dem Betrieb mit den drei unterschiedlichen Spannungsquellen dargestellt. Das eingespeiste EKG-Signal wird mit einem EKG-Simulator erzeugt. Alle drei EKG-Signale sind deutlich zu erkennen. Das Signal beim Betrieb mit den DC/DC-Wandlern weist das stärkste Rauschen auf. Besser sieht es beim Betrieb mit den zwei anderen Spannungsquellen aus, wobei der Batteriebetrieb das geringste Rauschen aufweist.

Die unterschiedlichen Signalqualitäten können auf folgende Ursachen zurückgeführt werden. Der Funktionsgenerator ist an das Stromnetz angeschlossen und führt somit das 50 Hz Netzbrummen mit sich. Dieses wird zwar von dem Twin-T-Notch-Kerfilter reduziert, allerdings können einige Frequenzen passieren. Beim Einsatz der DC/DC-Wandler wird das Signal weiter verschlechtert. Zum einen ist es bei den Tests ebenfalls am Stromnetz angeschlossen, zum anderen erzeugen die DC/DC-Wandler zusätzliche elektromagnetische Störspannungen [10]. Aus diesem Grund sind sie weitmöglichst von den Signaleingängen platziert, da das EKG-Signal dabei noch unverstärkt und somit empfindlich ist. Der Einsatz der Batterien als Spannungsquelle ermöglicht somit die beste Signalqualität als auch die höchste Mobilität. Zusätzlich entfällt dadurch die zweite Platine.

VI. FAZIT

Es wurde eine EKG-Schaltung erfolgreich entwickelt, die erkennbare Signale liefert. Die Entwicklung erfolgte mit der Zuhilfenahme vom Simulationstool LTspice und dem EDA-Programm Eagle. Die Simulation diente der Dimensionierung und Überprüfung

a) DC/DC-Wandler



b) Funktionsgenerator



c) Batterie



Abbildung 10. Endsignale bei unterschiedlichen Spannungsquellen.

der einzelnen elektronischen Komponenten sowie der Ermittlung des Filterbereichs. Es wurde ein Layout der Schaltung entworfen und eine Platine gefertigt. Des Weiteren wurden unterschiedliche Spannungsquellen (Funktionsgenerator, Batterie und DC/DC-Wandler) zur Energieversorgung getestet, um die Auswirkung auf das EKG-Signal zu untersuchen. Das Endsignal beim Batteriebetrieb besitzt das geringste Rauschen. Durch den Einsatz der Batterie als Spannungsquelle

kann die EKG-Schaltung mobil verwendet und in einen Rollstuhl integriert werden. In der gefertigten Platine kommt ein Optokoppler zum Einsatz, um die Eingänge von den Ausgängen galvanisch zu trennen. Dies ermöglicht das Testen der EKG-Schaltung an Probanden, da an den Ausgängen somit ein Oszilloskop angeschlossen werden darf. Die Signale können allerdings einfach abgegriffen und an einen Mikrocontroller weitergeleitet werden. Somit liefert die EKG-Schaltung das Potenzial einer automatischen Signalauswertung zur Detektion kritischer Zustände, was Gegenstand weiterführender Arbeiten sein wird. Der Optokoppler kann somit entfallen, wodurch die EKG-Schaltung kompakter wird. Zukünftig soll die EKG-Schaltung in einen Chip integriert werden.



Rudolf Hoffmann erhielt den akademischen Grad des Bachelor of Science in Maschinenbau und Mechatronik im Jahr 2018 von der Hochschule Furtwangen. Dort studiert er seit 2018 Mobile Systeme und schließt im Jahr 2020 den Master of Science ab. Er ist zudem als wissenschaftliche Hilfskraft angestellt und arbeitet an Projekten im Bereich der Elektro- und Informationstechnik.



Achim Bumüller studierte an der Fachhochschule Furtwangen Elektronik / Mikroelektronik. 1997 schloss er sein MPhil. Studium an der De Montfort University in Leicester ab. Bis 2013 arbeitete er im ICLab an der Hochschule Furtwangen als wissenschaftlicher Mitarbeiter. Seit 2013 ist er wissenschaftlicher Mitarbeiter im Messtechniklabor der Fakultät Mechanical and Medical Engineering an der Hochschule Furtwangen. Seine Schwerpunkte liegen

in der Simulation von elektronischen Schaltungen und dem weiten Bereich von Internet of Things.



Katrin Skerl studierte Elektrotechnik mit Schwerpunkt auf Messtechnik und Sensorik. Sie promovierte an der University of Dundee, UK, im Bereich der medizinischen Bildgebung. Seit 2017 ist sie Professorin an der Hochschule Furtwangen und leitet das Labor für Messtechnik am Standort Villingen-Schwenningen.

LITERATURVERZEICHNIS

- [1] „New cardiovascular disease death rates show stark inequalities between European countries“, European Society of Cardiology, 01 09 2015. [Online]. Available: <https://www.escardio.org/The-ESC/Press-Office/Press-releases/new-cardiovascular-disease-death-rates-show-stark-inequalities-between-european>, [Zugriff am 14 06 2019].
- [2] E. Oberhofer, „Dauersitzen macht krank“, ÄrzteZeitung, 15 02 2015. [Online]. Available: <https://www.aerztezeitung.de/medizin/krankheiten/herzkreislauf/article/879042/vernachlaessigtes-risiko-dauersitzen-macht-krank.html>, [Zugriff am 03 05 2019].
- [3] M. W. Gifari, H. Zakaria und R. Mengko, „Design of ECG Homecare:12-Lead ECG Acquisition using Single Channel ECG Device Developed on AD8232 Analog Front End“, 11 08 2015. [Online]. Available: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7352529>, [Zugriff am 01 05 2019].
- [4] M. A. Quiroz-Juárez, O. Jiménez-Ramírez, R. Vázquez-Medina, E. Ryzhii, M. Ryzhii und J. L. Aragón, „Cardiac Conduction Model for Generating 12 Lead ECG Signals With Realistic Heart Rate Dynamics“, 17 10 2018. [Online]. Available: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8466837>, [Zugriff am 12 05 2019].
- [5] „The electrocardiogram – looking at the heart of electricity“, Nobel Media AB, 08 2002. [Online]. Available: <https://educationalgames.nobelprize.org/educational/medicine/ecg/ecg-readmore.html>, [Zugriff am 06 06 2019].
- [6] A. Thumser, „Praxisanleitung: EKG nach Wilson ableiten“, 22 12 2017. [Online]. Available: <http://www.san-erlangen.de/VirtuelleSanArena-Erlangen-Html4/html/Topic30863ba7dcc84968ab90a5ae00018606.html>, [Zugriff am 06 06 2019].
- [7] F. Parola und J. Garcia-Niebla, „Use of High-Pass and Low-Pass Electrocardiographic Filters in an International Cardiological Community and Possible Clinical Effects“, 01 12 2017. [Online]. Available: <https://www.scireslit.com/VascularMedicine/AJVM-ID18.pdf>, [Zugriff am 05 05 2019].
- [8] „Health informatics—Personal health device communication“, 12 12 2012. [Online]. Available: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6093702>, [Zugriff am 12 05 2019].
- [9] G. H. Patel und V. Vidyannagar, „Signal Processing Techniques for Removing Noise from ECG Signals“, 10 03 2019. [Online]. Available: <http://www.jscholaronline.org/articles/JBER/Signal-Processing.pdf>, [Zugriff am 08 05 2019].
- [10] R. Higgelke, „Elektromagnetische Störungen - Filter für DC/DC-Wandler“, elektroniknet.de, 28 04 2015. [Online]. Available: <https://www.elektroniknet.de/e-mechanik-passive/filter-fuer-dc-dc-wandler-119203.html>, [Zugriff am 01 06 2019].

MULTI PROJEKT CHIP GRUPPE

Hochschule Aalen

Prof. Dr. Bürkle, (07361) 576-2103
heinz-peter.buerkle@htw-aalen.de

Hochschule Albstadt-Sigmaringen

Prof. Dr. Gerlach, (07571) 732-9155
gerlach@hs-albsig.de

Hochschule Esslingen

Prof. Dr. Lindermeir, (0711) 397-4221
walter.lindermeir@hs-esslingen.de

Hochschule Furtwangen

Prof. Dr. Rülling, (07723) 920-2503
ruelling@hs-furtwangen.de

Hochschule Heilbronn

Prof. Dr. Gessler, (07940) 1306-184
gessler@hs-heilbronn.de

Hochschule Karlsruhe

Prof. Dr. Ihle, 0170 837 4728
marc.ihle@ieee.org

Hochschule Konstanz

Prof. Dr. Schick, (07531) 206-657
cschick@htwg-konstanz.de

Hochschule Mannheim

Prof. Dr. Giehl, (0621) 292-6860
j.giehl@hs-mannheim.de

Hochschule Offenburg

Prof. Dr. Mackensen, (0781) 205-4770
elke.mackensen@hs-offenburg.de

Hochschule Pforzheim

Prof. Dr. Kesel, (07231) 28-6567
frank.kesel@hs-pforzheim.de

Hochschule Ravensburg-Weingarten

Prof. Dr. Siggelkow, (0751) 501-9633
siggelkow@hs-weingarten.de

Hochschule Reutlingen

Prof. Dr. Wicht, (7121) 271-7090
bernhard.wicht@reutlingen-university.de

Technische Hochschule Ulm

Prof. Dr. Terzis, (0731) 502-8341
anestis.terzis@thu.de

www.mpc-gruppe.de