

Hardware-Plattform für die FPGA-Emulation von Analog-/Mixed-Signal-Systemen

Philipp Czerwenka, Tobias Wolfer, Eckhard Hennig

Zusammenfassung—Zur Forschung und Entwicklung von Modulatoren für die Leistungselektronik wird das Systemkonzept einer Emulator-in-the-Loop-Plattform vorgestellt. In diesem Paper werden das Design und die Verifikation der dafür benötigten Hardware präsentiert. Zur Emulation der Analog-/Mixed-Signal-Modulatoren wird ein hochperformantes FPGA verwendet. Die modulare Hardware besteht daneben aus analogen und digitalen Schnittstellen, der Beispielapplikation, sowie Spannungsversorgungsmodulen. Das analoge Frontend weist eine Signalgüte von 65,48 dB auf, einen störungsfreien Dynamikbereich von $-73,17$ dB und einen Rauschboden von ca. 100 dB. Die maximale Emulationsfrequenz liegt bei 11,37 MHz. Der Eingangsspannungsbereich liegt bei bis zu 220 V. Die Implementierung eines beispielhaften Delta-Sigma Modulators wurde nachgewiesen.

Schlüsselwörter—Analog Emulation, Modulator, Datenakquise, FPGA, Mixed-Signal, Hardware-Design

I. EINLEITUNG

Modulatoren sind elektronische Systeme, die ein Nutzsignal in einem Trägersignal durch Veränderung dessen Eigenschaften kodieren. Je nach Modulationsverfahren sind Modulatoren analoge, digitale oder gemischt analog-digitale Systeme mit entsprechenden Ein- und Ausgangssignalen. Der Einsatz von Modulatoren in der Kommunikationstechnik zur Übertragung und zum Multiplexing von Signalen ist bekannt [1]. In der Leistungselektronik werden Modulatoren in Klasse D Verstärkern eingesetzt [2].

Die Erforschung von Modulatoren ist komplex, da diese Mixed-Signal-Systeme große Frequenzbereiche umfassen und oft nichtlineare Komponenten aufweisen. Die Analyse mittels System- oder Schaltungssimulation liefert oftmals aussagekräftige Ergebnisse, kann jedoch nicht in Echtzeit erfolgen und erfordert große Rechnerressourcen [3]. Eine Implementierung als diskrete Schaltung auf Leiterplatte oder integrierter Schaltung in Silizium ist die bisherige Alternative [4], die zu realitätsnaher Verifikation befähigt, jedoch mit hohem finanziellem und entwicklungstechnischen Aufwand verbunden ist.

Philipp Czerwenka, philipp.czerwenka@reutlingen-university.de, Tobias Wolfer, tobias.wolfer@reutlingen-university.de, Eckhard Hennig, eckhard.hennig@reutlingen-university.de. Hochschule Reutlingen, Lehr- und Forschungszentrum Electronics & Drives, Oferdinger Straße 50, 72768 Rommelsbach.

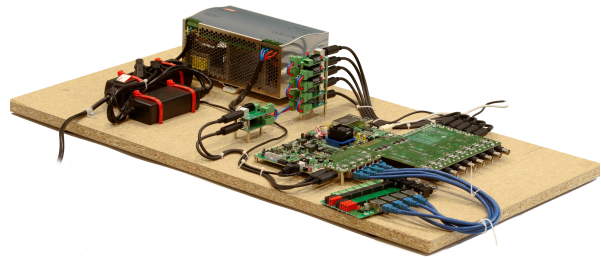


Abbildung 1. Laboraufbau der Hardware des umgesetzten Emulationssystems

Ein neuer Ansatz bietet die Emulation der Schaltungsstruktur in rekonfigurierbarer Hardware. Hierzu können analoge rekonfigurierbare Zellen in *Field Programmable Analog Arrays* (FPAA) oder die digitale Nachbildung in *Field Programmable Gate Arrays* (FPGA) verwendet werden. FPAAs sind eine vergleichsweise neue Entwicklung, die entweder als Transistorarray [5] oder mittels Analogzellen aufgebaut wird und vielversprechende Leistungsdaten aufweist [6]. Da noch keine Implementierungstools vorhanden sind, beschränkt sich deren Anwendung auf Experimentalaufbauten. Die Emulation des Verhaltens analoger Schaltungen in digitalen FPGAs ist gemäß des Nyquist-Kriteriums für ausreichend hohe Taktfrequenzen möglich [7]. Ansätze zur Abbildung der analogen Struktur sind als Übertragungsfunktion [8], Signalfluss-Blockbeschreibung [9] oder auf Komponentenebene durch den Wave-Digital-Filter-Ansatz [10] möglich.

In diesem Paper wird die Entwicklung der Hardware einer Emulator-in-the-Loop-Plattform (siehe Abbildung 1) zur digitalen Nachbildung von Mixed-Signal-Modulatoren mit digitalem Ausgang im Hinblick auf leistungselektronische Anwendungen vorgestellt. Die Emulation wird digital auf einem FPGA durchgeführt. Damit sollen die Nachteile der bisher etablierten Untersuchungsansätze mit Simulationen und physikalischer Implementierung überwunden werden.

II. SYSTEMKONZEPT

Das System wird modular aufgebaut [11], um das Entwicklungsrisiko durch Teilprojekte zu reduzieren, Erweiterbarkeit sicherzustellen und die Flexibilität

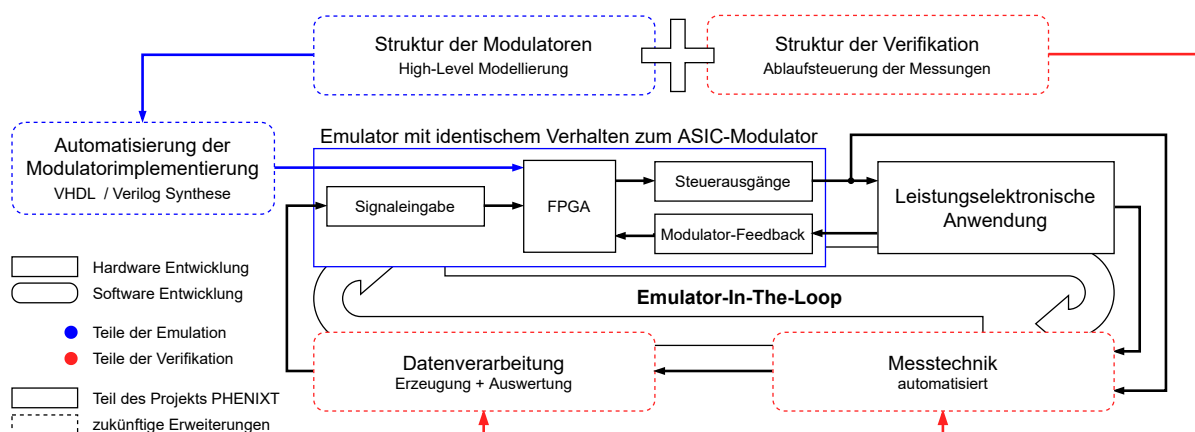


Abbildung 2. Gesamtsystemkonzept der Emulationsplattform zur automatisierten Erforschung von Modulator topologien für die Leistungselektronik

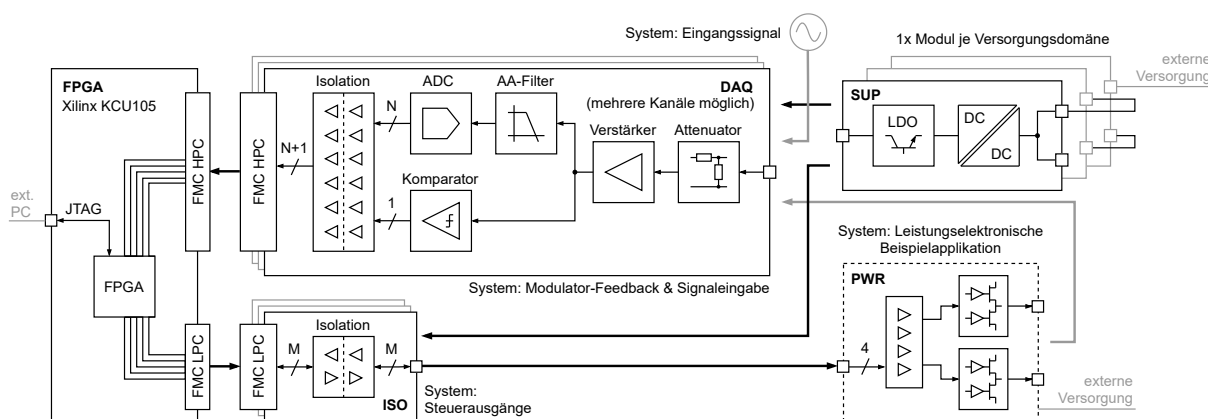


Abbildung 3. Partitionierungs- und Teilsystemkonzept für die zu implementierende Hardware der Emulationsplattform

zu erhöhen. Die geringere Integrationsdichte wird aufgrund der Anwendung als Forschungswerkzeug als nicht erheblich eingeschätzt. Als Vorlage dient das "Hardware-in-the-Loop"-Entwicklungsmodell für eingebettete Systeme, bei dem ein zu entwickelndes Hardwaresystem in einer Schleife mit einer von Laborgeräten simulierten Einsatzumgebung betrieben, vermessen und verifiziert wird [12]. Da im vorliegenden Fall die Hardware durch eine Emulation ersetzt wird, wird der Begriff des "Emulator-in-the-Loop"-Systems verwendet (siehe Abbildung 2).

Die Emulationshardware (siehe Abbildung 3) besteht aus dem hochperformanten FPGA der Firma Xilinx (siehe [13]) mit Konfigurationsschnittstellen zur Implementierung der Modulator topologie sowie digitalen Schnittstellen für die Ein- und Ausgabe von digitalen Signalen und analogen Schnittstellen zur Aufnahme analoger Eingangssignale. Alle Schnittstellen werden zum FPGA sowie zueinander galvanisch getrennt realisiert. Dies dient dem Schutz des FPGA und ermöglicht eine flexible Messung der Applikation. Die Spannungsversorgung wird

aufgrund der Vielzahl an zur Verfügung zu stellenden galvanisch getrennten Spannungsdomänen und -ebenen in Modulbauweise von den Signalverarbeitungsplatinen getrennt realisiert.

Die analoge Schnittstelle entscheidet maßgeblich über die vom Emulationssystem maximal erreichbare Signalqualität. Diese wird den Designs von Oszilloskop-Frontends nachempfunden [14] [15] [16]. Da die Anforderungen vergleichbar sind. Anforderungen sind die zeitmäßige Auflösung als vom Modulator höchste fehlerfrei abgebildete Frequenz f_{emu} und die wertmäßige Auflösung, ausgedrückt durch die Kennzahl SINAD (engl. "signal-to-interference-ratio including noise and distortion" [17]), die das Verhältnis von allen erwünschten zu allen unerwünschten Signalanteilen angibt. Weitere Anforderungen sind in Tabelle I definiert.

Die "leistungselektronische Beispielapplikation" (siehe Abbildung 3) wird separat für die jeweils zu untersuchende Anwendung gestaltet und ist aufgrund des modularen Systemaufbaus einfach austauschbar. Mess-



Tabelle I
ANFORDERUNGEN DER SYSTEMEBENE AN DIE ZU
IMPLEMENTIERENDE HARDWARE DER EMULATIONSPLATTFORM

Symbol	Beschreibung	min	typ	max	Einheit
SINAD	Signalqualität		80		dBFS
f_{sig}	Signalfrequenz	0		2	MHz
Z_{in}	Eingangsimpedanz		1		M Ω
$t_{\text{pd,an}}$	Laufzeit Eingänge			100	ns
U_{in}	Eingangsspannung	± 50			V

und Datenverarbeitungssysteme führen die Verifikation des emulierten Systems durch. Diese sollen von Softwarekomponenten zur automatischen Datenverarbeitung angesteuert werden. Teile dieser Aufgaben können vom FPGA selbst übernommen werden. Eine in der Hierarchie höher angesiedelte Modellierungsoberfläche soll mittels grafischer Methoden oder Hardwarebeschreibungssprachen die automatisierte Implementierung von Modulatortopologien über einen synthesefähigen Interpreter in einen implementierbaren Bitstream umsetzen. Diese Teilsysteme sind kein Bestandteil der vorliegenden Arbeit.

III. UMSETZUNG DER HARDWARE

Es werden die Definition der Frequenzverhältnisse an der analogen Schnittstellen sowie die Bereiche der analogen Signalvorverarbeitung und des analogen Attenuators betrachtet.

A. Frequenzverhältnisse

Um Aliasing zu vermeiden und dennoch hohe Signalfrequenzen abbilden zu können, wird für die Abtastung ein Anti-Aliasing-Filter definiert, da in typischen leistungselektronischen Signalen (Rechteck, Dreieck) Harmonische über $f_s/2$ auftreten. Die Abtastrate ist, aus Gründen der Realisierbarkeit, so gering wie möglich zu wählen. Dies hat eine geringe Filtergrenzfrequenz zur Folge. Je kleiner die Grenzfrequenz, desto mehr Oberwellen des Nutzsignals können nicht digital rekonstruiert werden. Die Grenzfrequenz und Ordnung des Filters werden so gewählt, dass eine minimale Durchlaufzeit und Signalverzerrung für ein vollständiges Verhindern von Alias-Fehlern erreicht wird.

Es wird folgendes Vorgehen gewählt (siehe dazu Abbildung 4): Es wird als Worst-Case-Eingangssignal von einer Trapezfunktion ausgegangen. Die Grenzfrequenz des Filters wird in den Alias-Bereich ausgedehnt, ohne das Aliasing auftritt. Die Hüllkurve des Spektrums einer Trapezfunktion ist monoton fallend und weist bei Erreichen der Nyquist-Frequenz $f_s/2$ eine gewisse Eigendämpfung auf. Der Antialiasing-Filter mit Grenzfrequenz $f_c < f_s/2$ bringt zusätzlich eine additive Dämpfung ein. Die am ADC gemessene Amplitude der Harmonischen ist kleiner als im Spektrum des Trapezsignals oder im Bode-Diagramm des Filters. Mit

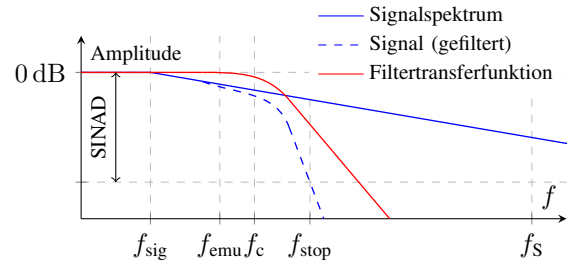


Abbildung 4. Verhältnisse der Arbeits- und Grenzfrequenzen in der analogen Vorverarbeitung gemäß des beschriebenen Auslegungsverfahrens

der Definition einer Passband-Abweichung von ΔG wird die Grenzfrequenz so festgelegt, dass bei f_{emu} die maximal spezifizierte Abweichung gegenüber $f = 0$ Hz auftritt. Das Stoppband beginnt bei der Frequenz f_{stop} , bei der das Signalspektrum des Worst Case Eingangssignals multipliziert mit der Filtertransferfunktion das SINAD erreicht. Die Abtastfrequenz ist $f_s = 2f_{\text{stop}}$.

B. Signalvorverarbeitung

Da die Wahl der Abtastrate und der Filterparameter wie oben beschrieben in Verbindung stehen, wird eine zweistufige Auslegung durchgeführt, um die Designreserven möglichst vollständig auszuschöpfen. Im ersten Schritt wird gemäß des vorgestellten Auslegungsverfahrens eine minimale Abtastfrequenz mit den Anforderungen der Anwendung gefunden. Im zweiten Schritt wird die Grenzfrequenz bis zum Maximum des gewählten ADC erhöht.

Ein Bessel-Verhalten mit konstanter Gruppenlaufzeit ist aufgrund des notwendigen idealen Rechteckübertragungsverhaltens alternativlos. Die Ordnung 7 wurde als Kompromiss zwischen Flankensteilheit und Gruppenlaufzeit sowie Umsetzungsaufwand definiert. Der Filter wird differenziell aufgebaut, da die erhöhte Störfestigkeit bei geringen Spannungen vorteilhaft wirkt. Ein passiver Aufbau als LC-Filter in Leitertopologie wurde gegenüber einer aktiven Kaskade mit Operationsverstärkern aufgrund deren hoher Kosten für große Ordnungen bevorzugt. In Simulationen konnte kein entscheidender Vorteil eines solchen aktiven Filters nachgewiesen werden.

Mit einer Passband-Abweichung von $\Delta G = \pm 1\%$ und der Worst-Case-Annahme $f_{\text{sig}} = f_{\text{emu}}$ ergibt sich eine minimale Abtastfrequenz von $f_s \geq 98,34$ MHz (bei $f_c = 11,55$ MHz). Zum Erreichen des System-SINAD nach $\text{SQNR} = 6,02 \cdot B + 1,76$ dB sind ≥ 13 Bit erforderlich. Zusätzlich Auslegungstoleranzen wird der 16 Bit ADC LTC2209 [18] mit 160 MSPS ausgewählt. Die Grenzfrequenz kann auf $f_c = 17,7$ MHz erhöht werden.

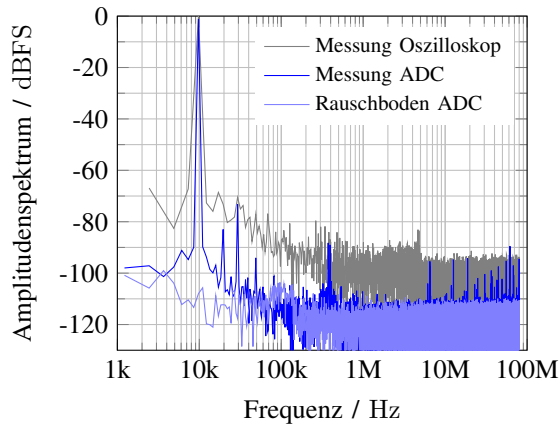


Abbildung 5. Vergleich der Amplitudenspektren des Oszilloskops Teledyne LeCroy HDO6104 und des implementierten Datenakquisitionssystems, $f_{in} = 9,7656 \text{ kHz}$, $A_{in} \approx -1 \text{ dBFS}$ differenziell

C. Attenuator

Zur Aufnahme verschiedener Eingangsspannungen wurde eine Anpassung des Spannungsbereichs des ADC an die Applikation vorgenommen. Ähnlich eines Oszilloskop-Frontends [19] wird eine Kaskade frequenzkompensierter Spannungsteiler mit unterschiedlichen Teilverhältnissen und jeweils gleichen Eingangsimpedanzen eingesetzt. Durch den Einsatz von Tastköpfen als verlustbehaftete Leitungen werden Leitungsreflexionen trotz der Entfernung der Messung von der Messstelle unterdrückt. Die Entkopplung des Attenuators erfolgt durch einen Transimpedanzverstärker mit Feldeffekttransistor-Eingang. Es wurden Teilungsfaktoren von 1, 2, 5, 10 umgesetzt, die mit einem 1 : 10 Tastkopf einen Eingangsspannungsbereich bis 225 Vpp ermöglichen. Pro differenziellen Kanal werden zwei Attenuatoren eingesetzt, um differenzielle Messungen zu ermöglichen.

IV. MESSERGEBNISSE

Die Signalqualität der analogen Schnittstelle wurde mit einem kommerziellen Oszilloskop verglichen (siehe Abbildung 5). Die von der umgesetzten Schaltung erreichte Signalqualität liegt bei 65,48 dB für den vollständigen Frequenzbereich von 0 Hz bis 80 MHz, der störungsfreie Dynamikbereich bei -73,17 dB, der Rauschboden liegt bei -99,03 dB. Das zum Vergleich herangezogene Digitaloszilloskop LeCroy HDO6104 zeigt eine um 10,78 dB schlechtere Signalqualität. Das Übertreffen eines kommerziellen Oszilloskops zeigt die Relevanz der umgesetzten Hardware. Der Frequenzgang des Kanals zeigt eine maximale Abweichung von 0,376 dB (bis 11,37 MHz), die Grenzfrequenz liegt bei 24,15 MHz (siehe Abbildung 6).

Die Verzögerungszeit von der Tastkopfspitze bis zum Vorliegen des Registerwerts im FPGA beträgt 90,06 ns (siehe Abbildung 7). Eine Modulatorimplementierung kann zusätzlich Verarbeitungszeit erst danach eine weitere Entscheidung über den Ausgang treffen.

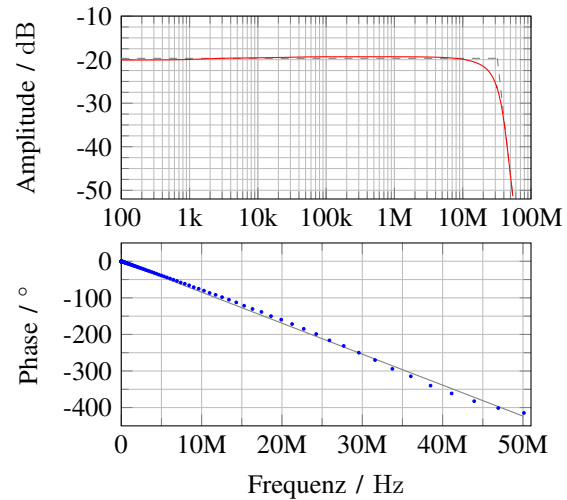


Abbildung 6. Amplituden- und Phasengang der vollständigen analogen Signalverarbeitung einschließlich Tastköpfe, $A_{in} \approx -1 \text{ dBFS}$ differenziell

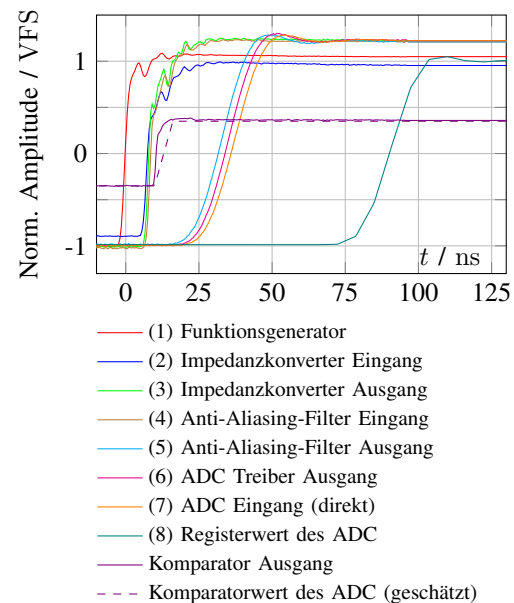


Abbildung 7. Durchlaufzeiten für verschiedene Punkte entlang der analogen Signalverarbeitungskette, normiert auf die jeweilige Full-Scale-Range, $U_{in} = 10 \text{ Vpp}$ differenziell

V. FAZIT

Es wurden das Konzept einer Plattform für die Emulation von Mixed-Signal-Schaltungen für Anwendungen in der Leistungselektronik, sowie der Entwurf und die Verifikation einer dafür benötigten Hardware vorgestellt. Die erzielten Spezifikationen ermöglichen eine Emulation bis zu einer Frequenz von 11,37 MHz mit einer um 10,78 dB besseren Signalqualität gegenüber einem kommerziell erhältlichen Oszilloskop. Die Implementierung eines beispielhaften closed-loop-Modulators wurde nachgewiesen. Damit kann die Charakterisierung von Modulatoren in Zukunft automatisiert erfolgen, wodurch neue Untersuchungsansätze eröffnet werden.



In einem weiteren Schritt ist geplant, das System um Softwarekomponenten zur automatisierten Synthese der Modulatoren und zur Messgerätesteuerung zu ergänzen.

LITERATURVERZEICHNIS

- [1] WERNER, MARTIN: *Nachrichtentechnik. Eine Einführung für alle Studiengänge*. 7. Auflage, Wiesbaden, 2010.
- [2] KUO, CHIEN-HUNG, LIN, SHENG-CHI: *A delta-sigma modulator-based class-D amplifier*. 2016 IEEE 5th Global Conference on Consumer Electronics, Seiten 1-2, Kyoto, 2016.
- [3] DE LA ROSA, JOSE M.: *Sigma-Delta Converters. Practical Design Guide*. 2. Auflage, Hoboken, 2018.
- [4] WOLFER TOBIAS, HENNIG, ECKARD: *An Active Feedback Coefficient Tuning Technique for Compensating Time-Constant Variations in Continuous-Time Delta-Sigma Modulators*. 2021 IEEE Asia Pacific Conference on Circuit and Systems (APCCAS), Seiten 17-20, Penang, 2021.
- [5] SUDA, NAVEEN ET. AL.: *A 65 nm Programmable ANalog Device Array (PANDA) for Analog Circuit Emulation* In: *IEEE Transactions on Circuits and Systems I: Regular Papers*. Vol. 63, Nr. 2, Seiten 181-190, Tempe, Santa Clara, 2016.
- [6] ANSARI, TARAB, YASIN, MOHD. YUSUF: *High frequency FPAA Design using OTA in 45nm CMOS Technology*. 2018 4th International Conference on Computing Communication and Automation (ICCCA), Seiten 1-5, Greater Noida, 2018.
- [7] MEYER, MARTIN: *Signalverarbeitung. Analoge und digitale Signale, Systeme und Filter*. 9. Auflage, Wiesbaden, 2021.
- [8] HERBST, STEVEN ET. AL.: *An Open-Source Framework for FPGA Emulation of Analog/Mixed-Signal Integrated Circuit Designs*. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, o.O., 2021.
- [9] TERTEL, PHILIPP, HEDRICH, LARS: *Real-time emulation of block-based analog circuits on an FPGA*. In: *14th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*. Seiten 1-4, Frankfurt am Main, 2017.
- [10] WU, WEI ET. AL.: *Wave digital filter based analog circuit emulation on FPGA*. In: *IEEE International Symposium on Circuits and Systems (ISCAS)*. Seiten 1286-1289, Los Angeles, 2016.
- [11] DOBOLI, ALEX, CURRIE, EDWARD H.: *Introduction to Mixed-Signal, Embedded Design*. Verlag, New York, 2011.
- [12] GESSLER, RALF: *Entwicklung Eingebetteter Systeme. Vergleich von Entwicklungsprozessen für FPGA- und Mikroprozessor-Systeme Entwurf auf Systemebene*. Springer Vieweg Verlag, Wiesbaden, 2014.
- [13] XILINX INC. (HRSG.): *KCU105 Board. User Guide*. UG917, o.O., 2019.
- [14] BHAT, ROHIT, TEXAS INSTRUMENTS INC.: *50-Ohm 2-GHz Oscilloscope Front-end Reference Design*. Design Guide TIDA-00826, Dallas, 2015.
- [15] TEKTRONIX INC.: *Tektronix 465 Oscilloscope Service Instruction Manual*. Beaverton, o.J.
- [16] TEKTRONIX INC.: *2205 Oscilloscope Service*. Service Manual, Beaverton, 1988.
- [17] KESTER, WALT, ANALOG DEVICES INC.: *Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor*. Mini Tutorial MT-003, Rev. A., o.O., 2009.
- [18] LINEAR TECHNOLOGY CORPORATION (HRSG.): *LTC2209. 16-Bit, 160Msps ADC*. Data Sheet, Milpitas, 2007.
- [19] ROACH, STEVE: *Signal Conditioning in Oscilloscopes and the Spirit of Invention*. In WILLIAMNS, JIM (HRSG.): *The Art and Science of Analog Circuit Design*. Seiten 65-84, The EDN Series for Design Engineers, Butterworth-Heinemann Verlag, Boston, 1998.



Philipp Czerwenka erhielt den akademischen Grad B.Eng. im Studiengang Elektrotechnik von der Dualen Hochschule Baden-Württemberg Mannheim im Jahr 2020 und den M.Sc. im Studiengang Leistungs- und Mikroelektronik von der Hochschule Reutlingen im Jahr 2022. Aktuell arbeitet er dort als wissenschaftlicher Mitarbeiter am Lehr- und Forschungszentrum Electronics & Drives im Bereich Leistungselektronik und Antriebstechnik.



Tobias Wolfer erhielt den akademischen Grad B.Eng. im Studiengang Elektrotechnik von der Dualen Hochschule Baden-Württemberg Stuttgart im Jahr 2016 und den M.Sc. im Studiengang Leistungs- und Mikroelektronik an der Hochschule Reutlingen im Jahr 2019. Aktuell arbeitet er dort als wissenschaftlicher Mitarbeiter und Doktorand am Lehr- und Forschungszentrum Electronics & Drives im Bereich Modulatoren für schaltende Leistungsverstärker.



Eckhard Hennig erhielt den akademischen Grad Dipl.-Ing. von der Technischen Universität Braunschweig im Jahr 1994 und den Dr.-Ing. an der Universität Kaiserslautern im Jahr 2000. Er ist Professor für Integrierte Schaltungstechnik an der Hochschule Reutlingen. Seine Forschungsbereiche umfassen Low-Power-CMOS-Schaltungstechnik für Smart-Sensor-Anwendungen und Electronic Design Automation für Analog/Mixed-Signal-Schaltungen.

